

Analog 구동 TFT-LCD 의 PIAGP(Power In Auto Generated Pattern) 구현

권순영(權淳英)

㈜ LG. Philips LCD Co, Ltd

경북 대학교 대학원 전자공학과

PIAGP Generation of A TFT-LCD Driven by Analog Signals

Sun-Young Kwon

LG Philips-LCD Co, Ltd

Department of Electronics, graduate School, Kyungpook National University, South Korea

E-mail : kwonlee@lgphilips-lcd.com

Abstract

An PIAGP generator for TFT-LCD production has been proposed in this paper. The proposed generator was implemented using careful control of timing controller signals using a FPGA. The generator displays successfully the intended pattern sequence(RED → GREEN → BLUE → WHITE → BLACK) and the result are demonstrated at the conference site. The advantage of the use of the proposed generator is the simplification of production equipments and the pattern generator.

I. 서 론

최근, 큰 화면크기를 갖는 TFT-LCD 에 대한 수요도 급증하고 있지만, 중/소형에 대해서도 CNS(Car Navigation System) 및 Portable DVD 등 다양한 가전 제품들이 계속 생산되고, 그 수량도 점차 증가되는 추세이다. 중소형 제품군의 경우엔, 입력 신호로 아직도 NTSC 나 PAL 등의 방송파와 같은 아날로그(analog) 입력이 사용되고 있으며, 본격적인 디지털 방송이 시작되기 전까지의 수요는 아직도 상당하다. 아날로그와 디지털의 중소형 TFT-LCD 를 모두 생산하기 위해서는 디지털 방식의 생산설비는 물론 아날로그 방식을 생산, 시험하기 위한 설비도 모두 갖추고 있어야 한다. 아날로그 방식으로 사용될 수 있는 중소형 TFT-LCD 모듈에는 입력되는 신호의 다양성에 알맞은 아날로그 방식의 구동 회로도 다량 사용된다. 이를 생산하기 위해서는 아날로그 입력 신호를 인가하기 위한 부가적인 장비

를 갖추어야 한다.

본 논문에서는 아날로그로 구동되는 TFT-LCD 모듈을 별도의 외부 아날로그 신호 인가 장비 없이 시험할 수 있는 방법을 제안하고 구현하고자 한다. 즉, 생산 현장에서 검사 및 생산을 원활히 할 수 있는 신호 처리기능을 갖는 Timing Controller 와 주변회로를 구성하여 전원만으로 LCD 생산에서의 Aging 및 검사공정을 가능케 하는 패턴을 나타내고자 한다. 이렇게 함으로써 생산 장비의 단순화와 투자비의 절감 및 불량 예방과 같은 이익을 얻을 수 있을 것이다. 실제로, TFT-LCD 의 생산 과정에는 크게 LCD 패널을 만드는 공정과 모듈을 만드는 공정이 있다. 패널 공정에서는 반도체 박막 증착에 의한 TFT 생성 과정의 하판 공정과 컬러 필터(color filter) 상판 공정 후 상하판의 합착 및 액정 주입 등의 공정으로 패널을 생산한다. 모듈공정에서는 패널과 각종 회로 및 기구 부품들을 붙여 실제로 동작할 수 있는 모듈을 만든다. 완성된 모듈의 화질 검사와 모듈의 상태 안정화를 위해 고온에서 일정시간 동작시키는 Aging 시간이 필요하고, 화질의 검사를 위해 화면에 특정 패턴을 발생시키는 입력 신호를 인가하여야 한다. 이를 위해서, 입력 신호를 인가하기 위한 별도의 팔레트(Pallet)를 만들고, 필요한 신호를 위한 회로도 구성하였다. 이와 같은 복잡한 장비나 회로 없이 전원만 인가하면 모듈의 화면에 시험을 위한 패턴을 표시할 수 있다면, 모듈의 모델에 상관없이 단일 전원만으로 시험에 필요한 패턴을 만들 수 있다. 이는, 장비 투자, 모듈의 생산성 및 설비 유지면에서도 상당한 이익을 기대할 수 있다.

II. 아날로그 구동 TFT-LCD

TFT-LCD 는 네 가지의 주요 부분(패널부, 구동 회로부, 광학부 및 기구부)으로 이루어져 있다. 그림 1 은 아날로그 구동 IC 를 사용하는 TFT-LCD 의 패널부와 구동 회로부를 나타낸다. 패널부는 디스플레이를 위한 기본 소자로서, TFT, 칼라필터, 액정 및 편광판 등으로 구성되어 있어 화상을 나타내는 역할을 한다. 구동 회로부는 입력되는 신호를 패널의 디스플레이에 적합한 신호로 주며, 입력신호의 종류 및 사용하는 구동 IC 및 패널 내부의 구조에 따라 다양한 처리 방식이 사용되어 지고 있다. 특히, 구동 IC 의 종류는 회로의 전반적인 구동 방식을 결정하는 중요한 인자로 작용하는데, 아날로그 및 디지털 방식의 구동 IC 가 사용되고 있다. 광학부와 기구부는 TFT-LCD 가 자체 발광을 하지 못하므로 모듈의 뒷면에서 빛을 비추어 주는 일과 전체 모듈의 형상을 지지하는 역할을 한다[3].

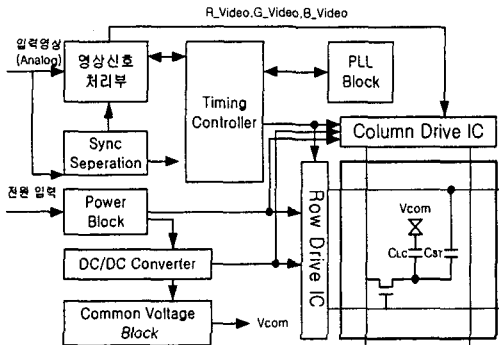


그림 1. 아날로그 구동 방식의 TFT-LCD 구성
Fig. 1. block diagram of an analog driving TFT-LCD

2.2 아날로그 구동 TFT-LCD 의 작동 원리

중/소형 CNS(Car Navigation System)이나, Portable DVD 등에 사용되는 LCD 패널을 구동하기 위해서 구동 IC 는 아날로그 방식이 많이 사용된다. 이는 입력영상 아날로그 형태의 Component, Composite, S-Video 방식으로 전송되기 때문에 이를 LCD 에 구현하기 위해서다. 기본적으로, TFT-LCD 구동회로는 입력 영상을 처리하는 부분과 복합 동기신호 입력일 경우 Sync 분리를 수행하는 부분, 처리된 영상을 알맞은 시간에 패널에 나타내게 하는 Timing 제어부, 단일 전원을 패널 구동에 필요한 전원으로 변환하여 사용할 수 있도록 하는 전원부가 있다. 정확한 Timing 제어를 위해 PLL 을 사

용하여 클럭을 생성한다. TFT-LCD 의 단위 화소에 Column Drive IC 로부터 아날로그 데이터가 입력되고, 표시되어야 하는 각 시간에 Row Drive IC 에서 TFT 를 “ On ” 시켜서 화면을 처리한다. 영상을 처리하기 위한 가장 중요한 부분은 사용되는 구동 IC 에 적합한 신호를 생성하는 Timing 제어부와 기준 클럭을 만들어 주는 PLL 부분으로, 이 부분의 설계에 따라 다양한 처리가 가능하다. 이는 디지털 구동의 Drive IC 와는 구동 자체에서 상당한 차이를 보이고 있다. Drive IC 에 입력되는 세 라인의 데이터가 패널의 데이터 라인으로 직접 전송된다. 이들 데이터는 패널의 하판에 형성된 TFT 를 통하여 각 픽셀에 충전되고, 상판의 대향 전극인 Vcom 전원과의 전위차에 의해서 TFT-LCD 패널 내의 액정(Liquid Crystal)의 전기적 특성이 변한다. 이에 따라, 패널의 상하판에 부착된 편광판의 투과 특성이 변하며, 빛의 투과와 차단을 통하여 화면을 표시한다. 패널은 주로 Storage On Common 방식이 사용되어지는데, 이는 중/소형 LCD 의 응용분야에서 구동방식이 디지털 구동 방식과는 다르게 상하 좌우 반전기능 및 패널 자체에서 확대 기능이 필요하기 때문이다. 상하 좌우 반전에 의존하지 않고 동일한 화면 디스플레이가 되도록 회로 구동에 있어서도 패널의 Load 특성을 정확히 정의한 후, 설계함이 바람직하다. 또한, 기준 주파수를 생성하는 PLL 이 필요하며 PLL 은 외부에 아날로그 소자로 회로를 구성하여 LPF 및 VCO 를 구성하며, PD(Phase Detector)는 Timing Controller 내부에서 구성하고, DIV(Divider)는 Verilog-HDL 을 이용하여 Timing Controller 내부에서 필요한 주파수를 생성할 수 있도록 분주한다[1][2]. LFP 는 고전적인 방식에서는 OP Amp 를 사용하고, VCO 는 그 발전 주파수가 입력 전압에 대해 직선적으로 변화하도록 한다. 가변 용량 다이오드(배리캡)와 코일을 사용하여 주파수가 가변되도록 하고, 전압의 변화에 응답하도록 구성된다. 위상비교부와 분주부를 Timing Controller 내부에 설계하고, 주파수 분주를 논리회로로 구성하여 기준 신호를 생성하고 있다. PLL 에서 생성된 기본 주파수를 받아서, Horizontal Control 및 Vertical Control Block 에서 패널을 구동하는 신호를 만들어 낸다[4].

III. PIAGP Generator

3.1 Signal Detection Scheme

PLL 에서 생성되는 클럭을 분주하여 기준 신호를 만들고 이를 이용하여 입력되는 신호의 수직 동기 시간안의 기준 신호의 수를 세어서 일정한 범위 동안 계속해서 신호가 입력되지 않을 경우, 선택신호를 발생시킨다. Count 에는 max 값과 min 값으로 비교하여 입력되는 주파수의 주기의 변화에 추종할 수 있도록 구성한다.

3.2 PIAGP 개념

입력신호의 유무를 Timing 처리부에서 판별하여 선택신호를 발생시키고, 영상신호에 대응하는 기준 데이터 신호를 만들어준다. 이를 이용하여 외부에 Column Drive IC 에 입력할 수 있는 Data Level 및 전류 용량이 될 수 있도록 영상신호 선택부를 구비하여 입력되는 신호가 없을 경우 이를 Column Drive IC 로 인가하여 디스플레이 한다 영상신호 선택부는 아날로그 스위치를 이용하여 구성할 수 있다. 그림 2 는 개념도이다.

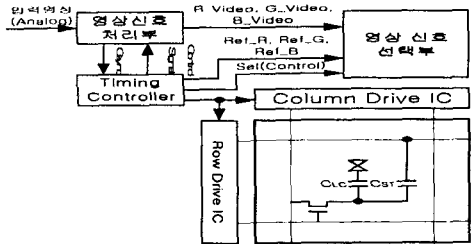


그림 2. PIAGP 개념도
Fig. 2. PIAGP generator scheme

IV. 결과 및 고찰

6.5 중형 모델에 적용하여 FPGA(EPF6016TC144-3)를 사용하여, 신호가 없을 경우 RED, GREEN, BLUE, WHITE, BLACK 순으로 화면 표시가 진행되도록 PIAGP 발생기를 구현하였다. M5418TXI COLOR TV Pattern Generator 를 사용하여, 신호를 인가하고 차단 을 하며 동작 상태를 확인하였다.

4.1 기본 Timing 구성

Timing Controller 외부와 연계된 위상 비교기는 삼상 상태 버퍼를 사용하여 구성하였다. PLL을 사용하여 기준 주파수를 만들어 입력되는 신호의 수직 동기 신호를 검출하여 3 수평 주기동안 신호가 없을 경우 무신호로 검출하게 하였다. PLL 신호에 동기시킨 DIV 신호를 생

성하고, DIV 신호와 동기된 수평 동기 신호를 발생시켜 신호가 없을 경우 기준 Hsync로 사용하고, Hsync를 Count하여 Vertical 신호를 만들어 기준 Vsync로 사용하였다. 각 블록은 원래 모듈의 기본 동작을 수행하도록 설계하였으며, PIAGP 기능을 수행할 수 있도록 Vertical Control Block에서 만들어지는 FRP(POL) 신호를 이용하여 무신호 시의 기준 데이터를 생성한다. 또한, 모듈 구동을 위하여 기준 클럭에 동기시켜, Column Drive IC를 위한 신호(SSC, SSP, SOE), Row Drive IC를 위한 (GSP, GSC, MOD1) 및 데이터 극성 선택을 위한 FRP(POL) 신호를 생성하였다. 그림 3에 Timing 제어부를 나타내었다.

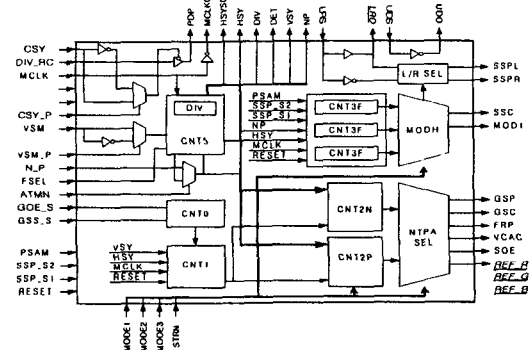


그림 3. Timing 제어부
Fig. 3. Timing control block

4.2 Phase Detector 및 Divider

입력되는 Sync 신호를 기준으로 하여 분주기에서 입력된 DIV 신호와 동기 되어 구동 신호를 생성할 때 사용하고, 입력이 없을 경우 일정 주파수를 발생하도록 하여 외부 Control 신호들이 DIV 에 동기하여 신호가 없을 경우 모듈이 동작한다. PD 부분은 논리 삼상 버퍼를 사용하였고, 분주부에서는 사용하는 Source Drive IC 의 구동 신호 생성에 적합하도록 24MHz 의 기준 클럭을 생성하도록 분주하였다.

PDP(Phase Detector Pulse)신호의 출력은 PLL Locking 이 정확히 될 수 있도록 Hi-impedance 구간 외의 High- 와 Low-impedance 시간이 정확히 1/2 이 되도록 설계하였다. DIV, HSY 신호는 입력 주기에 맞게 생성되도록 분주하였다. 만약 입력신호가 없을 경우 PDP 신호에는 일정한 DC 값이 인가되어야 한다.

4.3 패턴 구현을 위한 파형 설계 예

각 RFF_R, REF_G, REF_B 신호에 Timing Controller 내부에서 데이터 극성 반전을 위해 생성한 FRP(POL) 신호를 사용하면 간단한 색에 대한 패턴이 구현되며, 일정 클럭 주기를 이용하면 다른 패턴의 구현도 가능하다. 이번 설계에서는 간단히 R, G, B Color 및 White, Black Pattern 이 반복적으로 표시되도록 구현하였다. 그림 4 은 패턴 생성 예를 나타내었다.

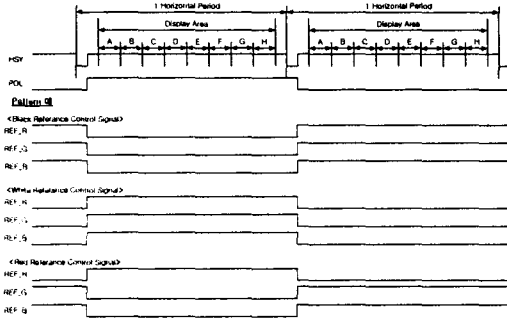


그림 4. 화면 표시 방법
Fig. 4. Display Methods

4.4 Pattern 구현 시간 제어

기준으로 생성한 Vsync 는 16.6ms 이다. 이를 Timing Controller 내부에서 계수기를 이용하여 각 시간 별로 Ref_R, Ref_G, Ref_B 에 상이한 극성을 보내어 원하는 패턴을 화면에 나타낼 수 있도록 구현하였다. 이들 기준 신호들은 내부에서 생성한 데이터 극성 제어 신호를 조합하여 생성하고, 각각 조합된 신호를 시간 별로 선택하여 출력한다. 출력된 기준 신호와 실제 입력되는 영상신호는 아날로그 스위치를 이용하여 선택될 수 있게 되어 있고, 디지털 논리회로는 Verilog-HDL 을 사용하여 구현하였다. 그림 5 는 영상처리의 블럭도를 나타내었다.

4.5 Pattern Generation 영상

그림 6(a)에 Pattern Generator(PM5418 color TV pattern generator)로부터 발생시킨 chess 패턴이 Composite 형태로 TFT-LCD 에 입력되었을 때 화면에 표시된 것을 보여주는 것이다. 그림 6(b)는 구현된 PIAGP 발생기를 나타내고, 그림 6(c)는 신호가 없을 경우 RED 패턴이 보여질 때 TFT-LCD 의 화면을 촬영한 것이다.

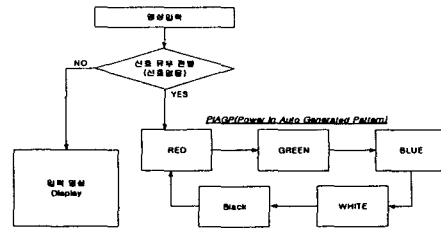


그림 5. PIAGP
Fig. 5. PIAGP

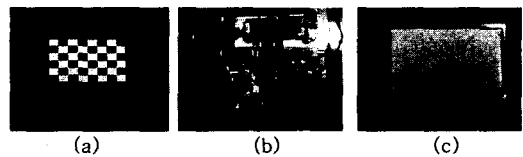


그림 6. (a) 아날로그 입력 패턴, (b) PIAGP 발생기, (c) (b)로 표시된 RED 패턴.
Fig. 6. (a) Analog pattern, (b) PIAGP generator, (c) RED pattern generated by (b).

IV. 결 론

본 논문에서는 중/소형 TFT-LCD 산업의 공정 개선을 위한 PIAGP 발생기를 제안하고 구현하였다. 기존의 시스템에서 Timing controller 를 재설계하여 아날로그 입력 신호 없이도 모듈의 시험이 가능함을 보였다. 제안된 시스템은 구동 장비를 최소화하여 TFT-LCD 산업에서 간과할 수 없는 중/소형 Module 생산 공정을 개선하고 추가 투자비 혹은 시설비를 절감하는 효과도 기대할 수 있을 것이다. 추후, 다양한 패턴에 대한 안정적인 생성에 대한 연구가 보장된다면, Aging 및 검사 공정에도 응용될 수 있을 것이다.

참고 문헌

- [1] SAMIR PALNITKAR, Verilog HDL, 영한출판사 2000년 11월.
- [2] Douglas J Smith, HDL Chip Design, Doone Publications 1996.
- [3] VESA, Coordinated Video Timings Standard Proposal, May 2, 2002.
- [4] PLL(위상동기루프) 응용회로, 도서출판 세운, 1993년 12월.