

워터마킹을 내장한 웨이블릿기반 영상압축 코덱의 FPGA 구현

서영호, 최순영, 김동욱
광운대학교 전자재료공학과
전화 : 02-940-5167 / 핸드폰 : 017-316-0530

FPGA Implementation of Wavelet-based Image Compression CODEC with Watermarking

Young-Ho Seo, Soon-Young Choi, and Dong-Wook Kim
Dept. of Electronic Materials Eng. Kwangwoon University
E-mail : design@kw.ac.kr

Abstract

In this paper, we proposed a hardware(H/W) structure which can compress the video and embed the watermark in real time operation and implemented it into a FPGA platform using VHDL(VHSIC Hardware Description Language). All the image processing element to process both compression and reconstruction in a FPGA were considered each of them was mapped into H/W with the efficient structure for FPGA. The global operations of the designed H/W consists of the image compression with the watermarking and the reconstruction, and the watermarking operation is concurrently operated with the image compression. The implemented H/W used the 59%(12943) LAB(Logic Array Block) and 9%(28352) ESB(Embedded System Block) in the APEX20KC EP20K600CB652-7 FPGA chip of ALTERA, and stably operated in the 70MHz clock frequency over. So we verified the real time operation, 60 fields/sec(30 frames/sec).

I. 서론

대용량의 데이터를 갖는 영상 및 비디오를 한정된 채널 대역폭을 통해 이동시키고 제한된 저장매체에서 효율적으로 저장하기 위해 다양한 형태의 압축 기법이 연구되어 왔는데, 그 대표적인 기법이 JPEG, MPEG과 H.26X 관련 표준들이다. 이러한 표준들은 DCT(Discrete Cosine Transform)를 기반으로 하고 있고 지금까지 연구소 및 산업체에서 많은 연구가 이루어져왔다. 그러나

정보량의 폭발적인 증가와 서비스 형태의 다양화, 그리고 무선통신에 기반한 모바일 서비스의 확대는 더 향상된 데이터 압축기술의 개발과 새로운 방식을 요구하고 있다. 이러한 요구에 대해 가장 근접하는 차세대 기술로서 이산 웨이블릿 변환(Discrete Wavelet Transform, DWT)이 저변을 확대해 나가고 있는데, 이미 DWT는 JPEG2000표준에서 주 변환기법으로 채택된 주파수 변환기법으로 DCT와 달리 블록효과가 발생하지 않고 전체영상을 대상으로 인간의 시각에 따른 처리가 용이하며 주파수 변환 후에 나타나는 다해상도 특성에 대한 다양한 응용이 가능하다. 이러한 특성으로 인해 DCT와 비교할 때 고압축율에서 훨씬 우수한 영상복원 능력을 보이고 있다. 지금까지 다양한 형태로 DWT를 H/W로 구현하고자 하는 연구가 진행되었고 최근에는 리프팅(lifting)을 기반으로 하는 연구가 많이 이루어지고 있다[1][2].

JPEG2000을 비롯하여 영상 및 비디오 데이터들을 처리하는 다양한 국제 표준들이 사용되고 있는데, 이들은 결국 디지털 영상/비디오 신호들을 정보를 보유할 수 있는 형태로 가공하여 다양한 형태의 영상/비디오 콘텐츠로 제작된다. 이와 같은 디지털 정보, 특히 영상/비디오 정보에 대한 보호 및 보안방법으로 최근 가장 많은 연구가 되고 있는 기술들이 디지털 워터마킹(watermarking)이다. 워터마킹은 콘텐츠의 불법적인 사용 및 도용이 있는 경우 실 소유자를 판별하는 소유권 인증 등의 분야에서 사용되는 기술로 영상/비디오가 실제로 사용될 때는 워터마크가 삽입되어 있는지를 알 수 없고(비가시성, imperceptibility), 영상/비디오 콘텐츠에 워터마크를 제거하거나 변경하기 위한 공격이 가해졌을 경우 그 공격에 대한 강인성(robustness)을 가

지는 것을 근간으로 하고 있다. JPEG2000을 기반으로 하는 워터마킹 방식의 경우는 영상에 대한 압축과정을 동시에 고려하므로 워터마킹의 삽입에 있어서 다양한 양자화기에 대한 적응성을 가져야 한다. 따라서 최근 들어 양자화를 고려한 워터마킹 기법이 많이 연구되고 있다[3][4].

II. 제안된 H/W의 전체적인 구조와 사양

본 논문에서는 MJPEG2000을 위한 하드웨어 (hardware, H/W)의 구조를 제안하고 처리되는 영상의 보안 및 보호를 위한 워터마킹 방식을 제안하여 H/W로 구현하고자 한다. 영상압축과 복원과정을 하나의 FPGA칩 내에서 처리할 수 있도록 요구되는 모든 영상 처리 요소를 고려하였고 VHDL(VHSIC Hardware Description Language)을 사용하여 각각을 효율적인 구조의 H/W로 사상하였다. 응용환경으로 Motion JPEG2000을 고려하였기 때문에 공간영역의 데이터를 주파수 영역으로 변환하는 도구로서 이산 웨이블릿 변환(discrete wavelet transform, DWT)을 사용하였고 필터링과 양자화 과정을 거친 다음에 워터마킹을 수행하여 최소의 화질 감소를 가지고 양자화 과정에 의해 워터마크의 소실이 없으면서 실시간으로 동작이 가능하도록 하였다. 그림 1에 나와있는 것과 같이 구현된 하드웨어는 크게 데이터 패스부(data path part)와 제어부(Main Controller, Memory Controller)로 구분되고 데이터 패스부는 영상처리 블록과 데이터처리 블록으로 나누어졌다. 영상처리 블록은 2차원 DWT를 수행하는 커널부(DWT Kernel), 양자화기/허프만 인코더(Quantizer/Huffman Encoder), 역 DWT 변환시 저주파와 고주파 계수를 더하는 역변환 덧셈기/버퍼(Inverse Adder/Buffer), 허프만 디코더(Huffman Decoder), 그리고 워터마커(Watermarker)로 구성되었다. 그 밖에 회로의 외부 환경과의 통신을 위한 인터페이스 블록들과 내부적인 타이밍을 조절하기 위한 블록들로 이루어졌다. 동작은

크게 영상의 압축과 복원과정으로 구분되고 영상의 압축 시 워터마킹이 수행되는데 전체 동작은 A/D 변환기에 동기하여 필드단위의 동작을 수행한다.

표 1에 구현될 H/W에 대한 전체적인 설계 사양을 나타냈다. A/D 변환기에 맞추어서 NTSC 방식의 영상을 필드 단위로 처리하게 되는데 이러한 칼라 영상에 대해서 초당 30프레임의 처리를 통한 실시간 동작을 할 때 약 45대 1의 압축률에서 약 30dB의 화질을 가진다. 내부적으로 웨이블릿 계수는 16비트(정수 9비트, 소수 7비트)를 사용하고 필터 계수는 12비트(정수 2비트, 소수 10비트)를 사용한다. Daubechies (9,7) 필터를 Booth 인코딩된 형태로 내장하여 4 레벨의 DWT를 수행하고 주파수 영역으로 변환한 후에 선형 양자화와 허프만 코딩을 이용하여 영상을 압축한다. 아날로그 신호의 처리를 위해 상용 IC(Bt829b, Bt866)를 사용하여 컴퓨터와 PLX9050을 이용한 PCI 통신을 한다.

표 5. 구현될 H/W의 설계 사양

#	category	Specification
1	Image size	640x240(field)
2	Image form	NTSC YCbCr(4:2:2)
3	Compression rate	about 45:1
4	PSNR	about 30dB
5	Number system	Pixel:16-bit(9,7),Filter:12-bit(2,10)
6	Performance	67 field/sec(33frame/sec)
7	DWT level	4 level(octave)
8	DWT filter	Daubechies(9,7) filter
9	Quantizer	Quantisation with Exception
10	Entropy coding	Huffman coding
11	External Memory	512x16bits SDRAM(4)
12	A/D Converter	BT829b
13	D/A Converter	BT866
14	PC interface	PCI interface(using PLX9050)
15	Target device	APEX20KC EP20K600CB652-7

III. 제안된 워터마킹 알고리즘

본 논문에서는 두 가지 워터마크 삽입 방식이 사용되는데 그림 2와 3에 워터마크 삽입 방식을 나타내었다. 선택된 비트평면에 정규적(그림2)으로 혹은 무작위적(그림3)으로 비트평면을 치환하여 워터마크를 삽입하는 것으로 이와 같은 방식을 사용한다면 삽입된 워터마크의 위치정보를 정확히 알고 있기 때문에 워터마크가 삽입된 영상에 대해 조작이 있을 경우에 조작된 위치를 판별할 수 있다. 2D DWT 후에 최저주파수 부대역의 웨이블릿 계수는 모두 양의 값을 가지고 그 값의 범위는 0에서 255이다. 즉, LL4 부대역의 비트맵(Bitmap)은 8비트로 표현가능하고, 일반적인 웨이블릿 기반의 영상압축에서 전체 영상에 대해 80%이상의 에너지 정보를 보유한 LL4 부대역에 대한 주파수 정보

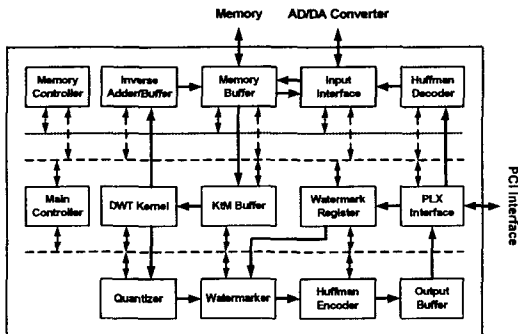


그림 1. H/W의 전체적인 구조

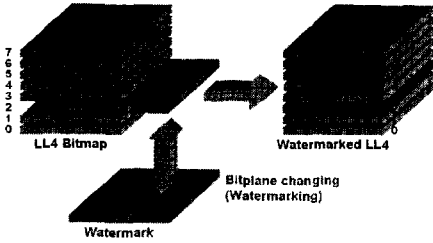


그림 2. 비트평면 정규적 교환의 워터마킹

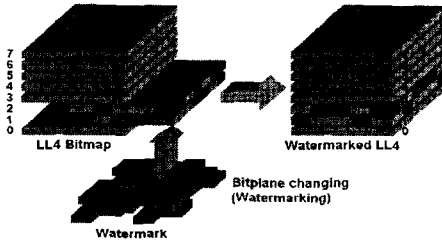


그림 3. 비트평면 무작위 교환의 워터마킹

를 모두 보존하기 때문에 그림 2와 3의 비트평면 치환 방식이 가능하다. 하지만 최저주파수 부대역에서의 비트평면 치환에 의한 워터마킹으로 영상의 질이 현저히 감소한다면 이 방식은 사용할 수 없기 때문에 최저주파수 대역에서 워터마크를 삽입할 적절한 비트평면의 조합을 결정해야한다. 따라서 최저 주파수 대역인 최저주파수 부대역에서 비트평면의 위치를 변경하며 워터마크를 삽입하고 압축된 영상과의 PSNR(Peak signal-to-noise ratio)과 시각적인 인지도를 고려하여 워터마크의 대상 비트평면으로 결정하였다. 이 결과를 표 2와 3에 나타내었는데 표 2는 선택된 비트평면을 완전히 바꾸는 비트평면 정규적 교환방식에 대한 결과이고 표 3은 선택된 비트평면 영역에서 열방향으로 무작위성을 부여한 비트평면 무작위 교환방식에 대한 결과를 나타낸다. 표 2와 3의 결과와 시각적인 특성을 고려하여 비트평면 정규교환의 경우는 LSB 비트 평면에서 3번째 비트평면(bitplane 2)을 선택하였고 비트평면 무작위교환의 경우는 2~3번째 비트평면(bitplane 1~2)을 선택하였다. 비트평면 정규교환의 실험에서 3번째 비트평면을 교환한 PSNR 결과와 4번째 비트평면을 교환한 PSNR 결과의 정량적인 차이는 1.56dB로 크지 않지만 시각적으로는 많은 차이를 보이기 때문에 3번째 비트평면을 워터마크 삽입 영역으로 설정하였다. 비트평면 무작위교환도 같은 이유에서 앞서 언급한 것과 같이 결정하였다.

IV. 구현된 H/W의 동작

표 2. 비트평면 정규적 교환방식에 대한 PSNR 결과

Bitplane	PSNR (dB) before watermarking	PSNR after watermarking	Compression Ratio
0	-	-	30:1
1	30.3	30.29	
2		29.71	
3		28.06	
4		25.12	
5		22.97	
6		19.32	
7		15.55	

표 3. 비트평면 무작위 교환방식에 대한 PSNR 결과

Bitplane	PSNR (dB) before watermarking	PSNR after watermarking	Compression Ratio
0	-	-	30:1
1~2	30.3	29.99	
1~3		29.24	
1~4		27.76	
2~3		28.77	
2~4		27.17	
3~4		26.48	

제안된 H/W의 영상압축 과정과 워터마킹 과정에 대한 동작방식을 4에 나타냈다. 그림 4에서 보듯이 필드 단위로 영상을 처리하며, 그 시간은 약 15ms에 해당한다. 영상압축기의 데이터 처리량은 전적으로 A/D 변환기에서 출력되는 영상 데이터량에 의존하기 때문에 동작의 시작과 처리 시간을 A/D 변환기에 동기시킨다. 그림 4의 영상압축 과정은 크게 필드 단위의 영상을 메모리에 저장하는 과정(Even or Odd Field Store)과 영상을 압축하는 과정(Even or Odd Field Compression), 그리고 압축된 데이터를 출력(Even or Odd Field Q/H Hard disk Store)하는 과정으로 구성되는데, 이 세가지 과정은 전체적으로 파이프라인 방식의 동작을 통해 실시간으로 영상을 처리한다. 이러한 영상압축 과정과 워터마킹 과정은 병렬로 일어나기 때문에 전체적인 동작에 영상을 주지 않고 실시간 동작이 가능하다.

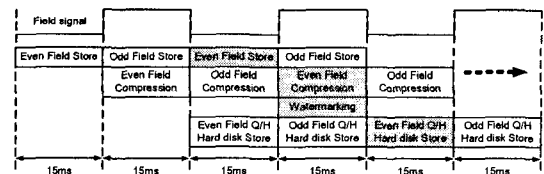


그림 4. 영상 압축과 워터마킹의 파이프라인 동작

V. H/W 구현결과

H/W구현을 위해 Altera의 Quartus II 환경을 사용하고 VHDL을 이용하여 설계하였다. 타겟 플랫폼으로 이용된 FPGA는 Altera의 PEX20KC EP20K1000CB652-7칩

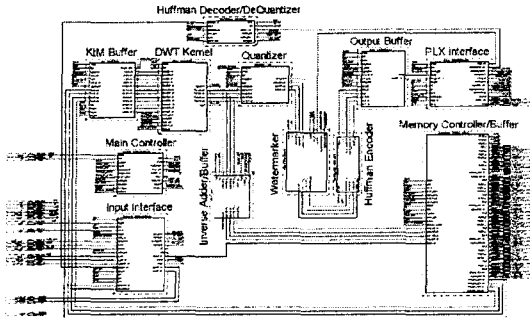


그림 5. Quartus II를 이용한 GDF 설계 결과

이다. 그림 5에 Quartus II 환경의 그래픽 에디터(GDF)로 설계된 전체 블록도를 나타냈다. 세부적인 회로는 RTL(Register Transfer Level) 수준으로 설계하고 전체적으로는 구조적 수준으로 취합하였다. 내부적 동작 메모리로 FPGA 내부의 일부 ESB(Embedded System Block)을 사용하였는데 ASIC(Application Specific Integrated Circuit)화 할 경우 ESB를 해당 ASIC 라이브러리에 맞는 메모리 모델로 교체하면 되므로 FPGA를 기본적인 설계의 타겟으로 삼았다 할지라도 구현된 H/W는 범용성을 가질 수 있다.

구현된 H/W는 최대 70MHz의 클럭에서 안정적으로 동작이 가능한데 33MHz(30ns의 주기)의 기본 주파수에서 동작하여 초당 약 67필드(33프레임)의 영상을 압축할 수 있기 때문에 실시간 동작이 가능하다. 이 때 메모리는 약 100MHz 클럭(99MHz, 기본 동작주파수의 3 배 클럭 속도)에 의해서 동작해야 하는데 두 클럭간의 동기를 위해서 APEX FPGA 칩이 내부적으로 제공하는 클럭 가속기(clock boosting) 기능을 이용하였다. 그리고 입력 인터페이스는 A/D 변환기의 동작 주파수인 28.63636MHz에 맞추어서 동작한다. 표 4에서는 그림 1의 각 기능 블록들이 APEX20KC EP20K600CB652-7에 사상되었을 때 사용된 H/W 자원 사용율을 나타냈다. 전체적으로 타겟 FPGA의 59%(14257개)의 LAB(Logic Array Block)를 사용하고 9%(28352개)의 ESB를 사용한다. 메모리 제어기의 경우 메모리 호출 주소 중 많은 부분을 ROM에 저장하여 사용하므로 다수의 ESB를 사용하고 커널 제어부도 제어에 필요한 동작을 ROM에 저장하기 때문에 ESB를 사용한다.

VI. 결론

본 논문에서는 MJPEG2000을 위한 영상 압축 및 복원 H/W의 구조를 제안하고 압축되는 영상의 보호 및 보안을 위하여 워터마킹을 내장시킨 통합된 형태의 H/W를 구현하였다. 구현된 H/W는 영상압축과 복원과

표 4. 구현된 H/W의 FPGA 자원 사용률

Block Name	LAB (24320:100%)	ESB (311296:100%)
DWT kernel	3129 (13%)	9472 (3%)
Quantizer	975 (4%)	0 (0%)
Huffman encoder	283 (1%)	0 (0%)
Output buffer	2405 (10%)	0 (0%)
PLX interface	1433 (6%)	0 (0%)
KtM buffer	1242 (5%)	0 (0%)
Main controller	168 (<1%)	0 (0%)
Huffman decoder/Dequantizer	1154 (5%)	0 (0%)
Watermarker	1414 (5.8%)	0 (0%)
Input interface	391 (2%)	0 (0%)
Memory controller/Buffer	1501 (6%)	18880 (6%)
Inverse adder/buffer	262 (1%)	0 (0%)
Total	14357 (59%)	28352 (9%)

정을 모두 수행가능하고은 초당 60필드(30 프레임) 이상으로 영상을 처리를 할 수 있어 실시간 처리가 가능함을 확인하였다. JPEG2000을 비롯하여 웨이블릿 변환 기반 제품의 저변이 확대되고 있는 시점에서 구현된 H/W는 독립적으로 하나의 영상처리 제품이 될 수 있고 SOC(system-on-a-chip)를 구성하는 IP(intellectual property)로도 사용될 수 있을 것으로 사료된다.

Acknowledgments

이 논문은 한국과학재단 목적기초연구(과제번호: R01-2002-000-00350-0)의 일부 지원으로 이루어졌음.

Reference

- [1] K. Andra, C. Chakrabarti, and T. Acharya, "A VLSI architecture for lifting-based forward and inverse wavelet transform," IEEE Trans., on Signal Processing, vol. 50, no. 4, Apr 2002
- [2] M. Ravasi, L. Tenze, and M. Mattavelli, "A scalable and programmable architecture for 2-D DWT decoding," IEEE Trans. Circuits Syst. Video Tech., vol. 12, no. 8, Aug. 2002
- [3] Brian Chen and Gregory W. Wornell, "Quantization Index Modulation : A Class of Provably Good Methods for Digital Watermarking and Information Embedding", IEEE Transaction on Information Theory, vol. 47, no. 4, pp. 1423~1443, May. 2001
- [4] Mathai, N.J., Kundur, D., Sheikholeslami, A., "Hardware implementation perspectives of digital video watermarking algorithms", Signal Processing, IEEE Transactions on , Volume: 51Issue: 4, pp. 925-938, Apr. 2003