

FPGA 기반 다채널 위상 측정 시스템 개발

정 선 용, 안 병 선, 최 원 섭, 장 태 규
 중앙대학교 전자전기공학부

Development of an FPGA-based multi-channel phase measurement system

Sun-Yong Jung, Byung-Sun Ahn, Won-Seop Choi, Tau-Gyu Chang
 School of Electrical Engineering, Chung-Ang University
 E-mail : tgchang@cau.ac.kr

Abstract

본 논문에서는 FPGA를 기반으로 하는 DFT 연산 알고리즘을 적용한 다채널 위상 및 HDR(Harmonic Distortion Ratio) 측정 시스템을 설계하였다. DFT 연산 알고리즘은 많은 연산량이 요구되는데, 기존에는 고가의 DSP 프로세서를 사용하여 소프트웨어적으로 처리하였지만, FPGA를 기반으로 하는 전용의 하드웨어로 구현할 경우 DSP의 연산량에 대한 부담을 감소시킬 수 있다. DFT 연산 알고리즘은 전용 ASIC으로 구현시 경제성을 고려하기 위해서 곱셈기 공유 구조를 적용하고, 효과적인 시스템 Integration을 위해서 범용 인터페이스 방식을 채택하고 이렇게 설계한 시스템을 실제 다채널 톤 신호를 입력으로 하는 동작 시험을 통하여 검증하였다.

I. 서론

DFT를 이용한 주파수 분석 기법은 위상 및 HDR 측정을 위하여 사용되는 방식 중에 하나이다[1][4]. DFT 연산 알고리즘은 비교적 많은 연산량이 요구되어 파이프 라이닝이나 병렬 처리 기법의 DSP 프로세서로 처리하였지만, 최근에는 Sliding-DFT와 같이 효율적인 연산 알고리즘으로 위상을 측정하는 이론이 연구되고 있다[2][3][5]. 그러나 DFT 연산 알고리즘을 FPGA를 기반으로 하는 전용의 ASIC으로 구현할 경우 경제성이 높을 뿐만 아니라 DSP의 연산량에 대한 부담을 감소시켜 전체적인 성능의 향상을 기대할 수 있다. 또한 FPGA를 마이크로 컨트롤러와 범용 인터페이스로 구

현하면 시스템 설계가 더욱 경제적으로 될 수 있다.

2절에서는 저주파 신호에 대한 다채널 위상 측정 알고리즘을 FPGA 기반의 전용 하드웨어로 합성하기 위한 구조를 설계하였다. 3절에서는 이를 FPGA로 합성하고 자체 PCB 보드를 제작하여 수행한 동작 시험 결과를 제시하고 4절에서 결론을 기술하였다.

II. DFT 기반 위상 측정 시스템 설계

신호열 $x(n), x(n+1), \dots, x(n+N-1)$ 의 N point DFT 연산식은 다음과 같이 나타낸다.

$$X(k) = \sum_{n=0}^{N-1} x(n) W_N^{kn}$$

$$W_N^{kn} = \exp(-j \frac{2\pi}{N} nk)$$

여기서, W_N 은 복소수 진동계수 (twiddle coefficient) 를 나타낸다. DFT 계산식을 분석해보면, k의 값에 따라서, 첫 번째 stage는 n번째에 해당하는 입력샘플과 진동계수를 곱하고, 두 번째 stage에서는 곱한 값들을 누적하게 된다. 그러므로 기본적인 알고리즘은 블록 연산을 위해서 입력 샘플을 저장하고, 하드웨어의 사용량을 감소시키기 위하여 하나의 곱셈기를 공유하는 구조를 갖는다.

곱셈기로 보내어지는 입력 데이터의 버퍼로서 16비트의 32-stage shift 레지스터가 사용된다. 각 stage의 입력 샘플을 시분할로 곱셈기로 보내기 위하여 32-1 멀티플렉서를 필요로 한다.

한 블록의 입력 샘플과 함께 계산될 진동계수(W_N^{kn})는 FPGA 내부에서 16bit의 실수부, 허수부 각각 32

point의 데이터가 ROM의 형태로 구현된다. 입력 샘플과 곱하기 위하여, 저장된 32개의 진동계수는 k의 값에 따라 k만큼 증가하는 값들이 가리키는 주소에 해당하는 값이 곱셈기로 보내어지게 된다. 이것은 진동계수가 고주파로 갈수록 반시계 방향으로 더 빨리 회전하는 것과 같은 원리이다.

DFT 연산의 마지막 단계로서, 곱셈한 32개의 결과값을 누적하기 위한 장치는 실수부, 허수부 각각 하나의 Accumulator를 이용하였고, 이곳에서 출력되는 32개의 값들을 저장하여 한 블록의 DFT 값에 대한 계산을 완료하게 된다.

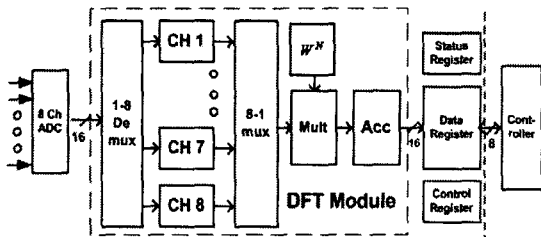


그림-1. DFT 연산 장치의 블록 다이어그램

그림-1에 DFT 연산 장치를 블록 다이어그램으로 나타내었다. 8-채널 DFT 연산 장치는 8-채널 AD 컨버터로부터 60Hz 아날로그 입력 신호에 대하여 채널당 1.92kHz로 샘플링 신호를 시분할로 입력받아 연산을 수행한다. 블록 단위로 살펴보면 크게 입력 데이터를 저장할 버퍼, 진동 계수를 저장할 ROM, 곱셈기, 누적기, DFT 결과값을 저장할 데이터 레지스터, 컨트롤러와의 인터페이스를 위한 컨트롤 레지스터 및 상태 레지스터 등으로 이루어져 있다.

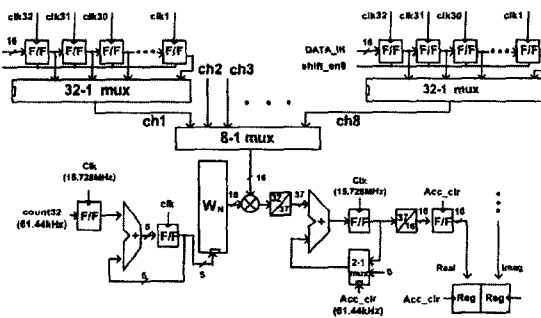


그림-2. DFT 연산 모듈의 구조

그림-2는 구현한 DFT 연산 모듈의 구조를 나타내고 있다. 입력 샘플의 버퍼 부분은 16비트 데이터를 입력으로 받는 독립적인 shift clock에 동기된 flip/flop으로, 샘플을 시분할로 곱셈기로 보낼 32-1 멀티플렉

서, 각 채널 구분을 위한 8-1 멀티플렉서로 구성된다. 진동계수를 계산하는 부분은 5비트 카운터와 ROM 테이블로 구현하였으며, 32개의 값을 누적하는 Accumulator는 overflow를 방지하기 위하여 5비트의 guard bit를 추가하여 상위 16비트를 출력하도록 설계하였다.

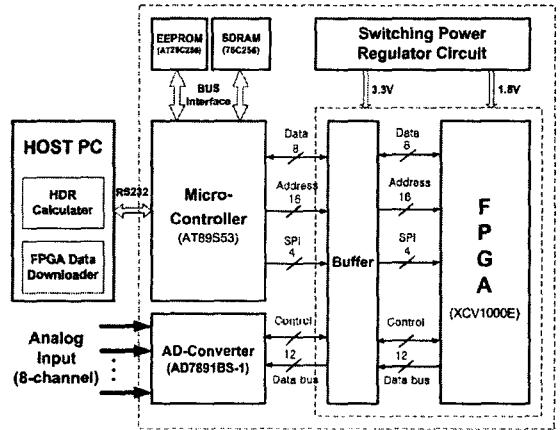


그림-3. 자체 제작 PCB 보드의 구조

그림-3는 자체 제작 PCB 보드에서 구현된 범용 인터페이스를 적용한 FPGA와 컨트롤러, AD 컨버터 및 전원부를 나타내고 있다. 이러한 범용 인터페이스 구조는 회로 설계를 용이하게 할 뿐만 아니라, 컨트롤러의 프로그래밍도 간단하게 할 수 있다. 예를 들면, 컨트롤러는 외부의 FPGA를 외부 메모리와 같은 방식으로 access를 할 수 있으므로 외부 메모리 접근 명령어로 쉽게 데이터를 주고받을 수 있다. 또한 컨트롤러와 FPGA는 서로 독립적으로 동작하게 되어, FPGA가 실시간으로 DFT 연산을 수행하면서 PC에서 모니터링을 가능하게 한다.

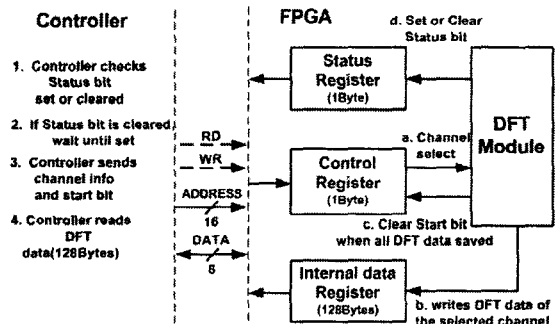


그림-4. 컨트롤러와 FPGA의 인터페이스

컨트롤러인 AT89S53은 주요 특징 중에 하나인 SPI(Serial Peripheral Interface)를 이용하여 호스트 PC로부터 원격으로 FPGA의 Reconfiguration이 가능하도록 하고, Configuration 이후에는 RS232 직렬 통신으로 PC로부터 채널 정보를 받아 FPGA로 보낸 후에, 다시 FPGA로부터 DFT 데이터를 읽어 PC로 보내는 기능을 수행한다. 그림-4은 컨트롤러와 FPGA 간의 인터페이스, 명령 전송 및 데이터 송수신 과정을 나타낸다.

PC는 다음의 식과 같이 컨트롤러로부터 받은 DFT 결과 값으로부터 fundamental 주파수의 실수부, 허수부로 위상을 계산하고, fundamental 주파수의 power와 나머지 harmonic 주파수들의 power에 대한 비율로 HDR을 측정한다.

$$HDR = \frac{\sum |harmonic\ freq.|^2}{|fundamental\ freq.|^2}$$

$$Phase = \frac{Im\ of\ fundamental\ freq.}{Re\ of\ fundamental\ freq.}$$

III. 구현 및 동작 시험

	used	total	%
Slice	4,832	12,288	39%
Slice Register	4,467	24,576	18%
4 input LUT	4,575	24,576	18%
Tbuf	128	12,544	1%
bonded IOB	44	158	27%
GCLK	3	4	75%
GCLKIOB	1	4	25%
DLL	1	8	12%
equivalent gate	81,703		
Additional JTAG gate for IOBs	2,160		

표-1. FPGA component size

Target FPGA로서 Xilinx의 Virtex-E 계열의 100만 게이트급 FPGA인 XCV1000E로 사용하였다. 하드웨어 합성 툴은 Xilinx의 ISE를 사용하였고, 동작 시뮬레이션은 ModelSim으로 하였다. 표-1은 DFT 연산 모듈과 각 부분의 동기 clock을 생성하는 메인 clock부, 8채널 AD 컨버터 제어를 위한 인터페이스, 컨트롤러와의 인터페이스를 위한 회로를 추가적으로 구현한 DFT 연산 모듈에서 사용된 component size를 나타내고 있다.

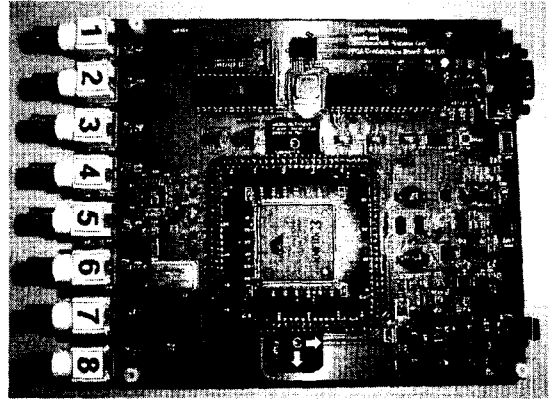


그림-5. 자체 제작 보드

그림-5는 본 논문에서 개발한 FPGA 기반 8-채널 위상 및 HDR 측정 시스템 PCB 보드이다.

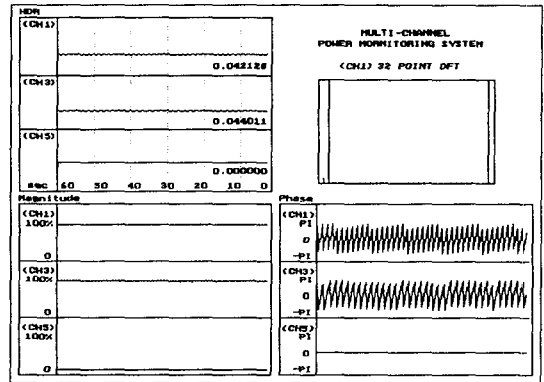


그림-6. 위상과 HDR 측정 화면

그림-6는 정밀도가 낮은 Function generator로부터 생성된 61Hz와 62Hz 정현파를 1.92kHz로 샘플링한 신호에 대한 위상과 HDR을 모니터링 하는 PC 화면이다. 좌측 상단은 HDR을 소수점 이하 여섯째 자리까지 계산하여 나타내는데, 미세한 주파수 왜곡이 발생한 16비트 입력 신호에 대하여 비교적 정밀하게 측정할 수 있다. 좌측 하단은 기준 60Hz 신호의 첫 번째 Harmonic에 대한 입력 신호의 첫 번째 Harmonic의 비율을 나타낸다. 그리고 우측 상단에 있는 한 채널의 32-point DFT 값을 보면, 첫 번째 Harmonic을 제외한 나머지 Harmonic들은 아주 미세한 값을 가짐을 확인할 수 있다. 우측 하단은 주파수 오차가 발생한 신호의 위상을 모니터링하고 있다.

IV. 결론

본 연구에서는 DSP의 연산량 부담을 감소시킬 수 있는 전용 하드웨어의 개발을 위하여 DFT 연산 장치를 VHDL을 이용하여 설계하였다. 이를 기반으로 FPGA와 마이크로 컨트롤러를 바탕으로 범용 인터페이스를 적용한 자체 시스템 보드를 제작하여 PC에서 실시간으로 위상과 HDR을 모니터링할 수 있는 시스템을 개발하였다. 끝으로 설계한 시스템을 실제 다채널 톤 신호를 입력으로 하여 동작 시험을 통하여 검증하였다. 이러한 개발 시스템을 바탕으로 위상 및 HDR을 측정하는데 보다 정밀하고 경제적인 방식을 제안하여 산업현장에서 경쟁력 있게 활용될 수 있을 것이라 생각한다.

본 논문은 과학재단지정 우수연구센터 차세대 전력기술연구센터의 지원으로 이루어진 결과임

참고문헌

- [1] A. G. Phadke, J. S. Thorp, and M. G. Adamiak, "A New Measurement Technique for Tracking Voltage Phasor, Local System Frequency, and Rate of Change of Frequency," *IEEE Trans. on Power Apparatus and Systems*, Vol. 102, no. 5, pp.1025-1038, May 1983.
- [2] 김중윤, 장태규, "순환 DFT 기반의 동기 위상 측정에 있어서 계수 근사에 따른 성능 열화 분석", 대한전자공학회 논문, pp.470-476, July 2002
- [3] K. J. R. Liu, C. T. Chiu, K. K. Koagotla, and J. F. Ja Ja, "Optimal unified architectures for the real-time computation of time-recursive discrete sinusoidal transforms," *IEEE Trans. on Circuits Syst.*, Vol. 4 pp. 168~180, Apr. 1994.
- [4] N. R. Murthy and M. N. S. Swamy, "On the computation of running discrete cosine and sine transforms," *IEEE Trans. on Signal Processing*, Vol. 40 no. 6, pp.1430~1437, June 1992.
- [5] Jae-Hwa Kim, and Tae-Gyu Chang T. A. Jones, "Analytic Derivation of Finite Wordlength Effect of the Twiddle factors in Recursive Implmentation of the Sliding-DFT," *IEEE Trans. on Signal Processing*, Vol 1, no. 2, pp.1-10, May 2002.