

# Sliding-DFT 에 기반한 전력선 위상 측정 기법

안병선, 김병일, 장태규

중앙대학교, 전자전기 공학부  
전화 : 02-820-5318

## Power-line phase measurement algorithm based on the sliding-DFT

Byoung-Sun Ahn , Byoung-Il Kim and Tae-Gyu Chang

School of Electrical and Electronics Engineering, Chung -Ang University  
221 Huksuk-Dong, Dongjak-Ku, Seoul, Korea  
E-mail : tgchang@cau.ac.kr

### Abstract

This paper proposes a power-line phase measurement algorithm which is based on the recursive implementation of sliding-DFT. Usage of the single DFT coefficient in the conventional sliding-DFT based power-line phase measurement brings a significant error propagation when implemented in hardware with finite word-length arithmetic operations. The proposed algorithm utilizes all the N-point DFT coefficients in the recursion. Performance degradation caused by the finite word-length implementation of the algorithm is analyzed and verified with computer simulations. The robustness of the proposed phase measurement algorithm against the erroneous implementation is also confirmed by the performance analysis and simulation.

### I. 서론

Sliding DFT 는 단일 톤 신호의 위상을 측정하는 매우 효율적인 방법들 중 하나이다. 위상 측정을 위한 기법들에는 Modified Zero Crossing 기법[1], Level Crossing 기법[2], Least Squares 기법[3], Newton method[4], DFT 기법[5] 등이 있다. 기존의 알고리즘 중, 순환 DFT 기법은 비교적 낮은 계산 부담으로

임베디드 시스템의 적용에 적합하다고 할 수 있다. 그러나, 순환 DFT 는 처리 속도와 계산량 감소를 위한 응용으로 ASIC 이나 컨트롤러에 적용함에 있어 계수의 유한 비트 근사로 구현될 때 심각한 오차 누적을 발생하게 된다. 위상 측정을 위한 종래의 순환 DFT 에서 단일 진동계수의 사용은 오차 누적의 원인이 된다.

본 논문에서는 N 개의 DFT 진동계수 모두를 계산 과정에 이용하는 수정된 순환 DFT 위상 측정 알고리즘을 제안하였다. 제안된 알고리즘에서 유한 비트 근사 구현에 의해 발생하는 오차 영향을 해석하였고 컴퓨터 시뮬레이션을 통해서 유한 비트 근사에 강인한 알고리즘임을 확인하였다.

### II. 순환 SDFT 에 기반한 전력선 위상 측정

제안된 위상 측정 알고리즘은 II-1 에 기술하였고, 위상 측정 알고리즘의 유한 계수 근사 구현에 의한 오차 영향 해석은 II-2 에 기술하였다.

#### II.1 순환 DFT 에 기반한 위상측정 알고리즘

입력 신호가 단일 sine 파이면서 입력 신호 주파수의 정수(M)배로 샘플링 하였을 경우, DFT 에 기반한 위상 측정 알고리즘의 주된 개념은 DFT 수행 결과의

l-번째 bin 주파수와 단일 sine 파의 위상이 동일하다는 것이다. 식 (1)과 (2)에 이산 신호 x(n)과 l-번째 bin 주파수 요소  $X_l(n)$ 을 나타내었다.

$$x(n) = X \cos\left(\frac{2\pi}{M}n + \phi\right) = \frac{X}{2} \left( e^{j\left(\frac{2\pi}{M}n + \phi\right)} + e^{-j\left(\frac{2\pi}{M}n + \phi\right)} \right) \quad (1)$$

$$X_l(n) = \sum_{m=n-N+1}^n x(m) W_N^{-lm} \quad (2)$$

식 (2)에 (1)을 대입함으로써 식 (3)과 같이 이산신호 x[n]의 위상 값에 따른 N 포인트 DFT의 l-번째 bin 주파수 성분을 나타낼 수 있다.

$$\begin{aligned} X_l(n) &= \sum_{m=n-N+1}^n \frac{X}{2} \left( e^{j\left(\frac{2\pi}{M}m + \phi\right)} + e^{-j\left(\frac{2\pi}{M}m + \phi\right)} \right) \cdot e^{-j\frac{2\pi}{N}lm} \\ &= \frac{X}{2} \sum_{m=n-N+1}^n \left( e^{j\left(\frac{4\pi}{M}m + \phi\right)} + e^{j\phi} \right) \\ &= \frac{X}{2} N \cdot e^{j\phi} \end{aligned} \quad (3)$$

순환 SDFT는 식 (2)에서  $X_l(n)$ 과  $X_l(n-1)$ 의 관계를 통해 유도할 수 있다. 순환 SDFT 기법은 식 (4)에 나타내었다.

$$X_l(n) = W_N^l \{ X_l(n-1) + x(n) - x(n-N) \} \quad (4)$$

where,  $W_N = \exp[j2\pi/N]$

재귀방정식 (4)에서 단일 진동계수  $W_M$ 이 정수 값을 갖도록 계수 근사하여 사용할 때 오차의 누적이 발생하게 된다.

제한한 알고리즘에서는 식 (5)와 같이 각각의 sliding 단계마다  $2\pi/M$  만큼씩 위상 회전을 포함한 식으로 유도된다. N개의 진동계수가 대칭적인 특성을 가지므로 오차를 상쇄하는 효과를 가지게 된다. 또한 제안한 알고리즘은 DFT 블록의 sliding에 관계없이 절대 기준 위상을 알려주는 위상 회전 효과를 가진다. 제안한 위상 측정 알고리즘의 신호 흐름도를 그림 1에 나타낸다.

$$\begin{aligned} X(n)W_M^n &= W_M^l [X_p(n-1)W_M^{n-1} + x(n) - x(n-N)] \\ X(n) &= X(n-1) + W_M^{ln} \cdot \{x(n) - x(n-N)\} \end{aligned} \quad (5)$$

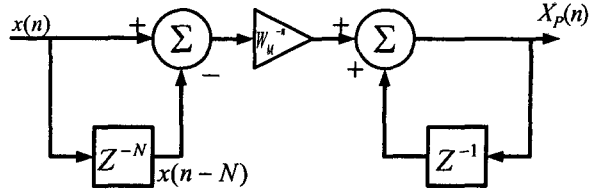


그림 1 순환 SDFT에 기반한 제안된 위상 측정 알고리즘

그림 1에 설명한 것처럼, 순환 SDFT는 FIR 필터와 IIR 필터의 cascade로 결합된 구조를 가지고 있다. 여기서 IIR 필터 부분은 단위원상에 pole을 가지는 불안정한 누적이 된다. 그러나 IIR 필터의 pole은 데이터 블록의 길이 N에 상관없이 FIR 필터의 zero에 의해 항상 상쇄되어 전체 중속 연결 시스템은 안정되게 된다. 식 (5)에서 위상 측정 알고리즘의 정확도와 오차 분포는 IIR 필터의 오차 누적 특성 때문에 진동계수의 유한 비트 근사에 있어 오차 영향에 대한 연구가 꼭 필요하다 하겠다. 특히, 컨트롤러나 ASIC과 같은 하드웨어 환경에서 위상 측정 알고리즘의 구현에 있어서 유한 계수 근사 구현에 따른 오차 영향에 대한 연구는 하드웨어 resource의 최적 사용을 위해서 아주 중요하다 하겠다.

### II-2. 유한 계수 근사 효과에 의한 오차 영향의 해석

식 (5)에서 phasor  $X(n)$ 은 식 (6)과 같이 재귀형태가 없는 덧셈의 형태로 나타낼 수 있다.

$$\begin{aligned} \hat{X}(n) &= \sum_{m=0}^n \hat{W}_N^{-m} u(m) \\ \text{where, } u(n) &= x(n) - x(n-1) \end{aligned} \quad (6)$$

식 (6)의 유도에서 l의 값은 1.0으로 바꿀 수 있고 phasor  $\hat{X}(n)$ 는 두 이산신호  $\hat{W}_N^{-n}$ 과 u(n)의 곱의 합으로 나타내게 된다. x(n)의 주파수가 DFT 블록 길이 N의 주기에 따른 주파수의 정수배일 때 차분 신호 u(n)은 0이 된다. 이러한 경우,  $\hat{X}(n)$ 의 초기 위상이 변하지 않게 된다. 만약 측정 대상 신호 x(n)의 주파수가 f로부터  $\Delta f$ 만큼 변한다고 하면, 차분 신호

$u(n)$ 의 주파수 또한  $f + \Delta f$ 의 주파수를 갖는 사인파 신호가 된다.

$W_N^{-n}$ 의 실제 값은 단일 톤 시퀀스인 반면, 유한 계수 근사된 진동 계수  $\hat{W}_N^{-n}$ 은 이산 Fourier series의 하모닉들의 합으로 나타낼 수 있다. 진동계수를 구성하는 하모닉들 중에 fundamental을 제외하고 0이 아닌 성분들 중 첫 번째 성분은 세 번째 하모닉 성분으로, 이는 다른 고주파 성분들 중 가장 dominant한 성분이다. 그러므로,  $\hat{W}_N^{-n}$ 은 fundamental 주파수와 세 번째 하모닉 성분의 합으로 근사화 될 수 있다. 따라서 식 (7)과 같이, 주파수가  $f$ 와  $3f$ 인, fundamental과 세 번째 하모닉 성분을 가지는,  $f + \Delta f$ 의 주파수를 갖는 단일 톤 신호를 곱한 후에 더하는 것처럼 나타낼 수 있다. 곱셈 항 중에서, 더 높은 주파수 성분들은 무시할 수 있으며, 오직 첫 번째 dominant한 하모닉 항  $2f - \Delta f$ 만이 식 (7)에 남게 된다. (7)에서 첫 번째 항은 오차가 없는 진동계수를 사용하여 얻은 것과 똑 같은 위상을 주는 복소수 성분이다.

$$\hat{X}_p(n) = \frac{1}{2\pi} \left( \frac{\omega_1}{\Delta f} e^{-j\frac{2\pi\Delta f}{f_s}n+\phi} + \frac{\omega_3}{2f - \Delta f} e^{-j\frac{2\pi(2f - \Delta f)}{f_s}n+\phi} \right) \quad (7)$$

그러므로, 최대 위상 오차는 식 (8)에 나타난 것처럼 식 (7)의  $2f - \Delta f$  phasor 성분과  $\Delta f$  성분 사이의 크기 비의 역 탄젠트로 나타낼 수 있다.

$$\hat{\theta}_{error} = \tan^{-1} \left( \frac{\omega_3}{\omega_1} \frac{\Delta f}{2f - \Delta f} \right) \quad (8)$$

만약 주파수 변이가 측정대상 주파수  $f$ 에 비해 충분히 작다면, 위상 오차를 유도한 (8) 식은 크기에 대한 오차 비  $\omega_3/\omega_1$ 를 0에 가까운 항  $\Delta f/2f$ 을 곱함으로써 위상 오차가 더욱 작아지는 것을 나타낸다.

### III. 시뮬레이션과 결과

본 장에서는 60Hz의 측정대상 주파수를 가지는 단일 톤 신호의 위상 값을 측정하기 위한 Sliding-DFT 기법의 재귀적 구현으로 실행한 시뮬레이션에 대해

기술하였다. 샘플링 주파수가 측정대상 주파수의 32 배이고, DFT의 블록 길이  $N$ 는 32 샘플 포인트이다. 유한 비트 진동계수의 영향은 유한 비트를 4-bit에서 8bit로 변화시키면서 시뮬레이션을 수행하였고, 측정대상 주파수 60Hz로부터 주파수 변이  $\Delta f$ 가 1.0Hz까지 가지는 입력 신호를 적용하여 시뮬레이션을 수행하였다.

시뮬레이션 결과로부터 얻은 위상 측정 오차는 해석식 (8)로부터 얻은 결과와 함께 그림 2에 나타내었다. 만약 두 결과가 아주 유사하게 나타난다면, 식 (8)에 주어진 오차 영향의 유도가 정확함을 확인할 수 있겠다. 위상 오차 값은 매우 작게 나타남을 볼 수 있다. 다시 말해, 4-bit으로 근사한 경우에도 오차는 0에 가깝게 나타남을 볼 수 있다. 반면, 기존의 SDFT의 결과는 훨씬 큰 위상 오차를 가진다.

제안된 기법에 의해 측정된 크기와 위상의 퍼센트 오차를 그림 3에 나타내었다. 이 시뮬레이션은 식 (8)에서 나타난 것과 같이, 크기 오차가 위상 오차보다 훨씬 큰 것을 보여준다.

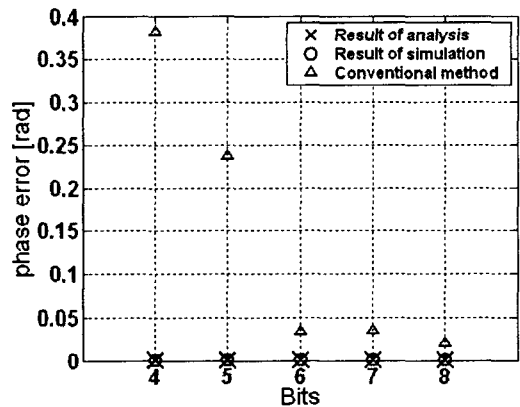


그림 2 위상 오차

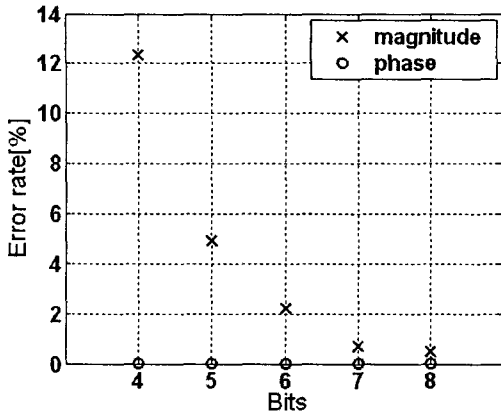


그림 3 크기와 위상의 오차 비

#### IV. 결론

본 논문에서는 전력선 위상의 정확한 측정을 위한 순환 SDFT 알고리즘을 제안하였다. 이 알고리즘은 DFT 블록의 sliding 에 의해 발생되는 위상 회전 보상을 포함하고 있다. 해석적 유도 및 컴퓨터 시뮬레이션을 통해, 제안된 위상 측정 알고리즘이 주파수 변이와 유한 계수 근사 효과에 매우 강인함을 확인하였다. 또한 위상 측정 오차는 크기 측정 오차에 비해 훨씬 작음을 확인하였다. 제안한 알고리즘이 전력선 위상 측정을 위한 실시간 임베디드 시스템 구현에 있어 매우 유용할 것으로 기대된다.

본 논문은 과학재단지정 우수연구센터 차세대 전력기술연구센터의 지원으로 이루어진 결과임

#### References

[1] G. Missout and P. Girard, "Measurement of Bus Voltage Angle Between Montreal and Sept-Iles," *IEEE Trans. on Power Apparatus and Systems*, Vol. PAS-99, no. 2, pp.536-539, March/April 1980.

[2] C. T. Nguyen and K. Srinivasan, "A New Technique for Rapid Tracking of Frequency

Deviation Based on the Level Crossing," *IEEE Trans. On Power Apparatus and Systems*, Vol. PAS-103, no.3, pp. 2230~2236 Aug, 1984.

[3] M. S. Sachdev and M. M. Giray, "A Least Square Technique For Determining Power System Frequency," *IEEE Trans. On Power Apparatus and Systems*, Vol. PAS-104, no. 2, pp.437-443, Feb 1985.

[4] V. V. Terzija, M. B. Djuric, and B. D. Kovacevic, "Voltage Phasor and Local System Frequency Estimation Using Newton Type Algorithm," *IEEE Trans. On Power Delivery*, Vol. 9 no. 3, pp. 1368~1374, July 1994.

[5] A. G. Phadke, J. S. Thorp, and M. G. Adamiak, "A New Measurement Technique for Tracking Voltage Phasors, Local System Frequency, and Rate of Change of Frequency," *IEEE Trans. on Power Apparatus and Systems*, Vol. 102, no. 5, pp.1025-1038, May 1983.

[6] K. J. R. Liu, C. T. Chiu, K. K. Koagotla, and J. F. Ja Ja, "Optimal unified architectures for the real-time computation of time-recursive discrete sinusoidal transforms," *IEEE Trans. on Circuits Syst.*, Vol. 4 pp. 168~180, Apr. 1994.

[7] N. R. Murthy and M. N. S. Swamy, "On the computation of running discrete cosine and sine transforms," *IEEE Trans. on Signal Processing*, Vol. 40 no. 6, pp. 1430~1437, June 1992.

[8] Jae-Hwa Kim, and Tae-Gye Chang T.A. Jones, "Analytic Derivation of Finite Wordlength Effect of the Twiddle factors in Recursive Implementation of the Sliding-DFT," *IEEE Trans. on Signal Processing*, Vol. 1, no. 2, pp.1-10, May 2002.