

소수형 디지털연산 알고리즘을 이용한 디지털 PWM의 고유한 비선형특성의 보상

정진훈, 정동호
동양대학교 IT전자공학과
전화 : 054-630-1077 / 핸드폰 : 016-9780-6035

A Distortionless Digital PWM Implementation by means of a Non-integer delay FIR filtering

Jin-Whi Jung, Dong-Ho Jeong
Dept. of IT Electronic Engineering, Dongyang University
E-mail : dhjeong@phenix.dyu.ac.kr

Abstract

A uniformly sampled digital pulse-width modulation adopting a pre-compensation filter scheme for applications in high-resolution digital-to-analog data conversion is described. It is shown that linearization of the intrinsic distortion resulting in uniformly sampled pulse-width modulation can be achieved by using a non-integer delay digital filter embedded within a noise shaping re-quantizer.

I. 서론

산업전자, 전자부품, 통신기기, 컴퓨터 주변장치 등의 신호변환장치에서 고정밀도, 고해상도를 만족시키고 동시에 왜곡성분을 억제시켜 용도에 적합한 DAC(digital to analog converter)가 개발된 것이 많지 않다. 예를 들면, 기존의 SDM(sigma-delta modulator)을 이용한 DAC는 1-비트 양자화기(quantizer)의 과부하 현상에 의해 성능이 제한되는 것으로 알려졌고, MASH(multi-stage noise shaping)형 DAC는 잡음 성형화(noise shaping)와 저해상도 디지털 펄스폭 변조를 조합한 기존에 알려진 저해상도 디지털 펄스폭 변조의 고유한 비선형 왜곡현상을 해결하지 못한 것으로 알려졌다 [1][4]. 기존의 연구들은 디지털 PWM(pulse-width

modulator)의 고유한 비선형 왜곡 보상기의 구현과 실현에 다소 복잡한 알고리즘이거나 보간(interpolation)기술들이 실제 응용측면에서 비효율적이었다는 단점을 지니고 있었다[2-4]. 그리고 기존의 PWM는 대부분 아날로그 방식으로 구현되었고, VLSI로 저소비전력용 디지털 칩을 위한 완전 디지털 방식으로 실용화된 것이 거의 없는 실정이다.

본 논문에서는 기존의 관련 기술들이 지니고 있는 복잡성 및 실용화의 어려움을 보완하기 위해 Farrow 구조에 의한 소수형 FIR(finite impulse response)필터를 이용하여 진폭변조를 시간축 변조로 직접 일대일 대응 변환시키는 새로운 알고리즘을 제안하였다. 이를 적용하여 디지털 시스템을 직접 VLSI로 구현할 수 있는 장점을 지닌 새로운 디지털 PWM을 구현하고 고해상도 DAC에 적용한 한 예를 소개한다.

II. 디지털 펄스폭 변조기의 구성

그림 1에서 디지털 방식이란 입력신호(a)와 기준신호(b)가 동시에 같은 시간축을 기준으로 균일하게 이산된 시스템 내에서 기준신호(b)가 특히 계단형의 불연속한 디지털신호의 집합으로 이루어 졌을 때를 균일 샘플링(uniform sampling) 펄스폭 변조기(UPWM)라 하며 이

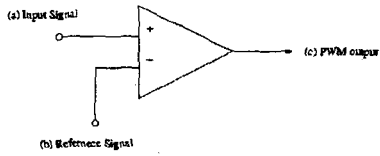


그림 1. UPWM의 구성(위)과 입력, 출력 신호의 펄스폭 변조 파형(아래)

를 디지털 방식이라 한다. 디지털 PWM에서 D 가 펄스폭 반복주기로서 $1 - z^{-D}$ 의 주기로 동작할 때 Nyquist 구간 범위 내에서 D 단위 근들을 가진 주파수가 존재한다면 디지털 주파수는

$$\omega_i = \frac{2\pi f_i}{D} = \frac{2\pi i}{D} \quad (1)$$

로 나타나고 이때 $i \in (0, D-1)$ 이라면, 디지털 PWM의 왜곡현상이 주파수영역의 전달함수로서 다음과 유사한 식으로 묘사된 바가 있다[2].

$$H(e^{j\omega}) = \frac{D}{2j\sin(\pi i)} \cdot \frac{\sin(\pi \frac{\alpha}{D})}{\pi} \cdot e^{-j\pi \frac{\alpha - (D+1)}{D}} \quad (2)$$

여기서, $0 \leq \alpha < D$ 구간 내에서 펄스폭 변조신호가 α 로 설정되고 $i \in (0, 1, 2, \dots, D-1)$ 에서 한 이산열 D 가 i 개로 보간되어 된다고 정의된다. 식 (2)가 의미하는 바 변조신호 α 에 의해 동적변동을 하는 sinc함수에 의해 비선형 요소가 전달함수에 존재함을 볼 수 있다. 이 논문에서 제시된 식 (2)의 전달함수를 갖는 디지털 PWM는 그림 2에 나타내었다. 디지털 데이터 $x(n)$, $y(n)$ 에 의해 입력과 출력이 규정되고 $\delta(n)$ 은 크기가 1인 단위 임펄스열을 포함한다.

스위치 s_i 는 예를 들면 CMOS공정에 의한 반도체 스위치로 구성하여 그림 2의 디지털 PWM을 집적화 할 수 있는 특징을 갖는다. 이 스위치 s_i 를 구동신호 α 에 의해 제어함으로써 펄스폭 변조된 출력을 얻는다. 이 과정을 기준신호에 리딩엣지(leading edge)로 균일-샘플링되는 입출력 파형의 도시하면 그림 3과 같이 나타낼 수 있다. 여기서 $p_a(i)$ 와 $p_b(i)$ 는 그림 1에서의 기준신호와 입력신호에 각각 대응한다.

그림 3에 도시하였듯이 만일 상기 논의된 PWM의 정의에 의해 기준입력신호 $p_a(i)$ 가 계단형 재양자화된 진폭신호로 이루어져 있고, $p_b(i)$ 는 충분히 보간된 신호라면 예를 들면 오직 한 개의 교차점만이 각 $(j, j+1)$ 구

간 내에 존재한다. 이때, 입력신호 α_n 의 크기는 균등하게 D -레벨로 이산화 되어 각각의 레벨들은 그 다음 연속한 펄스폭 반복주기 구간에서 펄스폭의 넓이를 결정하는 신호정보를 제공한다.

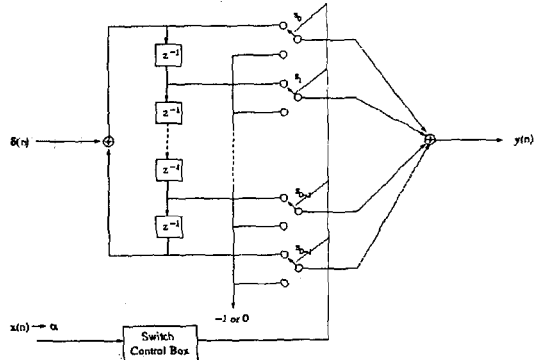


그림 2. 제시된 디지털 PWM의 한 예의 회로도

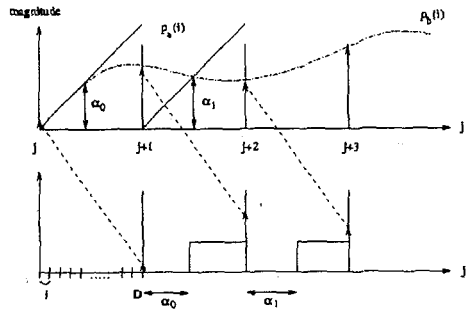


그림 3. 제안된 디지털-펄스폭 변조 중 리딩엣지 펄스폭 맵핑(mapping)

그림 3에서 네 개의 연속 이산 신호 $j, j+1, j+2$, 그리고 $j+3$ 들은 선행 FIR 필터에 인가된 입력신호의 이산구간들이다. 이 필터의 출력은 재양자화기의 출력과 비교되어서 유니폴라 펄스의 경우 펄스폭 변조의 1과 0, 또는 바이폴라 펄스의 경우 1과 -1의 상태를 출력한다.

이 동작을 위해 본 논문에서 제시하는 방법은 D -레벨의 크기가 또한 펄스폭 반복주기의 시간축 크기와 같게 설정되고 리딩엣지 디지털 PWM에서 변조신호인 α 가 $0 \leq \alpha < D$ 구간 내에서 변조된다고 할 때 한 이산열 j 가 $i \in (0, 1, 2, \dots, D-1)$ 에 의해 두개의 연속 이산열을 보간하는 새로운 이산열이 된다고 정의한다. 따라서, $\{\dots, j-1, j, j+1, \dots\}$ 의 순서가 각 펄스폭 변조시의 최대 펄스폭 이산순간들이 된다. 이때의 PWM의 변조율은 100%가 되는 것으로 정의되나 일반적으로 PWM의 구조에서는 임의로 변조율의 조절이 가능하다.

III. 선행보상기와 재양자화기의 설계

제시된 디지털 PWM을 구동하는 신호 α 는 잡음성형 재양자화에 발생되고 식(2)의 전달함수에서 균일이산화에 의한 오차를 보상해 주기 위한 선행 보상필터 $H_c(z)$ 를 직렬로 삽입하면 그림 4와 같이 된다. $H_c(z)$ 는 소수(non-integer)형 Farrow 구조 FIR 디지털필터로서[5-7], 그림 3과 같이 지연기가 가변으로 제어되는 일반 FIR 필터에 비해 전이된 구조를 갖고 있다. 이 FIR 필터 전달함수의[7] 주어진 입력과 출력 $x(n)$, $y(n)$ 에서

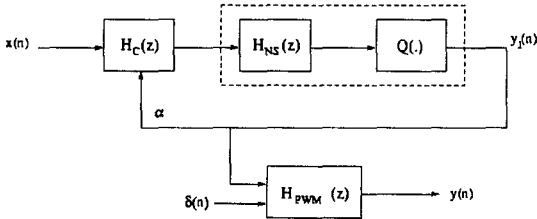


그림 4. 디지털 PWM에 의한 DAC의 전체 구성도

α 는 소수이며 가변이다. 보간식을 위한 전달함수를 $L(z)$ 라 정의한다면 z -영역의 표현은 다음과 같이 쓸 수 있다.

$$L(z) = \sum_{k=0}^N G_k(z) \cdot \alpha^k \quad (3)$$

이때, 균등한 이상적인 소수형 시간지연 α 를 갖는 z -영역에서의 이산 신호식은 $\alpha \in \{0, 1, 2, \dots, M\}$ 에서 일반적으로

$$z^{-\alpha} = \sum_{k=0}^N G_k(z) \cdot \alpha^k \quad (4)$$

이고, 여기서 $n=1, 2, \dots, N$ 에서 $l_n(k)$ 가 이 필터의 계수라 정의하면 전달함수 $G_n(z)$ 는 다음과 같다.

$$G_n(z) = \sum_{k=0}^N l_n(k) \cdot z^{-k} \quad (5)$$

여기서 $l_n(k)$ 는 식 (5)의 Vandermonde 행렬의 역을 구함으로써 계산되고 이 역행렬의 행에서 새로운 필터 즉, Farrow 구조 FIR의 필터계수를 포함한다. 식 (4)에서 $\alpha=0$ 의 경우를 보면

$$\sum_{k=0}^N G_k(z) \cdot 0^k = 1 \quad (6)$$

이 되고 이는 $G_0(z) \equiv 1$ 을 의미하며 선행보상기의 차수에 관계없이 전달함수가 1이 됨을 의미한다. 소수형 3차 Lagrange Farrow 구조 FIR 필터의 구체적인 한 예를 그림 5에 도시하였다. 여기서 $H_c(z)$ 의 이득이 1 이상 이 되지 않아야 하는 조건이 만족되어야 한다.

그림 4의 점선으로 표시된 재양자화기에서 $H_{NS}(z)$ 는

입력신호와 재양자화기의 잡음성분에 대해 중첩적으로 작용하는 전달함수로서 N_o 가 재양자화기에서 발생하는 잡음성분이라 할 때 다음과 같이 일반식으로 정의된다.

$$Y_1(z) = \frac{1}{1+H(z)} \cdot (H(z) \cdot Y_2(z) + N_o) \quad (7)$$

입력 Y_2 에 대해서는 $\frac{H(z)}{1+H(z)}$ 으로 재양자화 잡음성분 N_o 에 대해서는 $\frac{1}{1+H(z)}$ 로 작용한다.

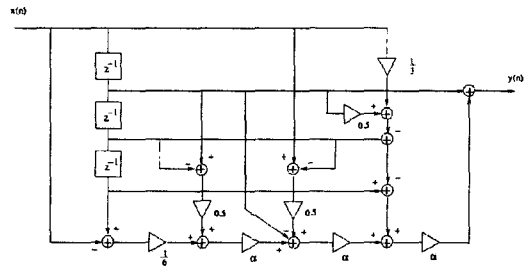


그림 5. 3차 Farrow 구조 Lagrange형 디지털 필터의 한 예를 도시한 기능 블록도

논의된 디지털 PWM은 잡음성형 재양자화의 출력으로 구동되는 구조이므로 입력 x 가 D-레벨 재양자화됨을 표현하기 위해 주어진 상수 중에서 가장 큰 수를 취하는 floor함수로 정의하는 기호 $\lfloor \cdot \rfloor$ 를 사용하여 재양자화 Q를 다음과 같이 나타낼 수 있다.

$$Q(x) = \frac{\lfloor (D \cdot (x + 0.5)) \rfloor}{D} \quad (8)$$

현재의 기술현황에서 전체 2~3차 정도의 직렬구조를 가진 재양자화기가 일반적으로 사용되고 있음을 고려해 볼 때 본 논문에서는 한 표준적인 2차 잡음성형 재양자화기를 사용하였다. 잡음성형 재양자화기 그 자체가 본 시스템의 핵심기능이 아니며 어떠한 종류와 차수 또는 구조의 잡음성형 재양자화기도 사용이 적합하다면 본 디지털 PWM을 위해 사용될 수 있기 때문이다.

IV. 모의실험 결과

그림 4의 각 기능별 블록 다이어그램들은 각각 C-언어로 묘사되어 통합된 하나의 D/A 데이터 변환기능을 갖도록 구성되었다. 모의실험을 위해 구성된 DAC는 44.1kHz로 샘플링된 기본 주파수를 가지고 있고 여기에 다시 4~6배 정도의 선행보상을 한 것을 입력신호로 사용한다. 알려진 바와 같이 선행 보상기를 가지지 않는 디지털 PWM은 기본 샘플링주파수의 배수마다 고조파 왜곡과 상호변조 왜곡현상으로 기저대역에서도 풀드오

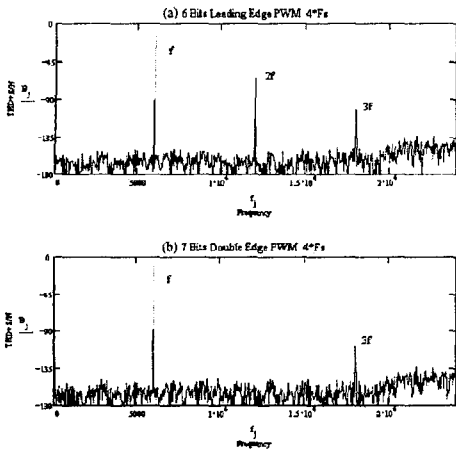


그림 6. 4배 오버샘플링 입력신호로 리딩엣지 변조 UPWM할 경우; (a) 6비트 재양자화 행한 스펙트럼, (b) 더블엣지 변조로 7비트 재양자화를 행한 스펙트럼에서의 폴드오버 고조파 성분

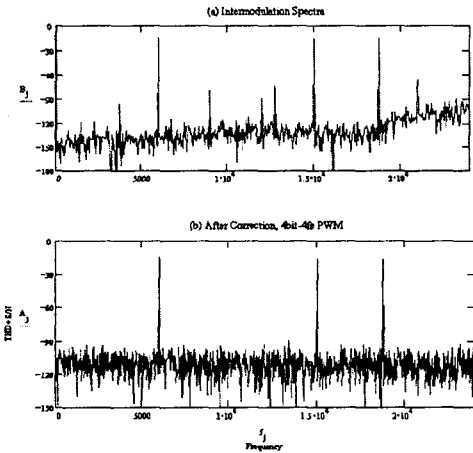


그림 7. 리딩엣지 변조기에 선행 4배 오버샘플링된 3중(6kHz, 15kHz, 18.75kHz) 입력신호의 중첩시 (a) 선행보상기를 가지지 않은 경우 (b) 제시된 방법에 의해 보상된 경우 스펙트럼

비(fold-over)되어 디지털 PWM 특유의 왜곡현상이 나타난다. 그림 6(a)에는 48kHz의 4배 오버샘플링 입력에서 리딩엣지 변조로 6비트 재양자화를 행하였고 선행보상기가 없는 구조에서의 모의실험 결과는 2차, 3차 고조파 성분이 기저대역 24kHz 이내에서 발생함을 보여준다. 그림 6(b)는 7비트 재양자화시의 더블엣지(double

edge) 변조로서 그림 2의 PWM를 구성하였고 결과로서 우수차 고조파가 상쇄되어 기저대역에 나타나지 않았다.

최종적으로 그림 4의 Farrow 구조의 FIR 필터로 선행보상을 행한 시스템의 모의실험 결과를 그림 7에 나타내었다. 상기와 같은 왜곡현상은 그림 7(a)와 같이 3중 (6kHz, 15kHz, 18.75kHz) 입력신호들의 중첩 시의 상호변조 왜곡 현상이 나타난다. 그러나 그림 7(b)에서 3중 입력신호의 중첩 시의 스펙트럼에서 보여진 바 설계된 선행보상기의 효과로 모든 상호변조 및 고조파 왜곡 성분이 제거되었음을 보여주고 있다.

V. 결론

제시된 디지털 PWM의 주요한 구조적 또는 구현화의 장점은 종래에 제시된 방법들에 비해 연속적인 반복 알고리즘에 의한 교점을 찾는 복잡한 과정이 생략되었다는 점과 본 논문이 제시하는 선행 보상 필터의 차수는 3차 이내로 간단하게 구성할 수 있다는 점을 들 수 있다. 더욱이 PWM을 그림 2와 같이 완전 디지털화함으로써 VLSI화나 디지털시스템에서 하나의 칩으로 시스템을 직접 구현할 수 있는 이점을 가지고 있다.

참고문헌

- [1] K. Uchimura, et, al., "VLSI A to D and D to A converter with multi-stage noise shaping," ICASS. P. 86, pp. 1545-1548, April, 1986.
- [2] M. J. Hawksford, "Dynamic model-based linearization of quantized pulse width modulation for applications in digital-to-analogue conversion and digital power amplifier systems," J. of the Audio Engineering Society, vol. 40, no. 4, pp.235-252, 1992.
- [3] M. O. J. Hawksford, "Linearization of multilevel, multiwidth digital PWM with applications in Digital-to-Analog Conversion," J. of the Audio Engineering Society, vol. 43, no. 10, pp.787-798, 1995.
- [4] P. G. Craven, "Towards the 24 bit DAC: novel noise-shaping topologies incorporating correction for the non-linearity in a PWM output stage," J. of the Audio Engineering Society, vol. 41, no. 5, pp.291-313, 1993.
- [5] C. W. Farrow, "A Continuously variable digital delay element," Proc. IEEE, ISCAS'88, vol. 3, pp. 2641-2645, June 1988.
- [6] P. J. Kootsookos et al, "FIR approximation of fractional sample delay systems, IEEE, TCAS-2: analog and digital signal processing," vol. 43, no. 3, March 1996.
- [7] T. I. Laakso, et al, "Splitting the unit delay," IEEE Signal Processing Magazine, Jan. 1996.