

밸리-필 정류 회로의 역률 개선

최남열, 안찬권, 이치환
 위덕대학교 정보전자공학과

A New Valley-fill Circuit for Improving Power Factor

Nam Yerl Choi, Chan Gwen An, and Chi Hwan Lee
 Dept. of Electronic Eng., Uiduk University
 E-mail : nychoi@wsmail.uiduk.ac.kr

Abstract

A new Valley-fill circuit for improving PF(power factor) is proposed in this paper. The proposed topology combines Valley-fill rectifier and an additional inductor for boosting. In the proposed circuit, a shape of input current is related to the PWM duty cycle. The boosting inductor makes improve PF by the electric charge transfer action. The operation principle and the shape of input current are analyzed as applied the boosting inductor. The optimum value of boosting inductor is determined. A 100W single-stage converter has been designed and tested. Experimental results are presented to verify the validity of the proposed converter.

I. 서론

일반적으로 다이오드 정류기를 사용하는 AC/DC 컨버터는 입력전류에 나타나는 짧은 펄스 형태의 맥동 전류로 인해 높은 전류 고조파 왜곡과 낮은 역률을 가진다. 실제로 전파 정류회로를 사용한 경우, 전류 고조파 왜곡은 130%이상이며 역률은 0.65이하이다. 이 왜곡된 입력전류는 높은 침투치를 가지며 컨버터에 과도한 전압과 전류스트레스를 유발한다. 이러한 이유로 수동소자나 능동소자로 이루어진 PFC(Power Factor Corrector)를 채용하여 2단 구조의 컨버터를 구성하지만 원가절감의 이유로 저전력 부분에는 사용이 어렵다.^[1] 단일 능동스위치로 출력전압 제어와 PFC를 동시에 행하는 단일 단 컨버터에서는 주로 LC 필터를 정류기 전단이나 후단에 추가하지만 상용주파수 영역의

인덕터 및 콘덴서는 큰 체적과 무게를 가진다. 역률을 개선하기 위한 널리 알려진 또 다른 방법은 밸리-필 정류회로이다. 이 회로에는 콘덴서 충전전류가 크게 나타나므로 충전경로에 인덕터나 적절한 저항을 삽입하기도 한다.^[2] 밸리-필 정류회로와 인덕터 및 추가권선을 사용한 역률 개선 플라이백 컨버터에서는 플라이백 변압기의 구조가 복잡해지고, 체적과 무게가 증가된다.^[3] 따라서, 본 논문에서는 밸리-필 정류회로와 포워드 컨버터, 부스팅 인덕터를 결합하여 역률을 개선한 단일 단 구조를 제안한다. 단일 능동 소자로 전압 제어와 PFC가 동시에 이루어지고 주어진 조건에서 최대의 역률을 얻는다. 제안한 회로에서 나타나는 입력전류 모양과 이에 따른 역률을 분석하여 최대 역률을 나타내는 입력전류 파형을 보였다. 또한, 제안된 회로의 동작 및 입력전류 파형을 분석하고 PWM 스위칭시 저장 콘덴서로 공급되는 전하량으로부터 역률 개선을 위한 부스팅 인덕터의 최적값을 결정하였다. 제안한 회로를 사용한 시뮬레이션과 100W 컨버터의 실험으로 제안된 방법의 타당성을 보이고 역률 97.3%를 얻었다.

II. 역률 개선 컨버터

그림 1에서는 일반적인 밸리-필 정류회로와 출력전압, 입력전류 파형을 보인다. 여기서 입력전류는 짧은 펄스형태의 콘덴서 충전전류를 포함하고, 이로 인해 입력전류 왜곡이 커진다.

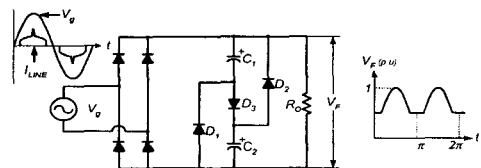


그림 1. 일반적인 밸리-필 회로와 파형
 밸리-필 정류회로는 90%이상의 역률을 제공하지만,

출력 리플전압이 정류전압 침두치의 50%를 반드시 초과하며 큰 리플전압을 허용할 수 있는 부하에서만 적당하다.^[2] 그림 2에서 제안된 회로의 구조를 보인다. 밸리-필 정류회로, 부스팅 인덕터 L_B 그리고, 1개의 능동 스위치로 구성되며, 포워드 타입 변압기로 연결된다. V_R 은 정류전압, V_O 는 직류 출력전압을 나타내고 I_O' 는 출력전류 I_O 의 변압기 1차측 등가전류이다.

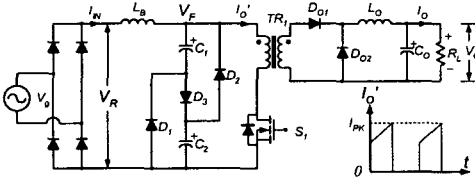


그림 2. 제안된 회로의 구조

그림 3은 스위칭 사이클에 따른 제안된 회로의 동작 모드이며 다음과 같다.

모드1 : 회로의 전압 조건이 $V_R(t) \geq V_F(t)$ 일 때, 능동 스위치 S_1 은 전도상태이며, 입력전류 I_{IN} 은 부스팅 인덕터 L_B 와 변압기를 거쳐 흐른다. 이 때 출력다이오드 D_{O1} 이 전도되며, 부스팅 인덕터 L_B 에는 인덕터 전류 I_{LB} 의 침두치 I_{PK} 가 저장된다.

모드2 : S_1 은 차단상태이며, 모드1때 L_B 에 저장된 전류가 D_3 을 거쳐 C_1 과 C_2 에 충전된다. 출력다이오드 D_{O1} 은 차단상태이며, D_{O2} 가 전도된다.

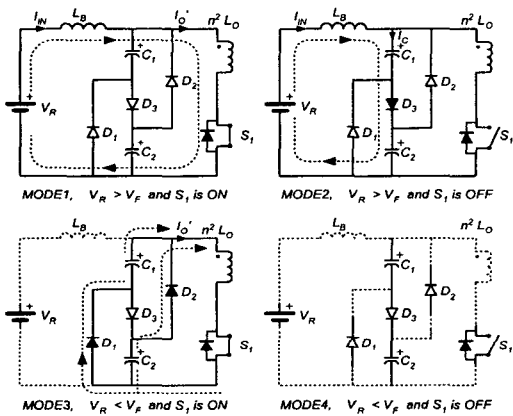


그림 3. 스위칭 사이클에 따른 모드별 회로 동작

모드3 : 회로의 전압조건이 $V_R(t) < V_F(t)$ 일 때, S_1 이 전도상태이며, C_1 과 C_2 의 양단전압 V_{C1}, V_{C2} 는 $V_F(t)$ 과 같다. C_1 과 C_2 는 등가적으로 병렬연결이 되며, D_1 과 D_2 를 통해 개별적인 방전경로를 구성한다. 이 때의 부스팅 인덕터 L_B 는 전도상태가 아니므로 I_{LB} 와 I_{IN} 은 0이다. 출력다이오드 D_{O1} 이 전도되고, D_{O2} 는 차단된다.

모드4 : S_1 과 변압기 1차측 모든 다이오드들과 출력다이오드 D_{O1} 은 차단되고 D_{O2} 는 전도상태이다. L_B 는

전도상태가 아니며 I_{LB} 와 I_{IN} 은 0이다.

그림 4는 제안된 회로에서 나타나는 V_F 전압과 평균 입력전류 모양을 보인다. 그림 4(a)의 V_F 전압은 밸리-필 출력전압과 부스팅 인덕터 L_B 에 의한 부스팅 전압 $V_B(t)$ 의 합으로 나타난다. ΔV_F 는 부하에 공급되어 소모된 방전전류에 의한 변화량이며, 구간 $[\alpha, \theta]$ 에서의 부스팅 전압과 구간 $[0, \pi/2]$ 동안 콘덴서 충전전류 및 구간 $[\pi/2, \beta]$ 동안의 부스팅 전압으로 충전된다. 부스팅에 의한 밸리-필 전압 상승은 전파 정류전압에 비해 무시할 수 있으므로 $V_R(t) > V_F(t)$ 인 부스팅 구간은 다음과 같이 정의할 수 있다.

$$[\alpha, \beta] \approx \left[\frac{\pi}{6}, \frac{5\pi}{6} \right] \quad (1)$$

ΔV_F 와 콘덴서충전-방전전류의 관계식은 다음과 같다.

$$\Delta V_F = \left| \frac{1}{C_{ch}} \int_a^b i_{ch} dt \right| = \left| \frac{1}{C_{ds}} \int_b^{a+\pi} i_{ds} dt \right| \quad (2)$$

여기서, i_{ch} 는 구간 $[\alpha, \beta]$ 에서의 콘덴서 충전전류이고, i_{ds} 는 구간 $[\beta, \pi+\alpha]$ 에서의 콘덴서 방전전류이다. C_{ch} 는 충전경로, C_{ds} 는 방전경로의 등가커패시턴스이다. 그림 4(b)에서는 구간 $[\alpha, \beta]$ 에서 나타나는 포워드 평균 입력전류 I_A 와 콘덴서 충전전류 I_B 의 모양을 보인다. 전류 I_A 의 크기는 스위치의 전도시간에 관계하지만, 정류전압의 침두치와 최소전압의 비율이 약 1/2이므로, I_A 최대값과 최소값의 비율도 1/2이다. 전류 I_B 는 부스팅 인덕터 L_B 에 의한 충전전류 I_{B1} 및 정류기 출력전압 $V_R(t)$ 가 직렬 구성된 콘덴서 양단전압 $V_C(t)$ 보다 커지는 점호각 θ 부터 유입되는 전류 I_{B2} 로 구성되고, 점호각 충전전류 I_{B2} 는 다음과 같이 표현된다.

$$I_{B2} = \frac{V_R \sin(\omega t)}{R - jX_C} - \frac{V_C(\theta)}{R} e^{-\frac{t-\theta/\omega}{RC}} \\ \approx \omega C_{ch} V_R \cos(\omega t) - \frac{V_R \cos \theta}{R} e^{-\frac{t-\theta/\omega}{RC}} \\ t = \left[\frac{\theta}{\omega}, \frac{\pi/2}{\omega} \right] \quad (3)$$

여기서, R 은 콘덴서와 직렬로 구성된 등가저항이다. 식(3)으로부터, 점호각 충전전류 I_{B2} 는 콘덴서 정전용량 C_{ch} 와 점호각 θ 로써 결정되고, $V_C(\theta)$ 를 구간 $[\alpha, \theta]$ 동안 충분히 상승시킨다면 점호각 충전전류 I_{B2} 는 제거될 수 있다. 제안된 회로에서 점호각 충전전류 I_{B2} 가 제거되는 부스팅 인덕터 L_B 의 인덕턴스와 저장 콘덴서 C_1, C_2 의 정전용량을 선정하기 위해 컨버터 PWM스위칭 주파수 f_s 는 입력전압의 주파수에 비해 매우 크고, 출력전압 V_O 는 일정하다고 가정한다. 식(2)는 제안된 회로상수를 적용하여 다음과 같이 다시 쓸 수 있다.

$$\Delta V_F = \frac{1}{C_{ds}} I_{AP} \frac{T}{2 \cdot 3} \quad (4)$$

여기서, I_{AP} 는 I_A 의 침두치이며 T 는 V_g 의 주기이다.

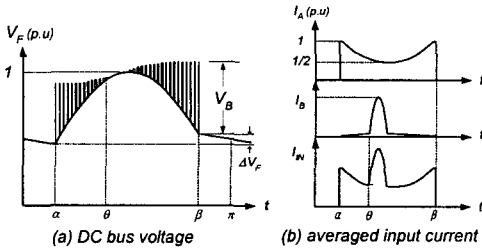


그림 4. DC bus전압과 입력전류 파형

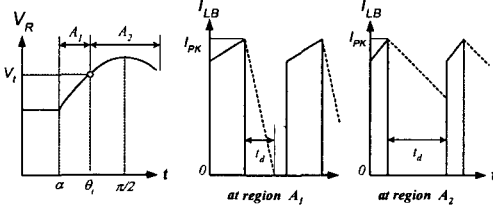


그림 5. L_B의 전류 파형 그림

그림 5는 PWM 스위칭 주기동안의 인덕터 전류 I_{LB} 의 파형을 보인다. 일반적으로 큰 출력 인덕터 L_O 의 영향으로 인덕터 전류 I_{LB} 의 첨두값 I_{PK} 는 일정하며 V_R 의 변화에 따라 PWM 스위칭 펄스폭이 변화한다. 임계각 θ_i 는 전류 I_{LB} 의 하강시간이 증가하여 연속전류가 되는 시점이다. 충전시간 t_d 는 모드2에서 저장콘덴서 C_1, C_2 로 에너지가 전달되는 시간이다. 정류전압의 첨두치 $V_{RP} \approx V_C$ 이므로 충전시간 $t_d(\theta)$ 는 다음과 같이 정의된다.

$$t_d(\theta) = \frac{L_B \cdot I_{PK}}{V_C - V_{RP} \sin \theta} \approx \frac{L_B \cdot I_{PK}}{V_{RP}(1 - \sin \theta)} \quad (5)$$

임계각 θ_i 보다 낮은 불연속 전류 구간 A_1 과 연속전류 구간 A_2 에 해당하는 충전시간은 그림 5와 같이 나타난다. 충전전류는 구간 A_1 에서 삼각형 형태이며, 구간 A_2 에서는 사다리꼴 모양이다. 임계각 $\theta_i = \pi/3$ 라 가정하면, 구간 A_1 및 A_2 는 동일한 간격을 가지며 구간 A_1 의 삼각형 면적을 구간 A_2 의 사다리꼴 면적에 합하고 이것을 크기 $I_{AP} \times t_d$ 직사각형으로 둘 수 있다. 이때 충전 전하량 Q_1 은 다음과 같다.

$$Q_1 \approx 2 \int_{\theta_i}^{\pi/2} I_{PK} \frac{(1-d_m)}{f_s} d\theta = 2 [I_{PK} \frac{(1-d_m)}{f_s} \cdot f_s \frac{T}{2} \frac{(\pi/2 - \pi/3)}{\pi}] \quad (6)$$

여기서, d_m 은 평균 duty 이다. 식(6)의 Q_1 은 방전전하량과 동일해야하므로 다음의 식으로 표현 할 수 있다.

$$Q_2 = C_{ch} \cdot (24V_F) \leq Q_1 \quad (7)$$

부스팅에 의해 점호각 충전전류 $I_{R2}=0$ 가 되는 조건은 $Q_1 \geq Q_2$ 이다. 임계각 $\theta_i = \pi/3$ 를 만족하는 부스팅 인덕터 L_B 의 크기를 식(5)로부터 구할 수 있다.

$$L_B = \frac{(1-d_m) V_{RP}(1 - \sin \pi/3)}{f_s I_{PK}} \quad (8)$$

식(7)을 만족하는 경우, 임계각 $\pi/3$ 의 L_B 를 기준으로 최대 역울을 만족하는 L_B 를 선택할 수 있다.

그림 6은 제안된 회로에서 임계각 θ_i 에 따라 나타

나는 입력전류 I_{IN} 의 모양을 보이고, 역울과의 관계를 나타낸다. 시뮬레이션 결과에서 최대의 역울을 나타내는 구간은 $[63^\circ, 73^\circ]$ 이다. L_B 에 의한 부스팅 효과는 식(3)의 $V_C(\theta)$ 를 구간 $[a, \beta]$ 에서 분산하여 상승시키고, 밸리-필 전압 V_F 를 정류전압 V_R 보다 크게 한다. 이것은 PWM 스위칭 차단시간동안 L_B 에 흐르는 전류가 저장 콘덴서로 유입된 결과이다. 구간 $[a, \beta]$ 동안 저장 콘덴서로 유입된 전하량이 충분히 크다면, 점호각 충전전류 I_{R2} 는 나타나지 않으며 임계각 θ_i 는 좀 더 앞서게 된다.

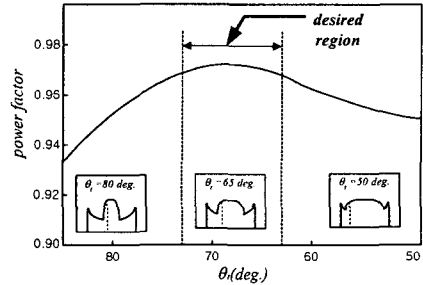


그림 6. 역울과 입력전류 관계

III. 시뮬레이션 및 실험

제안된 방식의 100W 컨버터를 제작하였으며 시뮬레이션과 실험에서 사용한 회로상수는 다음과 같다.

$$V_g = 220Vac, V_O = 28Vdc/3.5A, R_L = 8\Omega, f_s = 66kHz, L_B = 0\mu H \sim 140\mu H, C_1 = C_2 = 100\mu F, C_o = 470\mu F.$$

그림 7은 Pspice 시뮬레이션에서 얻어진 입력전류 파형을 나타낸다. 그림 7(a)는 부스팅 인덕터를 채용하지 않았고, 그림 7(b)에서는 $L_B=70\mu H$ 로 선정하였다. 입력전류는 그림 7(a)에 비해 첨두치의 상당한 감소를 보인다.

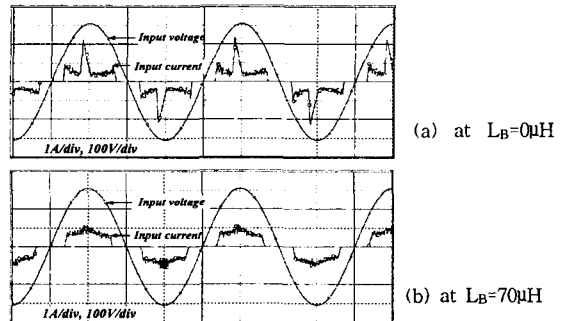


그림 7. Pspice 시뮬레이션 결과

그림 8은 제작된 컨버터에서 부스팅 인덕터 L_B 의 값을 변화시켜 측정된 입력전류와 DC bus 전압 파형이다. 그림 8(a)은 $L_B=0\mu H$ 일 때 측정된 파형으로 콘덴서 충전전류에 의한 큰 첨두값을 볼 수 있고 DC bus 전압은 일반적인 밸리-필 회로에서와 거의 동일하다.

L_B 가 증가함에 따라 전류 파형의 침두값이 낮아짐을 알 수 있고 큰 L_B 의 채용은 그림 8(b),(c)와 같이 콘덴서 충전 전류가 사라지게 한다. 또한, L_B 값의 증가로 임계각 θ_c 가 점차 앞당겨지고 입력 전류의 전체 모양이 좀 더 정현파에 가깝게 개선되며 부스팅에 의한 전압상승이 구간 $[\alpha, \beta]$ 에서 일어남을 볼 수 있다. L_B 가 작은 용량이고 콘덴서가 충분히 크므로 부스팅된 전압은 입력 전압의 침두치와 유사한 크기를 가진다. 따라서, 능동 스위치에 부가적인 전압스트레스를 주지 않는다.

향을 나타낸다. 그림 10은 제작된 컨버터를 보인다.

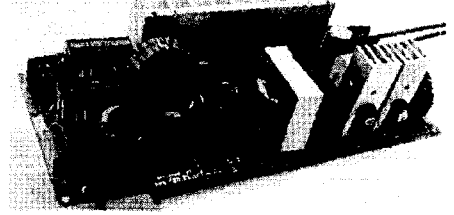


그림 10. 컨버터 사진

IV. 결론

본 논문에서는 밸리-필 정류회로의 역을 개선을 위한 단일 단 컨버터 구조를 제안하였다. 밸리-필 정류회로와 부스팅 인덕터를 결합하여 벽 컨버터를 구성하였고 시뮬레이션을 통해 역을을 최대로 나타내는 입력 전류 모양을 유도하였다. 입력전압조건에 따른 PWM 스위칭 주기동안의 인덕터 전류와 콘덴서 전하량의 관계에 의해 최적의 부스팅 인덕터 용량을 선정하였다. 제시된 구조의 회로와 최대 역을을 나타내는 부스팅 인덕터를 채용한 100W출력 컨버터를 설계, 제작하였고 역을 0.97을 달성하였다. 채용한 부스팅 인덕터는 포워드 변압기의 1차측 인덕턴스에 비해 작은 값을 유지하며, 컨버터의 동작에는 영향을 미치지 않는다. 또한, 저장 콘덴서를 소용량으로 설계 할 수 있고, 컨버터에 부가적인 전압, 전류 스트레스를 주지 않아 실용성을 높였다.

참고문헌

- [1] L. H Dixon, "High power factor pre-regulator for off-line power supplies", *Unitrode Power Supply Design Seminar 1988*.
- [2] Keith Billings, "Switchmode Power Supply Handbook", McGraw-Hill, pp. 4.10 - 4.13, 1999.
- [3] P. Parto and K. Smedley, "Passive PFC for fly-back converters" *PCIM 99*, Chicago, 1999.
- [4] C. A. Canesin, I. Barbi, "A unity power factor multiple isolated outputs switching mode power supply using a single switch", *IEEE IAS'91*, pp. 430-436, 1991.
- [5] J. Spangler, B. Hussain, A.K. Behera, "Electronic fluorescent ballast using a power factor correction techniques for loads greater than 300 watts", in *Proc. of IEEE APEC'91*, pp. 393-399, 1991.

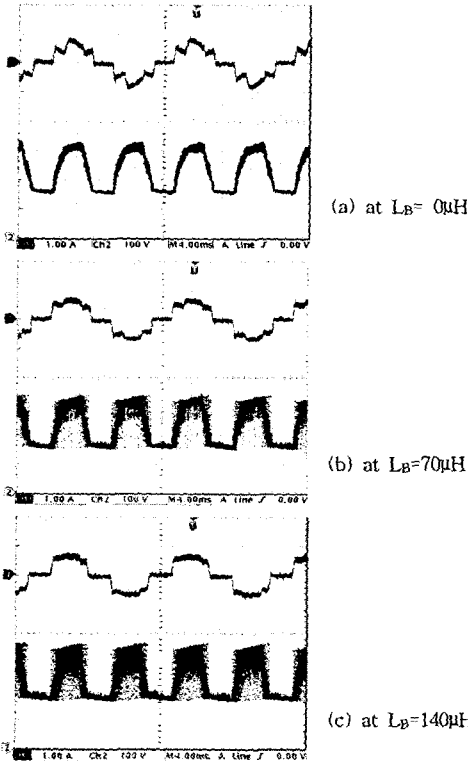


그림 8. L_B 에 대한 입력전류와 DC bus 전압 파형

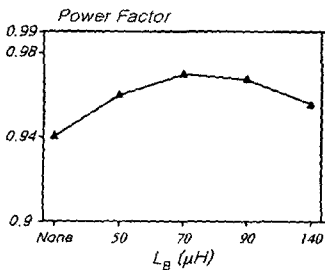


그림 9. 측정된 부스팅 인덕터에 따른 역을

그림 9는 제작된 컨버터에서 측정한 부스팅 인덕터에 따른 역을을 보인다. $L_B=0\mu H$ 일 때, 역을은 0.94이고 $L_B=70\mu H$ 일 때, 0.97을 나타내어 역을 개선이 이루어졌다. 그림 6의 역을과 입력전류의 관계와 동일한 경