

Depleted Optical Thyristor의 공핍전압에 관한 연구

Optimization of GaAs/AlGaAs depleted optical thyristor structure for lower depletion voltage

최운경, 김두근, 최영완, 이석*, 우덕하*, 변영태*, 김재현*, 김선호*
 중앙대학교 광전자및광통신 연구실, *한국과학기술연구원 광기술연구센터
 ukchoi@kist.re.kr

We optimized the structure of a fully depleted optical thyristor (DOT) to achieve the faster switching speed and the lower power consumption by the depletion of charge at the lower negative voltage. The fabricated optical thyristor shows sufficient nonlinear s-shape I-V characteristics with the switching voltage of 2.85 V and the complete depletion voltage of -8.73 V. In this paper, using a finite difference method (FDM), we calculate the effects of parameters such as doping concentration and thickness of each layer to determine the optimized structure in the view of the fast and low-power-consuming operation.

최근 들어 광 network 구성에 있어 전송 기술이 안정적으로 확립됨에 따라 광 스위칭 소자와 적절한 광 스위칭 기술을 이용한 광 network의 전체적인 성능 향상에 더욱 큰 관심이 집중되고 있다. 이는 완전 광통신 구현에 있어서 광 신호의 스위칭과 논리 기능 (logic processing)을 전자 신호로 변환시키지 않고, optical-domain에서 속도를 제한하지 않으면서 구현하는 것이 바람직한 방식이기 때문이다. 이러한 광시스템의 구현 및 실용화에 있어 가장 중요한 것으로 다기능 광 논리소자를 들 수 있다. 특히, 비선형 광 특성을 갖는 광 스위칭 소자로서 제안된 Optical thyristor는 off-state에서는 수광의 기능을, on-state에서는 발광의 기능을 수행하며, 단순한 구조, 낮은 스위칭 에너지, 낮은 전력소비, 높은 on/off 대비, 2-D array로서의 확장성 등의 많은 장점들을 가지고 있다. 그리고 기존 optical thyristor의 단점인 느린 반응 속도를 극복하기 위해 역방향 전압 펄스를 인가해주어 off-state에서 완전 공핍층을 형성시킬 수 있는 DOT(Depleted Optical Thyristor)가 제안되었다. 보다 빠른 동작 속도와 더 낮은 스위칭 에너지를 위해서는 완전 공핍층을 형성시키면서도 역방향 전압 펄스의 크기를 줄일 수 있는 구조적인 최적화가 반드시 필요하다. 본 논문에서는 thyristor의 구조적인 최적화와 완전 공핍을 만족시키는 역방향 전압을 모의 실험을 통하여 정적 특성을 알아보고, 제작한 광 스위칭 소자와 측정, 비교 분석하였다.^{[1],[2]}

그림1은 Kuijk^[3] 논문에서의 결과와 동일한 구조로 모의실험한 전류-전압 특성곡선을 나타내었다. Poisson 방정식, 연속방정식 그리고 전류방정식으로부터 유한 차분 방법을 이용하여 모의실험을 하였다. Kuijk^[3] 논문에서 제작한 DOT 실험결과에서 완전 공핍이 되기 위한 조건은 약 -9V의 전압을 인가해 줄 때, 스위칭 속도는 10ns 이하에서 가운데층에 완전 공핍현상이 나타났으며 같은 구조에서 모의실험으로부터 -9.02V에서 완전 공핍이 됨을 확인하였다. 이를 바탕으로 하여 NpnP 4개의 각 층의 두께 및 도핑농도에 대한 구조적 최적화를 하였다. 표1의 (a), (b)는 모의 실험을 통하여 thyristor 각 층의 도핑농도와 두께에 따른 스위칭 전압과 완전 공핍전압을 나타낸 결과이다. 각층의 두께가 증가함에 따라 완

전 공핍 전압이 증가하고, 양끝 층의 도핑 변화는 크게 영향을 미치지 않지만, 가운데 층의 도핑은 작은 증가에도 민감한 반응을 보인다. 그림2는 -8.73 V에서 완전 공핍이 되었음을 모의실험 결과로부터 얻은 밴드 다이어그램을 통해서 보여준다. 제작한 소자의 구조는 다음과 같다. n+-GaAs contact layer (10nm, $5 \times 10^{18} \text{ cm}^{-3}$), N+-Al_{0.1}Ga_{0.9}As layer (500nm, $5 \times 10^{18} \text{ cm}^{-3}$), p-GaAs active layer (710nm, $2 \times 10^{16} \text{ cm}^{-3}$), n-GaAs active layer (130nm, $2 \times 10^{17} \text{ cm}^{-3}$), P+-Al_{0.3}Ga_{0.7}As layer (150nm, $5 \times 10^{18} \text{ cm}^{-3}$), GaAs buffer layer (1000nm). 그림3은 Mesa window의 크기를 $80 \times 80 \mu\text{m}^2$ 로 제작한 소자의 전류-전압 특성을 나타냈다. 약 3 V에서 스위칭 전압을 나타내며, 1 V에서 holding 전압이 측정되어, 적당한 외부 회로 구성에 의한 쌍안정 특성을 이용하여 광신호의 입력으로 on/off가 가능한 스위칭 소자임을 확인하였다.

결론적으로 각층의 두께와 가운데층의 적절한 도핑농도의 변화에 따라 스위칭 전압과 완전 공핍 전압을 조정하여, DOT의 switching speed 및 power consumption을 향상시킬 수 있다.

References

- [1]. D.G. Kim, J.J. Lee, Y.W. Choi, S. Lee, D.H. Woo and S.H. Kim, Electronics Letters, vol 36, no4 pp.348-350, (2000)
- [2]. K. Hara, K. Kojima, K. Mitsunaga and K. Kyuma, IEEE Quantum Electronics, vol.28, no.5, pp.1335-1342, (1992)
- [3]. M. Kuijk, P. L. Heremans, G. Borghs, and R. Vounckx, Appl. Phys. Lett., vol.64, no.16, pp.2073-2075, (1994)

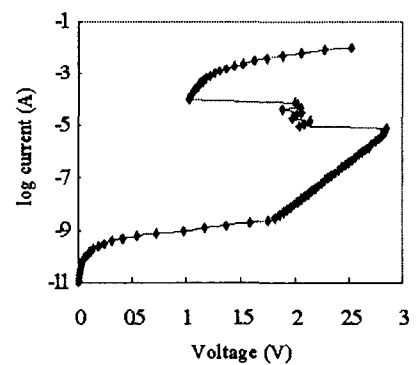
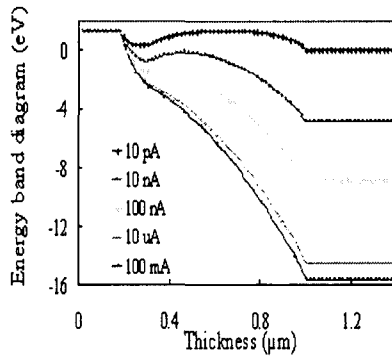
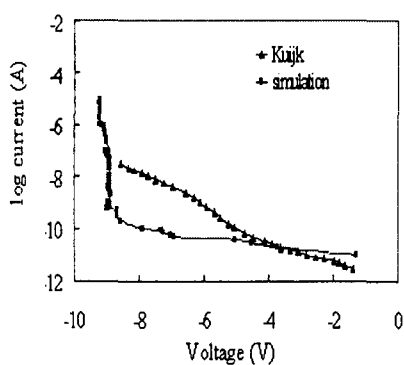


그림 1. 역방향 전류-전압 특성

그림 2. 역방향 전압에서의 band-diagram

그림 3. 순방향 전류-전압 특성

1 st N ⁺ layer(cm ³)	2 nd p layer(cm ³)	3 rd n layer(cm ³)	4 th P ⁺ layer(cm ³)	Switching Voltage(V)	depletion Voltage(V)
2.0×10^{18}	2.0×10^{16}	2.0×10^{17}	5.0×10^{18}	2.88	-8.57
5.0×10^{18}	2.0×10^{16}	2.0×10^{17}	5.0×10^{18}	2.83	-8.73
6.0×10^{18}	2.0×10^{16}	2.0×10^{17}	5.0×10^{18}	2.92	-9.12
5.0×10^{18}	1.5×10^{16}	2.0×10^{17}	5.0×10^{18}	1.87	-7.90
5.0×10^{18}	2.5×10^{16}	2.0×10^{17}	5.0×10^{18}	4.93	-9.97
5.0×10^{18}	2.0×10^{16}	1.5×10^{17}	5.0×10^{18}	2.71	-9.88
5.0×10^{18}	2.0×10^{16}	2.5×10^{17}	5.0×10^{18}	2.97	-8.92
5.0×10^{18}	2.0×10^{16}	2.0×10^{17}	4.0×10^{18}	2.93	-8.69
5.0×10^{18}	2.0×10^{16}	2.0×10^{17}	6.0×10^{18}	3.21	-8.85

(a)

1 st N ⁺ layer(μm)	2 nd p layer(μm)	3 rd n layer(μm)	4 th P ⁺ layer(μm)	Switching Voltage(V)	depletion Voltage(V)
0.45	0.71	0.13	0.15	2.74	-8.58
0.50	0.71	0.13	0.15	2.83	-8.73
0.55	0.71	0.13	0.15	2.83	-9.20
0.50	0.65	0.13	0.15	1.70	-6.54
0.50	0.75	0.13	0.15	5.63	-9.94
0.50	0.71	0.12	0.15	2.69	-8.63
0.50	0.71	0.14	0.15	3.10	-10.48
0.50	0.71	0.13	0.13	2.90	-8.59
0.50	0.71	0.13	0.17	2.93	-9.02

(b)

표 1. (a) 각층의 도핑농도 와 (b) 각층의 두께에 따른 스위칭 전압과 공핍 전압