

## 고해상도 2차 Sigma-Delta 변조기의 설계

### The Design of a high resolution 2-order Sigma-Delta modulator

김 규 현\*, 양 일석, 이대우, 유 병 곤, 김 중 대

(Gyu Hyun Kim, Yil Suk Yang, Dae-Woo Lee, Byoung-Gon Yu, Jongdae Kim)

\* 한국전자통신연구원 다기능소자팀 (전화:(042)860-6249, 팩스:(042)860-6860, E-mail : hyungk2000@hanmail.net)

**Abstract :** In this paper, a high-resolution multibit sigma-delta modulator implemented in a 0.35-um CMOS technology is introduced. This modulator consists of two switched capacitor integrators, 3-bits A/D converter, and 3-bits D/A converter. For the verification of the internal function blocks, HSPICE simulator is used. This circuit is normally operated at 130 MHz clock and the total power dissipation is 70 mW.

**Keywords :** Sigma delta modulator, analog-to-digital converter, digital-to-analog converter, oversampling.

#### 1. 서론

각종 정보통신을 위한 시스템의 구현에 있어서 아날로그 회로와 디지털 회로가 함께 공존하는 혼용 설계는 SOC(system on chip)의 중요한 요소로 자리잡아가고 있다. 또한 기술의 빠른 발전으로 전자 시스템이 복잡해지면서 고성능의 인터페이스 회로가 필요하게 되었다. 이러한 필요성들 때문에 대부분의 자연환경들의 신호인 아날로그 신호를 디지털 시스템에서 효과적으로 처리할 수 있도록 디지털 신호로 바꾸어주는 아날로그/디지털 변환기의 설계가 전체 시스템 설계에 있어서 한층 더 중요한 요소로 부각되고 있다.

일반적인 아날로그/디지털 변환기 (ADC) 를 사용 시스템은 그림1과 같다.

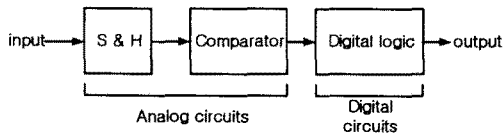


그림 1. The analog-to-digital converter

위의 그림1에서 알 수 있듯이 일반적인 아날로그/디지털 변환기의 구성은 크게 아날로그 신호를 샘플링해서 비교하는 비교기와 이 신호를 처리하는 디지털 로직으로 구성되어 있다. 이러한 시스템에서 사용되는 변환기는 나이퀴스트(Nyquist)율 아날로그/디지털 변환기로 입력신호의 주파수의 2배로 입력신호를 표본화하여 디지털 신호로 변환한다.

이에 반해 나이퀴스트율 이상으로 과표본화하는

시그마 델타 아날로그/디지털 변환기는 변조기(modulator)에서 나오는 신호를 처리하기 위한 디지털 필터가 요구되므로 다소 복잡한 디지털 신호처리 회로가 필요하지만 과거와는 달리 디지털 회로공정의 발전으로 말미암아 디지털 로직을 구현하는데 필요한 설계 부담과 칩의 면적의 문제가 많이 해소되었으며 특히 각종 아날로그 회로에서 요구되는 소자들의 부정합(mismatching), 선형성 문제등이 상대적으로 아날로그 회로가 다른 나이퀴스트 변환기와 비교해서 적은 영역을 차지하므로 보다 높은 해상도를 구현할 수 있다. 즉, 보다 공정변화에 둔감하고 낮은 주파수 대역에서 신호대 잡음비(signal-to-noise ratio: SNR)가 우수한 특성을 가지고 있어서 높은 분해능을 필요로 하는 시스템을 구현할 수 있다.

일반적인 시그마 델타 아날로그/디지털 변환기는 아래 그림2와 같다. 일반적으로 시그마 델타 아날로그/디지털 변환기는 크게 두 부분으로 구성되어 있는데, 아날로그 회로로 구성된 변조기 부분과 디지털 회로로 구성된 디지털 필터 부분으로 구성되어 있다.

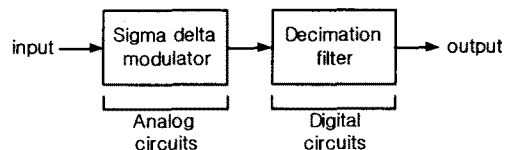


그림 2. The sigma delta A/D converter.

본 논문에서는 시그마 델타 아날로그/디지털 변환기(A/D converter)의 아날로그 회로 부분인 변조기(modulator) 회로를 설계하였다. 일반적으로 고속, 고해상도의 변조기를 구현하는 방법은 시그마델타 구조에서 알 수 있듯이 표본화율의 증가, 적분기를 고차의 루프 필터로 구현, 변조기의 양자화기(quantizer)를 멀티비트로 구현하는 방법 등이 있다. 본 연구에서는 항상 회로의 안정성을 확보할 수 있고 고분해능을 얻기 위하여 2차의 멀티비트 시그마 델타 변조기를 설계하였다[1][2][3].

## II. 변조기 전체 구성 및 특징

본 논문에서 설계된 시그마 델타 아날로그/디지털 변환기의 구조는 그림 3과 같다.

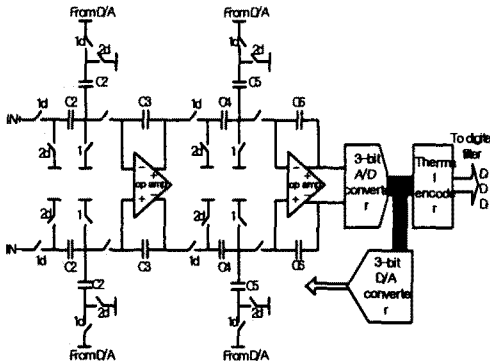


그림 3. The 2-order sigma delta modulator.

간단히 구성을 살펴보면 연산증폭기와 스위치드(switched) 캐패시터를 사용한 적분기, A/D변환기, D/A변환기로 구성되어 있다. 3차 이상의 변조기는 적분기의 설계에 따라 전체 회로가 발전할 수 있고 고해상도와 빠른 동작속도를 만족시키기 위해서 내부에 단일 비트의 양자화기 대신 각각 3비트의 A/D 변환기와 D/A 변환기를 가진 2차 변조기를 설계하였다.

간략하게 과표본화 기법에 관하여 살펴보면 변조기에 입력되는 입력 신호의 전체동작 영역이  $V_{FS}$ 일때 변조기가 N비트 양자화 동작을 수행한다면 변환기의 SNR(signal-to-noise ratio)은 식(3)과 같이 됨을 알 수 있다. 이때  $\Delta$ 는 양자화기에서의 양자화 레벨의 간격이다.

$$P_{QV} = \int_{-f_s}^{+f_s} S_{QV}(f) df = \frac{\Delta^2/12}{f_s} \cdot 2f_o = \frac{1}{OSR} \cdot \frac{\Delta^2}{12} \quad (1)$$

$$P_s = \frac{(V_{FS}/2)^2}{2} = \frac{2N \cdot \Delta}{8} \quad (2)$$

$$SNR = (P_s/P_e) = 6.02N + 1.76 \quad (3)$$

과표본화를 수행하기 위해 입력 주파수를 주파수 OSR로 과샘플링하고, 이때 입력신호의 주파수가  $\pm f_o$ 로 제한되고, 변환기에 인가되는 잡음 전력이 식(4)와 같을 때 과표본화 방법을 사용한 변환기(converter)의 SNR은 식(5)와 같이된다.

$$P_{QV} = \int_{-f_s}^{+f_s} S_{QV}(f) df = \frac{\Delta^2/12}{f_s} \cdot 2f_o = \frac{1}{OSR} \cdot \frac{\Delta^2}{12} \quad (4)$$

$$SNR_{dB} = 10 \log\left(\frac{P_s}{\Delta^2/12}\right) + 10 \log(OSR) \quad (5)$$

식(5)에서 알 수 있듯이 OSR을 2배 증가시키면 3 dB의 SNR 성능 향상을 얻을 수 있다. 또한 2차의 잡음 변형 구조를 사용할때의 양자화 잡음 전력은 식(6)과 같다.

$$P_{QV} = \int_{-f_s}^{+f_s} S_{QV}(f) |H_N(e^{j\omega T})|^2 df \approx \frac{\Delta^2 \pi^4}{60} \cdot \left(\frac{1}{OSR}\right)^2 \quad (6)$$

식(6)에서 알 수 있듯이 2차의 잡음 변형은 샘플링 주파수를 2배 증가시키면 잡음은 15 dB가 감소하고 이것은 2.5비트의 해상도 증가에 해당한다. 본 논문에서 설계된 것과 같은 n비트의 내부 양자화기를 사용하였을 때의 신호 대 잡음비(signal to noise ratio) 증가에 관한 관계는 식(7)과 같다.

$$SNR = 10 \log P_s + 10.79 - 20 \log V_{ref} + 6n \quad (7)$$

즉, 내부 A/D변환기의 비트가 1비트씩 증가 할 때마다 SNR은 6 dB씩 증가한다.

아래그림은 본 논문에서 설계된 시그마 델타 변조기의 구조를 보여주고 있다.

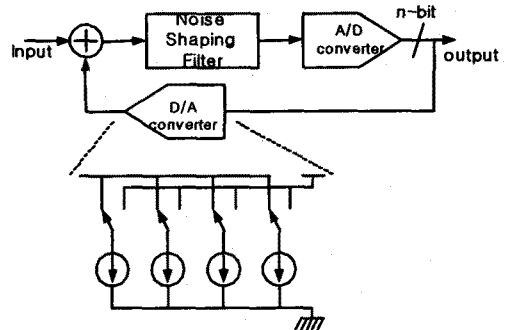


그림 4. The sigma delta modulator.

### III. 내부 ADC와 DAC 설계

전체회로의 구성에서 2개의 연산 증폭기가 필요하다. 이 연산증폭기들은 적분기를 구성하게 되는데 이 연산 증폭기들은 적분기 설계에 핵심이 되며 높은 이득과 큰 단위 이득 주파수가 필요하다.

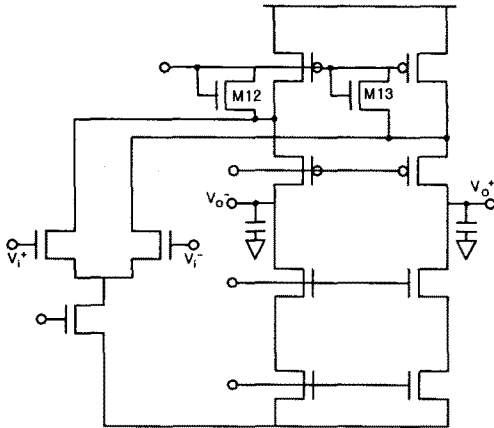


그림 5. The opamp

그림5는 설계된 연산증폭기이며 M12와 M13의 TR은 연산증폭기의 슬루율을 높이기 위해서 회로에 첨가된 것이다.

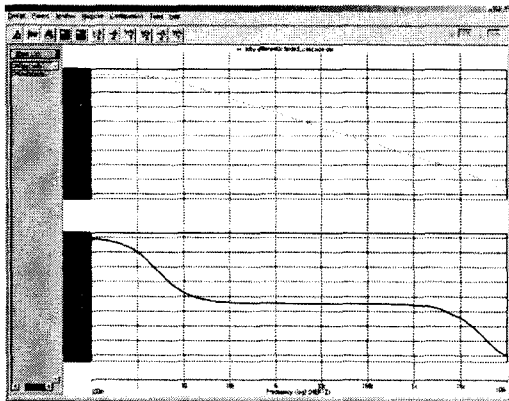


그림 6. The simulation result of opamp.

일반적으로 1차의 시그마 델타 변조기를 구성하는데 단일 비트 양자화가 필요하다. 본 논문에서는 단일 비트의 양자화 대신 보다 높은 해상도를 쉽게 얻기 위해서 3비트의 flash A/D 변환기를 사용하였다.

이러한 flash A/D 변환기의 설계에서는 비교기

(comparator)의 설계가 중요한데 본 논문에서는 래치 (latch)형태로 구성된 비교기를 사용하였다.

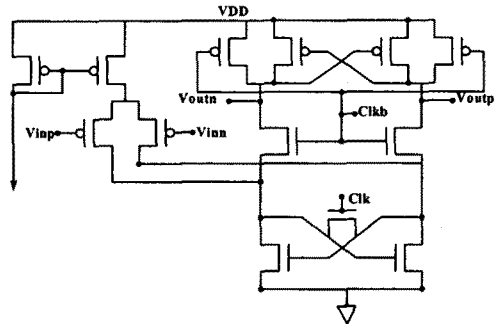


그림 7. The comparator.

아래 그림은 이러한 비교기 회로의 HSPICE 모의실험 결과이다.

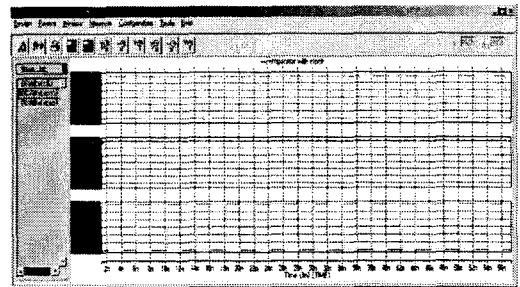


그림 8. The simulation result of comparator.

아래 그림은 이러한 비교기로 구성된 3비트의 flash A/D 변환기이다.

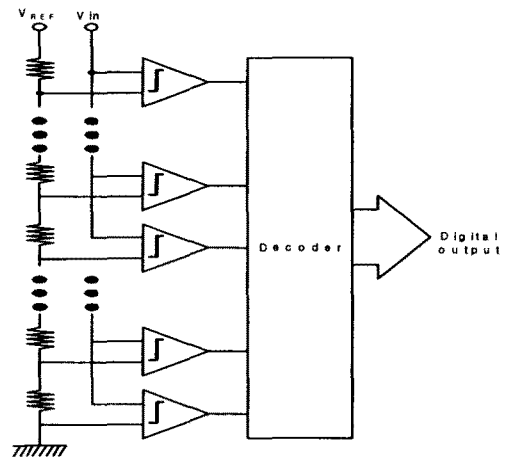


그림 9. The 3-bit flash A/D converter.

아래그림은 그림9의 A/D변환기에 대한 HSPICE 모의 실험 결과이다.

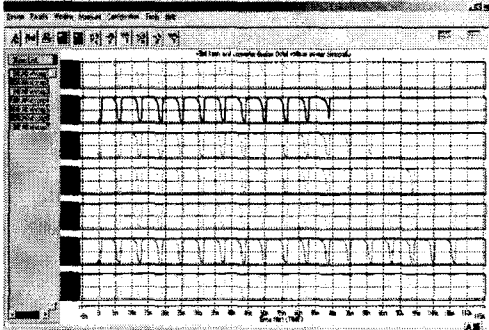


그림 10. The simulation result.

아래 그림은 flash A/D 변환기에서 들어오는 입력을 디지털 신호로 변환시켜주는 D/A 변환기의 전류원 셀이다.

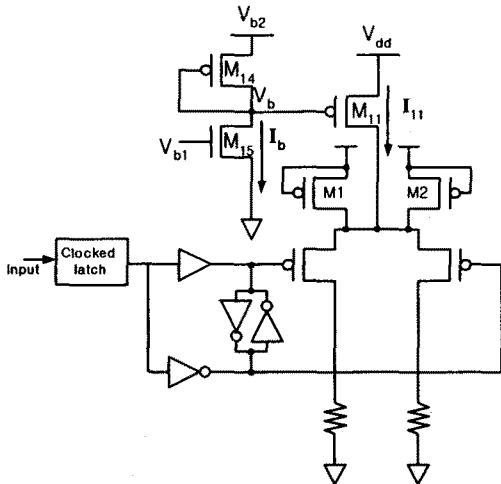


그림 11. The current cell.

논문에서 사용된 전류원은 공정상에서 변화하는 문턱전압을 보상하여 안정한 전류원을 구성하도록 문턱전압 보상회로를 부과하였다. 그림 11에서 문턱전압을 보상한 회로를 구성한 트랜지스터는 M14와 M15이다. 동작을 간단히 살펴보면, I<sub>11</sub>의 전류를 흐르게 하는 M11 트랜지스터의 유효 채널 폭 변조 효과를 무시하면

$$I_{11} = K \frac{W_{11}}{L_{11}} (|V_{GS11}| - |V_{th11}|)^2$$

$$= K \frac{W_{11}}{L_{11}} (V_{DD} - V_b - |V_{th11}|)^2 \quad (8)$$

$$= K \frac{W_{11}}{L_{11}} (V_{DD} - V_{b2} + \Delta V + |V_{th14}| - |V_{th11}|)^2$$

위의 식(8)에 의해서 I<sub>11</sub>의 전류는 V<sub>th14</sub>와 V<sub>th11</sub>의 차에 의해서 결정된다.

#### IV. 결론

본 논문은 0.35um CMOS 공정을 사용하여 14비트 2MHz의 시스마 델타변조기를 설계하였다.

변조기는 회로의 안정성과 복잡성을 고려하여 2차의 멀티비트 구조로 설계하였으며, 회로의 구성은 opamp와 스위치로 구성되어 있는 스위치드 (switched) 캐패시터 적분기, 3 비트 D/A변환기, 3 비트 flash A/D변환기로 구성되어 있다. 설계된 변조기는 센서를 사용한 계측분야나 음성신호처리등에 응용 될 수 있으리라 기대된다.

#### 참고문헌

- [1] Geerts, Y, Marques, A.M, Steyaert, M.S.J, Sansen, W., "A 3.3-V, 15-bit, delta-sigma ADC with a signal bandwidth of 1.1 MHz for ADSL applications", *IEEE J. Solid-State Circuits*, vol. 34, No. 7, pp. 927-936, July. 1999.
- [2] W.Sansen "Optimal parameters for sigma delta modulator topologies", *IEEE Trans. Circuits Syst. II*, vol.45, pp.1232-1241, Sept. 1998.
- [3] S.D. Yu and C.M.Kyung, "SAPICE : A Design Tool of CMOS Operational Amplifiers," *IEICE Trans. Fundamentals* vol. E80-A, no.9, pp.1667-1675, Sept. 1997.
- [4] Ri-A JU, Dong-Ho Lee and Sang-Dae Yu, "High-speed low-power CMOS pipelined analog-to-digital converter," *IEICE Trans. Fundamentals* vol. E82-A, No. 6, June. 1999.
- [5] B. Razavi, *Design of Analog CMOS Integrated Circuits*, 2000, McGraw-Hill Companies, Inc.
- [6] J. C. Candy, "Decimation for sigma delta modulation," *IEEE Trans. Communication*, vol. COM-34, pp. 72-76, Jan. 1986.
- [7] S.-Y. Chin and C.-Y. Wu, "A 10-b 125-MHz CMOS digital-to-analog converter (DAC) with threshold-voltage compensated current sources," *IEEE J. Solid-State Circuits*, vol. 29, No. 11, pp. 1374-1380, Nov. 1994.