

원자로 제어봉 구동장치 제어시스템용 전력제어기 FPGA 설계

Design of FPGA in Power Control Unit for Control Rod Control System

이 중 무, 신 종 열, 김 춘 경, 박 민 국, 권 순 만

(Jong-Moo Lee, Jong-Ryeol Shin, Choon-Kyung Kim, Min-Kook Park and Soonman Kwon)

한국전기연구원 계측제어연구그룹(전화:(055)280-1471, 팩스:(055)280-1476, E-mail : jmlee@keri.re.kr)

Abstract : We have designed the power control unit which belongs to the power cabinet and controls the power supplied to Control Rod Drive Mechanism(CRDM) as a digital system based on Digital Signal Processor(DSP). The power control unit dualized as the form of Master/Slave has had its increased reality. The Central Process Unit(CPU) board of a power control unit possesses two Digital Signal Processors(DSPs) of the control DSP for performing the tasks of power control and system monitoring and the communication of the Control DSP and the Commnication DSP. To accomplish the functions requested in the power control unit effectively, we have installed Field Programmable Gate Arrays(FPGAs) on the CPU board and have FPGAs perform the memory mapping, the generation of each chip selection signal, the giving and receiving of the signals between the power controllers dualized, the fault detection and the generation of the firing signals.

Keywords : Control Rod Control System, Power Control Unit, Digital Signal Processor, Field Programmable Gate Array

1. 서 론

원자로 제어봉 구동장치 제어시스템(CRCS : Control Rod Control System)은 운전원이나 출력제어 시스템으로부터 출력 설정치 신호를 받아 제어봉 구동장치(CRDM : Control Rod Dirve Mechanism)의 구동을 제어한다. CRCS는 제어함과 전력함으로 구성되어지며 제어함은 운전원의 수동 조작이나 원자로 출력 제어 시스템(RRS : Reactor Regulating System)으로부터 오는 제어 신호를 받아서 제어봉구동장치의 동작을 결정해 주며, 전력함은 제어함에서 만들어져 오는 제어봉구동장치 동작에 관련된 제어 명령들을 수수하여 제어봉의 삽입 및 인출 동작을 안정적으로 할 수 있도록 전력제어기에서 전력 제어 및 고장 감시를 하고 전력변환기에서 전력 변환을 하여 구동장치 각 코일에 필요한 전력을 공급한다. 전력제어기는 디지털 신호 처리기(DSP : Digital Signal Processor)를 기반으로 CPU 보드인 DPC(Digital Processing Card)를 포함하여 총 5 종류의 카드로 구성되어 있는 디지털 시스템이다. 전력제어기의 DPC(Digital Processing Card)에는 FPGA(Field Programmable Gate Array)를 탑재하여 카드 상의 각 소자들이 제대로 동작하도록 조절하는 동시에 DPC가 가지는 일부 기능들을 수행하도록 하였다. 본 논문에서는 이러한 역할을 하는 FPGA의 설계 과정을 기술한다.

II. 본 론

1. 전력제어기

전력제어기는 원자로 제어봉 구동장치의 디지털 제어 시스템을 구성하는 하부 제어기로서의 역할을 한다. 상부의 주제어기(제어함의 PLC)로부터 오는 제어봉 구동에 관한 명령 신호(제어봉 이동 방향 및 속도 명령)에 따라 제어봉 구동장치의 각 코일에 요구되는 전류들을 흐르게 하기 위해 전력변환기의 사이리스터 점호각(Firing angle)을 제어한다. 하나의 전력함의 전력제어부는 3개의 제어봉 그룹을 동작시킬 수 있도록 그 기능이 완전히 동일한 이중화된 전력제어기 3 set로 구성되며, 이중화된 전력제어기는 그 구조가 완전히 동일하게 설계되고, 어느 하나가 Master로 운전 중인 경우에는 다른 하나는 Slave로 운전 대기상태에 있는 Master/Slave 형식을 취하고 있다.

전력제어기의 기능들은 다음과 같다.

- 제어봉의 인출, 삽입 및 정지를 위하여 제어봉 구동 장치에 보내는 신호 발생 기능
- 고장검출, 경보, 현시 및 자동조치 기능
- 이중 유지(Double Hold) 기능
- 현장 운전원 모듈(LOM : Local Operator Module)과의 통신 기능
- 제어함과 신호 인터페이스 기능
- 자기 진단 기능
- 이중화 제어기 상호간의 신호 송/수신 기능

전력제어기는 프로세서로서 Texas Instrument社의 TMS320C32-DSP(Digital Signal Processor)를 사용하여 디지털 시스템을 취하고 있으며 DSP를 기반으로 한 DPC를 포함하여 총 5종류의 카드로 구성되어 있다. 이들

은 DSP를 기반으로 한 DPC(Digital Processing Card)를 포함하여 SCC(Signal Conditioning Card), DIC(Digital Input Card), DOC(Digital Output Card), PMC(Power Monitoring Card) 등이다.

DPC는 하나의 카드에 고속 부동 소수점 연산방식의 DSP를 2개 장착하여 제어용 DSP와 통신용 DSP로 구분시키며, 제어용 DSP는 주로 전력 제어 및 감시, 진단에 관련된 내용을 수행하며, 통신용 DSP는 DPC의 제어 동작에는 전혀 영향을 미치지 않는 범위 내에서 외부의 실시간 감시 장치인 LOM과 통신을 하는데 사용된다. 통신용 DSP는 그림 1에서와 같이 DPRAM(Dual-Port RAM)을 통하여 제어용 DSP로부터 제어변수 및 각종 이벤트 사항을 읽고 이를 제어함의 요구에 따라 해당 데이터를 송신하도록 설계한다. 그림 1은 DPC를 구성하고 있는 모듈들과 상호간의 신호 수수 흐름을 보여 주고 있는 블록도를 보여 주고 있다.

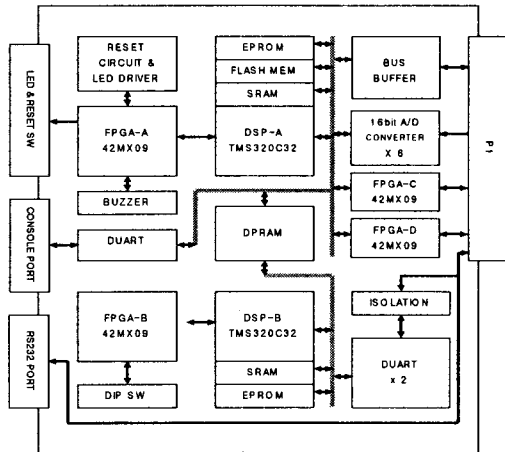


그림 1. DPC 블록도
Fig. 1. Block diagram of DPC

2. FPGA 설계

FPGA는 Field Programmable Gate Array의 약자로 Field Program이란 반도체 제조업체를 통하지 않고도 산업 현장에서 엔지니어가 직접 디바이스를 프로그래밍하여 설계한 회로를 반도체 칩 상에 구현할 수 있는 것을 의미한다.

Gate Array는 ASIC(Application Specific Integrated Circuits) 디바이스 종류의 하나로 FPGA의 내부 구조가 ASIC의 한 종류인 Gate Array와 유사하기 때문에 붙여진 것이다. 설계 환경이 간편하고 개발 기간이 다른 ASIC보다 매우 짧다. 또한 설계 및 제작의 융통성이 높고 개발비용이 매우 저렴하다는 특징이 있으며 시스템에 사용된 FPGA는 Actel사의 MX 시리즈 중 A42MX09 칩을 사용한다.

전력제어기 내의 DPC에는 프로세서 보드에서 필요

한 여러 가지 논리 구현을 위해 4개의 FPGA를 탑재하여 FPGA-A,B,C,D로 구분하였다.

FPGA-A는 제어용 DSP의 Memory Map의 구성 및 각 부품의 Chip Select 신호를 생성하고 제어용 및 통신용 DSP의 Boot Signal을 생성한다. FPGA-A는 이중화 제어기 상호 간에 서로 견전성을 점검하도록 Heart Beat 신호 송수신을 담당한다. 그림 2는 상기 기능을 수행하도록 설계된 FPGA-A의 블록도이다.

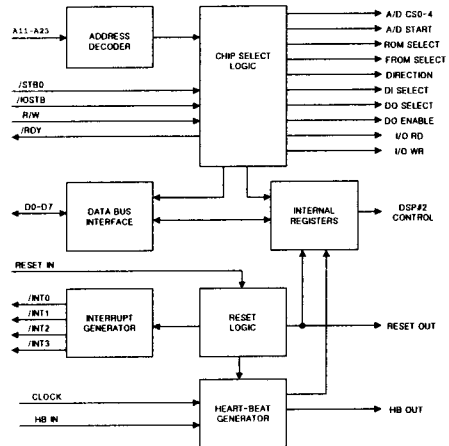


그림 2. FPGA-A 블록도
Fig. 2. Block diagram of FPGA-A

FPGA-B는 통신용 DSP의 Memory Map을 구성하고 각 부품의 Chip Select 신호를 생성하도록 설계한다. 또한 통신의 TXE, RXE를 제어하여 통신용 DSP가 정상 동작이 되고 있지 않을 때 잘못된 데이터를 전송하지 않도록 한다. 그림 3은 상기 기능을 수행하도록 설계된 FPGA-B의 블록도이다.

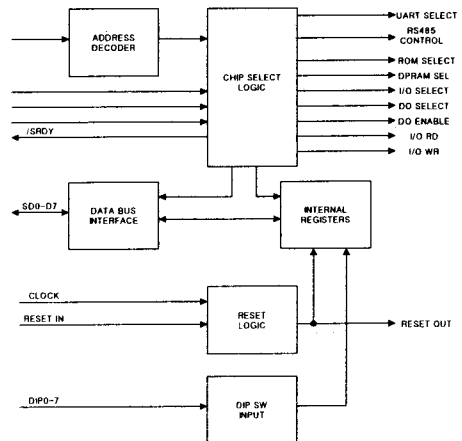


그림 3. FPGA B 블록도
Fig. 3. Block diagram of FPGA-B

전력제어기의 하드웨어 설계 시 각종 신호의 고장 검출을 위하여 FPGA 로직에 의한 구현방식이 병행되어 신호에 고장이 검출되면 FPGA 내의 특정 Register의 해당 Bit를 Set하고, 제어용 프로세서에는 주기적으로 그 Bit를 Check하여 고장 발생 유무를 확인하는 방법을 사용한다. 이러한 기능을 수행하도록 FPGA-C와 FPGA-D를 두고 Zero Crossing Signal의 정상유무를 점검하고 제어용 DSP에서 연산한 Firing Angle을 출력한다. 두 FPGA는 동일한 기능을 수행하되 C는 정지 집게 코일과 이동 집게 코일에 관한 상기 기능들을 담당하고 D는 올림 코일에 관한 기능들을 수행하도록 분리하였다. 그림 4는 상기 기능을 수행하도록 설계된 FPGA-C의 블록도이다.

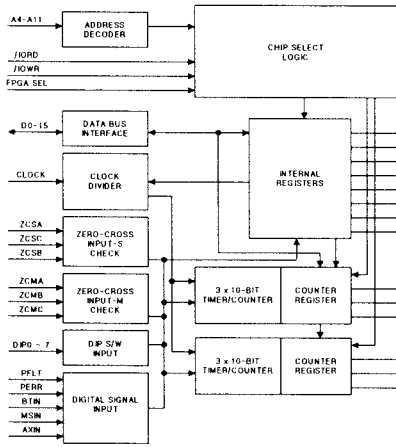


그림 4. FPGA-C 블록도
Fig. 4. Block diagram of FPGA-C

3. FPGA 구현 결과

위의 과정을 통해서 제어용 구동장치 제어시스템용 전력 제어기 FPGA를 설계하였다. 다음 그림들은 FPGA 각각의 주요 기능들을 구현한 논리 회로도이다.

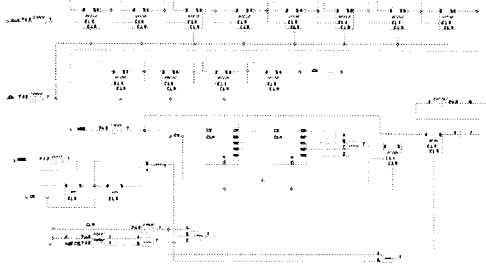


그림 5. FPGA-A의 Heart Beat 발생 로직도
Fig. 5. Logic diagram of FPGA-A Heart Beat Generation

이중화된 제어기들은 그림 5에서 구현된 것처럼 FPGA-A를 통하여 Heart Beat 신호를 주고 받으며 상대방 제어기의 상태를 서로 점검한다. 전력제어기에서는 900Hz 단위로 Heart Beat을 체크하는데 내부적으로 한 개의 업 카운터를 구성하여 상승 모서리(rising edge)가 발생하면 카운터는 0에서부터 증가하는데 다음 상승 모서리가 발생하면 다시 0에서부터 증가를 하지만 상승모서리가 발생하지 않았을 때에는 카운터 값에 의해서 에러를 발생 시키게 된다.

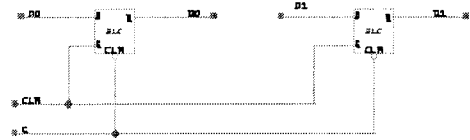


그림 6. FPGA B의 통신 관련 논리회로도
Fig. 6. Logic diagram of FPGA-B Communication Function

그림 6은 통신 2중화 관련 논리회로도를 나타낸다.

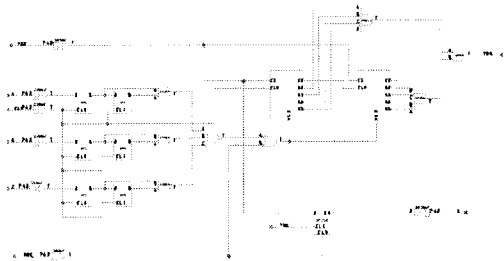


그림 7. FPGA C/D Zero Cross Check 논리회로도
Fig. 7. Logic diagram of FPGA-C/D Zero Cross Check Function

그림 7은 FPGA C/D의 Zero Cross Check을 하는 논리회도를 나타낸 것이다. Zero Cross Check은 60Hz zero cross 신호인 구형파 ZSA, ZSB, ZSC를 모두 받아 180Hz 마다 Rising Edge를 검출하여 카운터를 증가하여 검출한다.

IV. 결론

본 논문에서는 제어용 구동장치 제어시스템용 전력 제어기에서 FPGA를 이용하여 2중화 관련 상하위 제어기의 Heart Beat 건전성 체크, Zero Cross Signal의 정상 여부 체크 등 프로세서 보드에 필요한 여러 가지 논리 구현을 위한 설계를 하였다.

참고문헌

- [1] 정구관, “제어봉 제어설비”, 한국수력원자력(주), 1991.
- [2] Westinghouse, “RCS I&C Training Manual”.
- [3] “Rod Control System, System Training Guide”, Univ. of California, Berkeley.
- [4] “40MX and 42MX FPGA Families,” User’s Manual, Actel.