

Bluetooth용 CMOS Fractional-N 주파수 합성기의 설계

Design of CMOS Fractional-N Frequency Synthesizer for Bluetooth system

이 상 진*, 이 주 상**, 유 상 대***

* 경북대학교 전자공학과 (전화: (053) 940-8837, 팩스: (053) 950-5505, E-mail : sjlee@palgong.knu.ac.kr)

** 경북대학교 전자공학과(전화: (053) 940-8837, 팩스: (053) 950-5505, E-mail : jslee@palgong.knu.ac.kr)

*** 경북대학교 전자전기컴퓨터학부(전화: (053) 950-5537, 팩스: (053) 950-5505, E-mail : sdyu@bh.knu.ac.kr)

Abstract : In this paper, we have designed the fractional-N frequency synthesizer for bluetooth system using 0.35-um CMOS technology and 3.3-V single power supply. The designed synthesizer consist of phase-frequency detector (PFD), charge pump, loop filter, voltage controlled oscillator (VCO), frequency divider, and sigma-delta modulator. A dead zone free PFD is used and a modified charge pump having active cascode transistors is used. A Multi-modulus prescaler having CML D flip-flop is used and VCO having a tuning range from 746 MHz to 2.632 GHz at 3.3 V power supply is used. Total power dissipation is 32 mW and phase noise is -118 dBc/Hz at 1 MHz offset.

Keywords : bluetooth, frequency synthesizer

I. 서론

근래 종래의 초고속 인터넷 인프라 외에 CDMA2000, EV-DO, IMT-2000, 무선 LAN과 같은 무선 인프라가 강화되고, 무선 통신에 대한 소비자의 인식이 확대되어 유무선 통신 분야에서 눈부신 성장을 거듭하고 있다. 따라서 세계적인 추세에 발맞춰 언제, 어디서든지 만족할 만한 서비스를 제공하기 위한 기술이 필요하다. 이로 인해, 근거리 무선 통신에 기반을 둔 전파통신 기술이 정보기술 산업의 핵심으로 등장하면서 무선 LAN 또는 블루투스 등과 같은 전파기술 관련 산업이 주목을 받고 있다. 이러한 PAN (Personal Area Network) 기술에 대한 중요성이 대두되면서 Home RF, IEEE 802.11, 블루투스와 같은 근거리 무선 통신 시스템에 관심이 집중되고 있다.

저렴한 가격, 낮은 전력소모, PCM 수준의 QoS 보장, 무선 구간의 보안과 같은 장점을 가지고 있는 블루투스 기술은 2.4 GHz ISM (Industrial Scientific and Medical) 대역에서 주파수 호핑 스펙트럼 확산 (FHSS : Frequency Hopping Spread Spectrum) 방식을 사용하며 전송속도는 비대칭 데이터 전송인 경우 최대 1 MHz (732 kbps)이다. 이때 전송거리는 10 m 정도이며, 외부에 전력 증폭기를 사용할 경우 최대 100 m까지 전송이 가능하다.

블루투스용 주파수 합성기는 현재 2.4 GHz ISM 전 대역으로 결정되어 있는 블루투스 시스템의 주파수 대역을 다루는 것으로 공중을 통해 전달되는 변조된 신호에서 원하는 신호를 복조하는데 반드시 필요한 회로이다[1][2]. 따라서 본 논문에서는 CMOS PLL을 이용

한 응용으로 블루투스 시스템에 사용될 수 있는 RF 주파수 합성기에 대하여 논한다.

II. 주파수 합성기

1. 주파수 합성기의 역할

주파수 합성기 (frequency synthesizer)는 하나의 고정된 기준 주파수 신호를 이용하여 필요로 하는 일정한 간격의 여러 가지 새로운 주파수를 만들어내는 회로이고 대부분의 경우 높은 주파수 신호를 필요로 하는 주파수 합성기는 집적하기 쉬운 PLL (Phase Locked Loop)을 이용하여 설계된다. 무선 통신 시스템에서의 주파수 합성기는 캐리어 주파수의 수신 신호와 송신 신호를 만들어 낸다. 그림 1은 일반적인 무선통신 시스템의 전체 블록 구성도를 나타낸다.

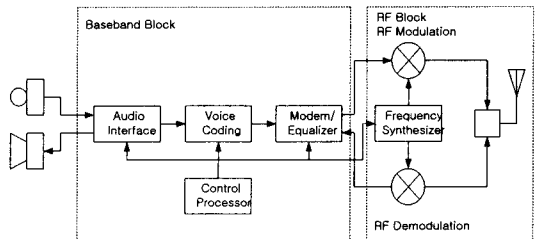


그림 1. 무선통신 시스템의 전체 블록 구성도.

Fig. 1. Block diagram of the communication system.

주파수 합성기는 무선 통신 시스템의 front-end에 사용되며 PLL을 이용한 주파수 합성기는 receiver 단에서 RF band 신호를 IF 신호로, IF 신호를 baseband I/Q 신호로 복원하기 위한 LO (Local Oscillator) 신호를 만들어 주며 transmit path에서는 baseband 신호를 원하는 채널로 주파수 변조하기 위한 LO 신호를 발생시킨다. 국부 발진기에서 발생하는 신호의 기준 주파수는 믹서에서 수신된 신호와 믹싱되어지기 때문에 원하는 신호의 왜곡 없이 주파수 대역만 그대로 변화시키기 위해서는 잡음이 매우 적은 신호가 만들어져야 한다. 그림 2는 이상적인 경우의 발진기 출력 스펙트럼과 실제 구현되었을 경우의 발진기 출력 스펙트럼을 나타낸다. 그림 2(b)에서 보듯이 실제의 경우 발진 주파수 주위에 위상잡음이 생긴다. 이러한 위상잡음을 얼마나 줄이느냐가 이동통신 시스템에 사용되는 주파수 합성기를 설계하는데 가장 핵심이 된다[3].

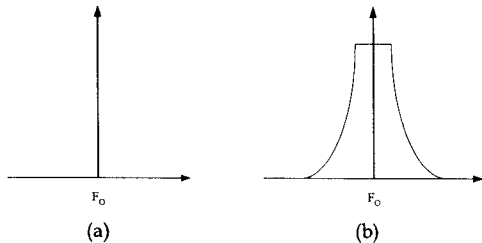


그림 2. (a) 이상적인 주파수 합성기의 출력 스펙트럼
(b) 실제 주파수 합성기의 출력 스펙트럼.
Fig. 2. (a) Output spectrum of the ideal frequency synthesizer.
(b) Output spectrum of the actual frequency synthesizer.

2. Fractional-N 주파수 합성기

Integer-N 방식의 주파수 합성기는 기준 주파수의 정수 배로 출력 주파수를 발생시키므로 기준 주파수는 사용되는 시스템의 채널 간격으로 결정된다. 그러므로 채널 간격이 작을 경우 기준 주파수가 낮아지게 된다. 따라서 기준 주파수에 의한 잡음을 감소시키기 위해 PLL의 루프 대역폭은 기준 주파수 이하로 제한되는데, 이것은 PLL의 루프 대역폭을 늘려서 in-band 잡음을 감소하고자 하는 것과 상충된다. 그리고 낮은 기준 주파수로 인해 주파수 변환 시간이 더 필요하다.

이러한 단점을 극복하기 위하여, 사용되는 시스템의 채널 간격보다 큰 기준 주파수를 사용할 수 있도록 한 것이 fractional-N 방식의 주파수 합성기이다. 이 주파수 합성기의 특징은 동일한 채널 간격에 있어서 integer-N 방식 보다 큰 기준 주파수를 사용함으로써, PLL의 루프 대역폭을 크게 할 수 있고 이는 in-band 잡음의 감소를 가져온다. 그리고 기준 주파수가 빠른 만큼 주파수

변환시간의 단축도 기대할 수 있는 장점이 있다. 그러나 분수 배를 구현하는 과정에서 side band에 fractional spur가 발생하게 되는데, 설계할 때 시스템에서 사용 가능한 수준으로 fractional spur를 줄여주어야 한다. 본 논문에서는 이를 보상하기 위한 방법으로 외부의 시그마-델타 변조기의 제어 신호에 따라 주파수 분주기의 분주비가 바뀌도록 하였다. 시그마-델타 변조기를 이용하면, 발생하는 randomization noise는 고주파 영역으로 noise shaping되며, 루프 필터를 이용하여 고주파 영역의 잡음을 제거할 수 있다[3].

그림 3은 주파수 합성기의 전체 구조이다.

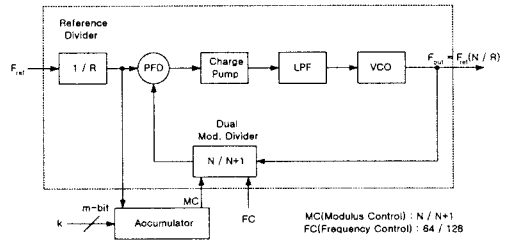


그림 3. 설계된 Fractional-N 주파수 합성기의 구조.
Fig. 3. Block diagram of the designed fractional-N frequency synthesizer.

위상 및 주파수 검출기는 지터를 줄이기 위해서 디지털 회로를 이용한 일반적인 dead zone free 위상 및 주파수 검출기 형태로 설계하였으며 전하 펌프 회로는 UP, DN 신호에서 전류가 일치하지 않으면 전압 제어 발진기의 제어 전압에 변화가 생기므로 회로를 설계할 때 양쪽 전류의 매칭에 유의하였다. 전압 제어 발진기는 ring oscillator 구조를 사용하여 최소의 잡음 특성을 가지도록 하였다. 주파수 분주기는 CML D 플립-플롭 회로를 이용한 비동기 고속 dual modulus prescaler와 동기 방식의 고정된 분주비를 갖는 분주기를 사용하여 분주비가 64/65/128/129의 값을 갖도록 하였다. 분주비가 64와 128일 때 출력 주파수의 차이가 2배가 나는데, 기준 주파수 분주비를 2로 하여 전압 제어 발진기의 동작에는 아무 지장이 없도록 하였다. 채널 선택을 위한 주파수 분주기의 제어 블록은 누적기 (accumulator)와 지연 소자 (delay element)로 된 외부의 시그마-델타 변조기를 이용하여 fractional-N 구조로 설계하였다.

III. 주파수 합성기의 설계

1. 위상 및 주파수 검출기

본 논문에서는 널리 사용되는 일반적인 구조의 dead zone free 위상 및 주파수 검출기를 사용하였다. 위상 및 주파수 검출기 (PFD : phase frequency detector)는 입력 신호의 위상과 출력 신호의 위상이 맞는지 확인하기 위한 위상 검출기의 기능과 PLL 전체의 락킹 범

위를 넓히기 위해 주파수 검출 기능도 하는 소자를 의미한다. 그림 4는 dead zone free PFD를 나타낸다.[7]

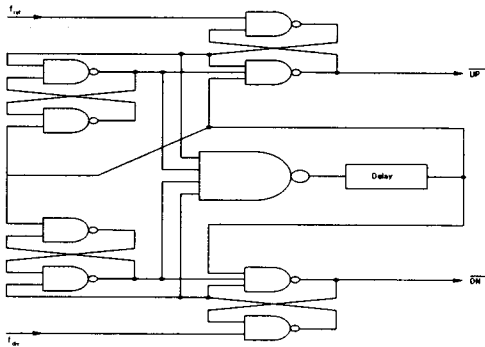


그림 4. Dead zone free PFD의 구현회로.
Fig. 4. Circuit implementation of a dead zone free PFD.

2. 전하 펌프

전류원으로 쓰이는 PMOS와 NMOS가 덧붙여있는 일반적인 구조의 전하 펌프는 이해하기 쉽고 구현하기 용이한 반면에 펌핑 (pumping) MOS의 스위칭 동작으로 인해 생기는 킥잉 (kicking) 전류 때문에 문제가 된다. 즉, 부하 커패시턴스가 붙은 드레인 노드와 게이트 노드의 전압 차이에 의해 펌핑 MOS의 Cgd에 전하가 충전되어 그 MOS가 동작할 때 초기의 전류가 과도한 것보다 과하게 흐르게 된다. 이런 현상은 MOS를 스위치로 사용하는 다른 경우에도 발생하는 문제이며, 특히 전하 펌프로 사용되었을 경우 심각한 문제가 된다. 따라서 스위치가 출력에 간접적으로 연결되도록 그림 5(a)와 같이 M2, M5, M6, M10을 추가하여 글리치의 영향을 줄이도록 하였다[4]. 그림 5(b)는 개선된 전하 펌프를 이용한 출력 파형을 보여준다.

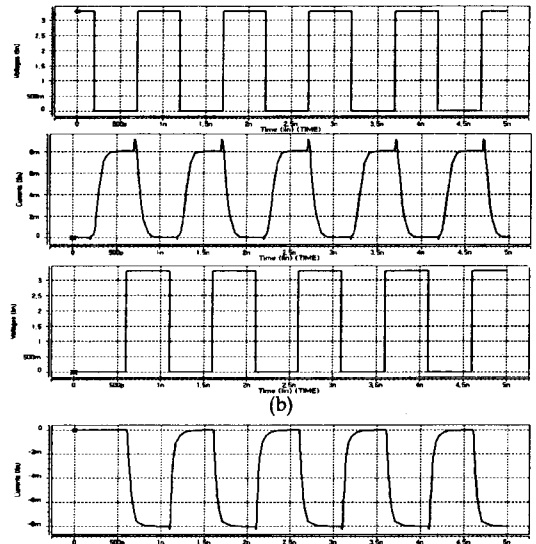
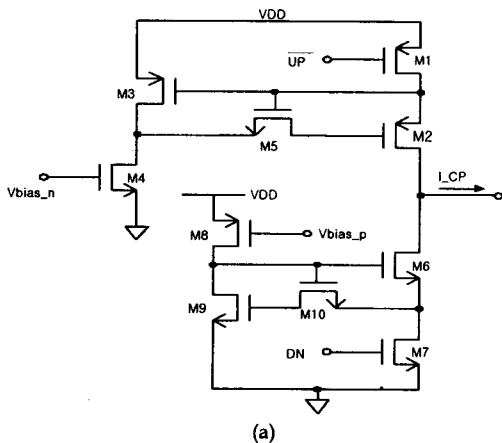


그림 5. (a) 개선된 전하 펌프.
(b) 개선된 전하 펌프의 출력 파형.
Fig. 5. (a) Modified charge pump.
(b) Output of the modified charge pump.

3. 전압 제어 발진기

본 논문에서는 기본적인 CMOS 인버터 셀을 이용하여 만들기 쉽고 주파수의 가변 범위가 넓은 링 오실레이터로 VCO를 구현하였다. 그림 6(a)는 간단한 3-stage의 CMOS 인버터로 구현한 VCO의 회로도이며 그림 6(b)는 제어 전압이 2.0 V일 때 VCO의 출력 파형을 나타낸다.

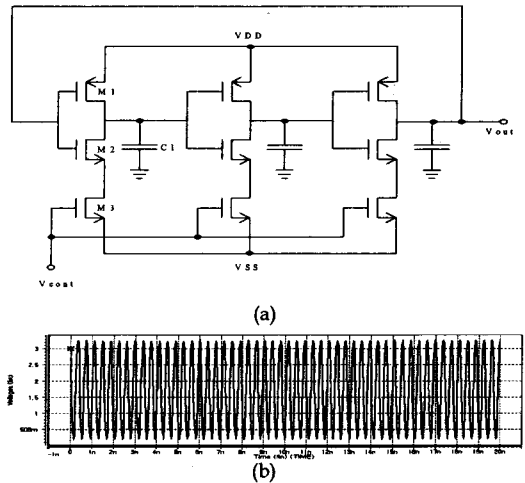


그림 6. (a) CMOS 인버터를 이용한 VCO.
(b) 제어 전압이 2.0 V일 때 VCO 출력 파형.
Fig. 6. (a) VCO using CMOS inverter.
(b) VCO output of the control voltage 2.0 V.

4. 주파수 분주기

매우 높은 주파수에서 동작하는 prescaler는 무선 통신 시스템용 주파수 합성기의 핵심 블록 중 하나이다. prescaler를 설계할 때 중요한 사항은 높은 동작 주파수를 가지면서 낮은 전력 소모와 위상잡음을 유지해야 하는 것이다. 본 논문에서는 37.5 MHz의 입력 주파수로 2.4 GHz의 출력 주파수를 만들기 위해서는 분주비가 $\div 64/65$ 인 주파수 분주기가 필요하다. 또한 입력 기준 주파수 분주기가 $\div 2$ 로 설계되었으므로 PLL 루프의 분주기는 $\div 128/129$ 로도 동작하여야 한다. 그림 7(a)는 fractional-N 구조의 PLL 설계를 위한 $\div 64/65/128/129$ 주파수 분주기를 보여주고 그림 7(b)는 본 논문에 사용된 CML D flip-flop, 그림 7(c)는 CML D flip-flop를 사용한 $\div 2$ 분주기의 출력을 나타낸다[4][8].

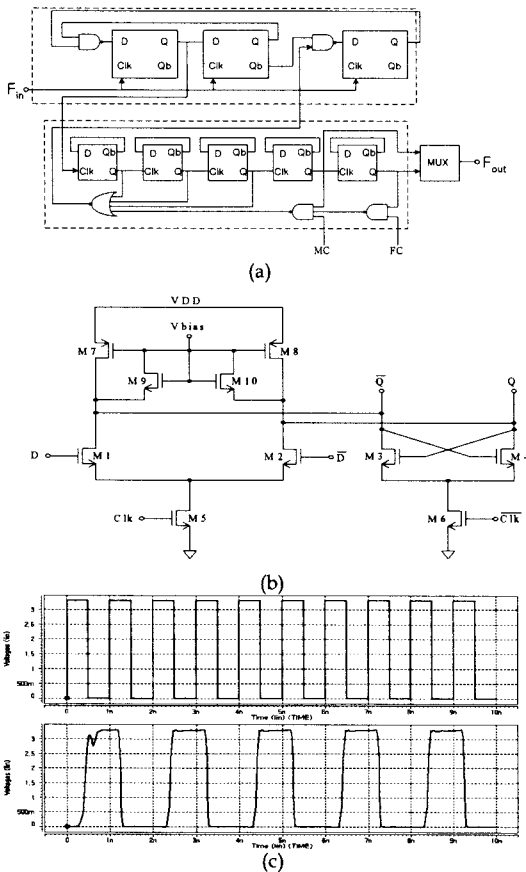


그림 7. (a) $\div 64/65/128/129$ 주파수 분주기.

(b) CML D 플립-플롭.

(c) CML D 플립-플롭을 사용한 $\div 2$ 분주기.

Fig. 7. (a) $\div 64/65/128/129$ frequency divider.

(b) CML D flip-flop.

(c) Output of $\div 2$ divider using CML D flip-flop.

IV. 결론

본 논문에서는 0.35 μm CMOS 공정을 이용하여 bluetooth용 CMOS fractional-N 주파수 합성기를 설계하였다. 제어 전압이 0.6 - 3.0 V로 변환 때 그 가변 범위는 746 MHz - 2.632 GHz였고, 위상 잡음은 2.409 GHz를 중심 주파수로 하였을 때 1 MHz offset에서 -118 dBc/Hz이고 전체 전력 소모는 32 mW였다. 설계된 주파수 합성기의 최종 모의실험 결과와 설계 사양을 표 1에 나타내었다.

표 1. 설계된 주파수 합성기의 성능.

Table 1. Performance of designed frequency synthesizer.

특성	설계 사양	모의실험 결과
주파수 범위	2.4 GHz-2.5 GHz	746 MHz-2.632 GHz
위상잡음	< -110 dBc/Hz	-118 dBc/Hz
전력소모	-	32 mW
lock-in time	< 120 μs	7 μs (max.)

참고문헌

- [1] 여운동, 김재우, 김석진, 심층정보분석 블루투스, 한국과학기술정보연구원, 2002.
- [2] 김환용, 강정용, 블루투스와 근거리 통신시스템들 간의 상호간섭 개선방안 연구, 원광대학교 전자연구소, 2002.
- [3] 김달수, 김법섭, IMT-2000용 CMOS 주파수 합성기의 설계 최종 연구개발 결과보고서, 정보통신부, 1999.
- [4] Young-Mi Lee, Ju-Sang Lee, Ri-A Ju, Bu-Cheol Jang, and Sang-Dae Yu, "Design of A 1.8-V CMOS frequency synthesizer for WCDMA", ITC-CSCC2002, pp. 1312-1316. July, 2002.
- [5] Behzad Razavi, *RF microelectronics*, Prentice-Hall, 1998.
- [6] D. A. Johns, K. Martin, *Analog integrated circuit design*, John Wiley, 1997.
- [7] J. Cranincks, M. Steyaert, *Wireless CMOS frequency synthesizer design*, Kluwer Academic Publishers, 2001.
- [8] 장부철, "IMT-2000용 CMOS 분수 N 주파수 합성기의 설계", 경북대학교 전자공학과 석사학위논문, 1999.
- [9] 박홍준, *CMOS 아날로그 집적회로 설계 (하)*, 2차 그마프레스, 1999.