

5 GHz 무선랜용 수신기의 설계

CMOS Front-End for a 5 GHz Wireless LAN Receiver

이 혜 영*, 유 상 대**, 이 주 상***

(Hye Young Lee, Sang Dae Yu and Ju Sang Lee)

* 경북대학교 대학원 전자공학과(전화:(053)940-8837, 팩스:(053)950-5505, E-mail : syhan@palgong.knu.ac.kr)

** 경북대학교 전자전기컴퓨터 학부(전화:(053)950-5537, 팩스:(053)950-5505, E-mail : sdyu@bh.knu.ac.kr)

*** 경북대학교 대학원 전자공학과(전화:(053)940-8837, 팩스:(053)950-5505, E-mail : jslee@palgong.knu.ac.kr)

Abstract : Recently, the rapid growth of mobile radio system has led to an increasing demand of low-cost high performance communication IC's. In this paper, we have designed RF front end for wireless LAN receiver employ zero-IF architecture. A low-noise amplifier (LNA) and double-balanced mixer is included in a front end. The zero-IF architecture is easy to integrate and good for low power consumption, so that is coincided to requirement of wireless LAN. But the zero-IF architecture has a serious problem of large offset. Image-reject mixer is a good structure to solve offset problem. Using offset compensation circuit is good structure, too. The front end is implemented in 0.25 μm CMOS technology. The front end has a noise figure of 5.6 dB, a power consumption of 16 mW and total gain of 22 dB.

Keywords : receiver, wireless LAN, zero-IF, LNA, mixer, image rejection

1. 서론

최근 인터넷 통신과, 단말기의 보급이 확산되면서 선의 연결 없이 통신을 가능하게 해주는 무선 랜이 등장하게 되었다. 선이 없기 때문에 노트북이나, PDA의 건전지나 충전지에서 전력을 공급받으므로 저전력 소모의 무선 랜을 설계하고 개발하는 것이 필요하다. 현재 IEEE 802.11b 규격의 무선랜이 널리 보급되어 있다. 그러나 이용자들의 더 많은 정보 전달, 더 빠른 속도의 요구에 맞추어 IEEE 802.11a 표준 규격의 무선랜이 생산 보급될 것이다. IEEE 802.11a의 최대 데이터 전송량은 54 Mbit/s, 주파수 대역은 5 GHz 이다. IEEE 802.11a 규격은 다음과 같다. [1]

표 1. IEEE 802.11a 규격

Table 1. IEEE 802.11a Standard

Frequency band	5 GHz
Modulation	64 QAM with OFDM
Channel separation	20 MHz
Maximum raw data rate	54 Mbit/s

지금까지 수신기는 여러 가지 이점을 고려해 헤테로다인 구조를 사용해 왔다. 그러나 무선 랜에서 요구하는 저전력 소모의 수신기를 설계하기 위해서 zero-IF 구조가 더 적합하다. 또 무선 랜은 근거리에서 사용되므로 zero-IF 구조의 단점이 어느 정도 보상될 수 있다.

본 논문에서는 5 GHz 대역 무선 랜 수신기에서의 end 전단부인 저잡음 증폭기 (LNA) 와 Mixer를 설계하였

다. LNA는 캐스코드 구조를 사용하였고, 믹서는 double-balance 구조를 사용하여 2차 intermodulation 영향을 줄였다. 또, image-reject 구조를 사용하여 image와 오프셋의 문제를 함께 해결 하도록 하였다. [2]

II. 구조

1. 기본 수신기 구조

Zero-IF 수신기 구조는 다음과 같다.

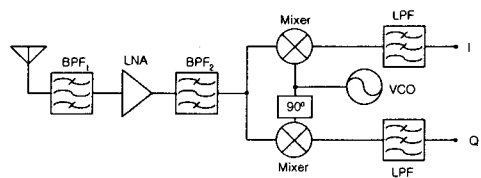


그림 1. Zero-IF 수신기 구조.

Fig 1. Zero-IF receiver architecture.

Zero-IF 방식은 직접변환 (direct conversion) 방식으로 불리며 그림 1과 같은 구조이다. LNA 증폭된 신호를 한번의 주파수 합성을 통해서 직접 기저대역으로 변환한다. 간단한 구조를 가지고 있으므로 헤테로다인 방식에 비하여 믹서와 필터 국부 발진기 사용이 줄므로 파워 소모가 줄어들게 된다. 또한 아날로그 함수의 중요한 부분은 낮은 주파수 범위에서 동작하므로 집적화가 용이하게 된다. [3] Zero-IF 구조에서는 LO 신호 누설에 의한 오프셋

문제가 커지게 된다. 따라서 다음 그림 2와 같이 오프셋을 보상하는 구조를 사용하였다. [4]

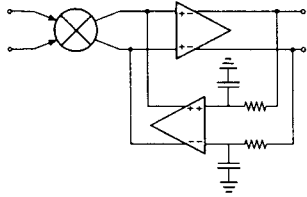


그림 2. 오프셋 보상 구조.
Fig 2. Compensation offset structure

2. LNA

본 논문에서 사용한 저잡음 증폭기는 캐스코드 구조의 저잡음 증폭기에 inductive degeneration 구조를 사용한 구조로 그림 3과 같다. 캐스코드 구조는 그림과 같이 트랜지스터 M2를 이용하여 트랜지스터 M1의 게이트와 드레인 사이의 밀러 커패시턴스를 감소시켜 주파수 특성을 향상시키기 때문에 고주파 회로에서 많이 사용되고 있다. [5]

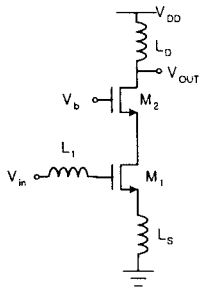


그림 3. 캐스코드 저잡음 증폭기.
Fig 3. Cascode LNA.

그림 3에서 출력 특성을 좀더 좋게 하기 위해 NMOS를 이용한 바이어스 회로로 보상을 하였다. 그림 4에서의 M3와 저항 R1, R2가 바이어스 회로가 된다.

2. 믹서

믹서는 주파수 변환을 위한 비선형 소자이며, time varying 소자이다. 모든 믹서의 기본 동작은 두 신호의 곱을 만들어 내는 것이다. 가장 대표적인 active 믹서 손꼽히는 것은 길버트 셀 믹서이다. 서로 다른 주파수가 곱해지면서 IMD (Intermodulation Distortion) 이

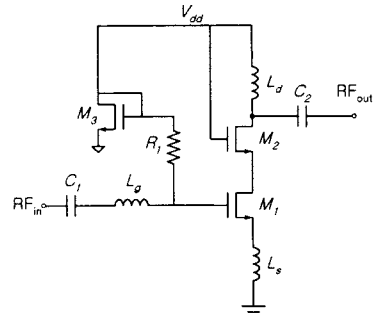


그림 4. 설계된 캐스코드 저잡음 증폭기.
Fig 4. Designed cascode LNA

발생하게 되며 이 IMD 성분의 전력이 원래 신호의 전력과 같아지게 되는 곳을 구하여 선형성의 척도로 사용하고 있다. 헤테로다인 구조의 수신기에서는 3차 IMD 성분이 많은 영향을 미쳐 IIP3 (Input Intercept Point)가 대표적인 지표로 사용되고 있다. Zero-IF 구조에는 고주파수 영역에서 바로 기저대역으로 주파수 변환이 이루어지므로 2차 IMD 성분이 무시할 수 없을 정도로 큰 영향을 미치게 된다. 짝수차 IMD 성분을 제거하기 위한 구조로 double-balanced 믹서를 사용하였다. 믹서의 구조는 그림 5와 같다.

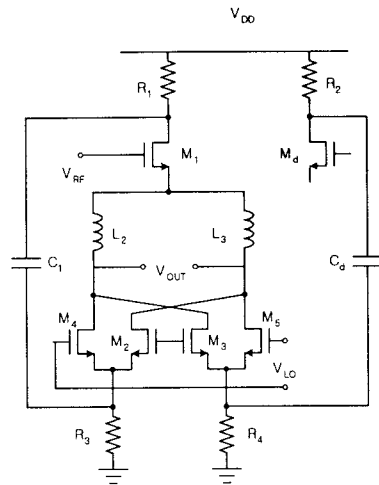


그림 5. Double-balanced 믹서.
Fig 5. Double-balanced mixer

그림 5에서 믹서의 구조는 약간 변형되어 사용되었다. 한쪽에는 RF 입력 주파수가 연결되나, 다른 쪽 입력단은 더미 구조에 연결하여 양쪽에서의 값이 적절히 대칭 되도록 조절한다.

3. 오프셋 보상 회로

앞서 나온 그림 2를 보면 기저대역 증폭기에서 부궤환 (negative feedback)에 의해 오프셋이 일부 제거가 된다. 좀더 구체적인 회로는 그림 6에 나와 있다. 그림 5에서의 출력 전압이 그림 6에서의 입력 전압이 된다. 오프셋 보상 회로는 두 개의 차동증폭기와 게이트-소스 전압에 의하여 조절되는 트랜지스터 저항으로 구성되어 있다. M1은 다이오드 연결된 M2가 제공하는 게이트-소스 전압에 의해 triode 영역에서 동작하게 된다. M1과 M3의 W/L 값은 1/100, M2와 M4의 W/L 값은 1/10, Ib의 값은 약 1 μ A 로 두면 유용하다.

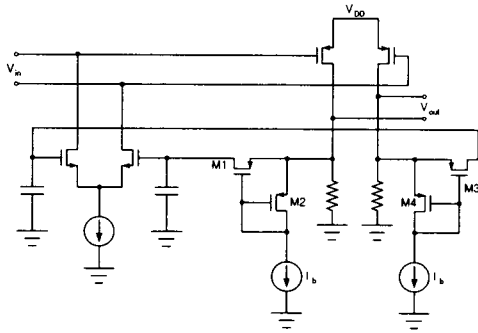


그림 6. 기저 대역에서의 오프셋 보상
Fig 6. Offset compensation in baseband

III. 모의 실험 결과

LNA의 주파수 이득은 그림 7과 같다. 결과 파형에서 볼 수 있듯이 5.2 GHz 대역 부근에서의 이득은 15 dB 이다.

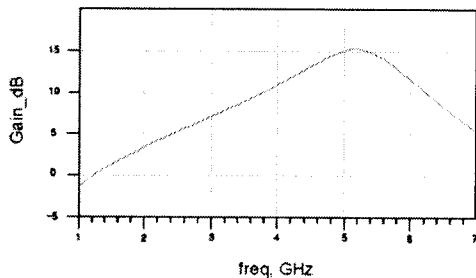


그림 7. LNA의 주파수 이득.
Fig 7. Gain Frequency of LNA.

LNA의 잡음 지수는 약 2 dB이고, 전력 소모는 6.8 mW 이다. S-파라미터는 다음 그래프와 같이 나타난다.

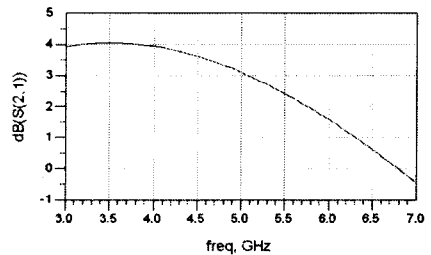
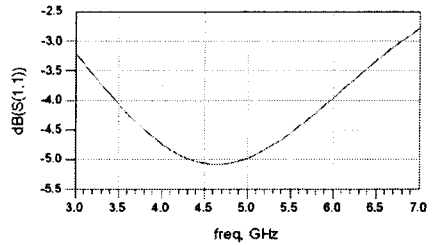


그림 8. 설계한 회로의 S-파라미터
Fig 8. S-parameter of designed circuit

5 GHz 에서의 S-파라미터 값은 S11이 약 -6 dB S22가 약 3dB 이다.

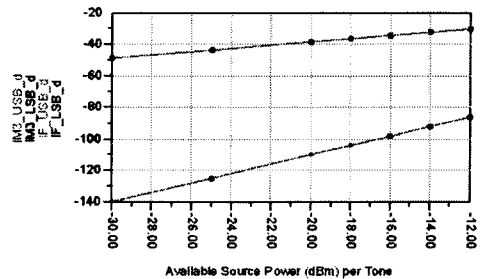


그림 9. Two-tone test 결과.
Fig 9. Two-tone test.

위 그래프는 two-tone 테스트 결과이다. 설계한 전단부 전체의 잡음 지수는 약 5.6 dB 이고 전력소모는 16 mW이다. 그리고 전체 주파수 이득 값은 22 dB 이다. 헤테로다인 구조의 수신기에 비해 이득이 낮고 출력 특성이 별로 좋지 못하나, 저전력 소모의 목적은 어느 정도 달성하였다. 오프셋을 보상하기 위한 피드백 증폭회로를 달아 주파수 안정도가 다소 낮아졌다.

IV. 결론

본 논문에서는 5 GHz 주파수 대역의 무선랜 수신기의 전단부를 설계하였다. 저전력 소모를 위해 zero-IF 구조를 사용하였으며 image와 오프셋을 보정하기 위해 image-reject 믹서 구조를 사용하였다. LNA는 낮은 잡음 비를 위해 캐스코드 구조로 구현하였고, 각각의 믹서는 double-balance 구조를 사용하여 RF대역에서 기저대역으로 바로 변환됨으로써 커지는 짝수 차 intermodulation 왜곡을 최소화 하도록 하였다. 또한 LO신호와 RF 신호 사이에서 전류의 누설 때문에 발생하는 오프셋 문제를 해결하기 위해 믹서 뒤에 증폭기 2개를 이용한 피드백 회로를 구현 오프셋의 일부분을 제거하도록 하였다. 이를 통해 zero-IF 구조의 수신기의 가장 큰 문제점인 오프셋을 해결하였다. 다음 표에서 IEEE 저널에 실린 헤테로다인 수신기와 특성을 비교하였다.

표 2. 모의 실험결과 특성비교
Table 2. Comparison simulation result

	헤테로다인 수신기	설계한 zero-IF 수신기
Noise Figure	6.4 dB	5.6 dB
Voltage Gain	43 dB	22 dB
Power Dissipation	29 mW	16 mW
Supply	2.5 V	2.5 V

0.25 μm 공정의 CMOS로 Front-end 부분을 설계하였으며, 모의 실험은 ADS를 함께 사용하여 행하였다. 헤테로다인 방식이 20~30mW의 전력소모를 하는 것에 비해 16mW로 낮은 전력 소모의 목표를 달성하였다. 하지만, 믹서에서 신호를 변환하면서 왜곡이 심해지고, 오프셋이 완전히 제거되기가 어렵다는 점 등 여전히 개선의 여지가 많다. 또한 LNA에서 임피던스 정합과, 이득, 잡음 등 trade-off 문제를 해결하는데 어려운 점이 있어서 앞으로도 많은 연구가 필요하다.

참고문헌

- [1] Agilent Technologies, *RF Testing of Wireless LAN Products*, Application Note 1308-1, USA, 2001.
- [2] Alfonso Fernandez-Duran, Tomas Sanjuan, Jan Sevenhans, J "Zero-IF receiver architecture for multistandard compatible radio systems," Radio Receivers and Associated Systems, Sixth International Conference on, 26-27 Sep 1995
- [3] Behzad Razavi, *RF microelectronics*, Prentice Hall PTR, 1998.
- [4] Behzad Razavi, "A 5.2 GHz CMOS Receiver with 62-dB Image Rejection," IEEE J. Solid-State Circuits, vol. 36, no. 5, May 2001
- [5] Thomas H. Lee, *The design of CMOS radio-frequency integrated circuits*, Cambridge University Press, 1998.
- [6] Hiran Samavati, Hamid R. Rategh, Thomas H. Lee, "A 12.4 mW CMOS Front-End for a 5GHz Wireless-LAN Receiver," Symposium on VLSI Circuit Digest of Technical Page, 1999