

# ROM 축소 알고리즘을 이용한 직접 디지털 주파수 합성기의 설계 및 구현

## Design and Implementation of Direct Digital Frequency Synthesizer Using Reduced ROM Size Algorithm

김 종 현\*, 도 재 철\*\*, 송 영 석\*\*\*, 박 종 식\*\*\*\*

\* 경북대학교 전자공학과(전화:(053)940-8839, E-mail : miru97@palgong.knu.ac.kr)

\*\* 국방과학연구소 기술연구본부(전화:(053)940-8839, E-mail : lenardo@add.re.kr)

\*\*\*삼성 전자 디지털 미디어 연구소(전화:(053)940-8839, E-mail : hanks0@lycos.co.kr)

\*\*\*\*경북대학교 전자전기컴퓨터공학부(전화:(053)940-8839, E-mail : jspark@elecscom.com)

**Abstract :** In this paper, a DDFS(Direct Digital Frequency Synthesis)chip has been designed focusing on the reduction of ROM size and implemented using FPGA. When calculating the sine value for the input phase value, we used the Taylor series expansion approximation method to reduce the number of addresses of ROM. We also used the piecewise straight line approximation method, ie, the stored value in the ROM is the difference of the sine value and the straight line approximation. Using this method, we could reduce four bits for each ROM data.

### I. 서론

현대의 통신 시스템과 계측 장비, 의료 기기 등의 다양한 분야에서 많이 사용되는 것 중에 하나가 주파수 합성기(frequency synthesizer)<sup>[1]</sup>이다. DDFS에서 정현파 샘플을 구하는 방법에는 일반적으로 롬 테이블 방식, CORDIC 연산 방식<sup>[2]</sup>과 테일러 급수 근사화 방식<sup>[3][4]</sup>이 있다.

롬 테이블 방식은 정현파 발생시 해당하는 위상 값으로 롬을 look-up 하는 방식으로 출력 파형의 정밀도를 향상 시킬수록 롬의 크기가 커지고 롬에서 소비되는 전력 소비가 커지기 때문에 저 전력 관점에서 보면 단점을 가진다.

CORDIC 연산 방식은 직접 CORDIC 연산을 이용해서 구하는 방식으로 원하는 정밀도를 얻을 수 있고 파이프라인 사용으로 빠른 속도를 지니지만 회로가 복잡해지고 전력 소모가 커지는 단점이 있다.<sup>[2]</sup> 테일러급수 근사화 방식은 정현파를 테일러급수 전개하여 3~4항까지만 구하는 방식으로 롬 테이블 방식에 비해 작은 롬이 사용된다. 이를 구현하기 위해서는 곱셈기가 추가로 필요하다. 정현파 하나만 구할 때도 코사인 함수를 저장하기 위한 롬이 필요한 단점을 가진다.<sup>[3]</sup>

본 논문에서는 DDFS 칩에 내장되는 ROM cell의 개

수를 최소화하는 것을 목표로 하여 설계하였다. ROM의 어드레스 개수를 줄이기 위하여 테일러 급수를 이용한 방식을 이용하였다. 또한 어드레스당 ROM의 비트수를 줄이기 위하여 직선 근사화 기법<sup>[5]</sup>을 사용하였다. 설계된 DDFS는 FPGA로 구현되었으며 50MHz의 메인 클럭으로 정상 동작을 확인하였다.

### II. 직접 디지털 주파수 합성기 알고리즘

DDFS에서 원하는 주파수를 출력하기 위한 기본 원리는 매 시스템 클럭마다 위상 증가치를 인가하여 선형적으로 이를 위상 누산기(phase accumulator)에 누산시키고 위상누산기의 출력값에 해당하는 정현파의 크기를 계산하여 일련의 데이터로 출력하는 것이다.

그림 1은 직접 디지털 주파수 합성기의 기본 동작 블록도를 나타낸 것이다. 각 블록의 기능을 살펴보면 다음과 같다. 마이크로 프로세서는 출력하기를 원하는 정현파의 위상 증가치를 공급하는 블록이다. 위상 누산기는 마이크로 프로세서로부터 입력받은 위상 증가치가 선형적으로 누산 되는 블록이다. ROM Table은 위상-크기 변환을 하는 블록으로 Rom lookup Table의 입력은 위상 누산기에 의한 위상 정보로서 이는 2진데이터로 표현한 어드레스이다.

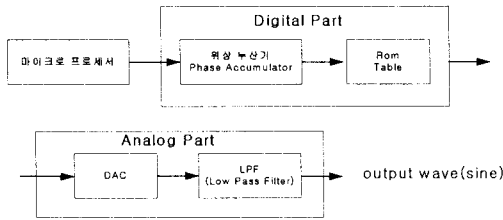


그림1.직접 디지털 주파수 합성기의 기본 동작 블록도  
Fig. 1. Basic operation block diagram of direct digital frequency synthesizer

마이크로 프로세서로부터 출력하기를 원하는 정현파의 위상 증가치가 입력이 되면, 입력된 위상 증가치는 선형적으로 위상 누산기에서 누산이 되고 ROM Table에서 위상-크기 변환이 일어난다. 디지털 출력은 DAC를 거쳐 아날로그 신호로 변환되고 LPF(Low Pass Filter)를 거쳐 특정 주파수의 신호로 출력이 된다. 특정 주파수를 출력하기 위해 가산되는 위상 증가치, 출력 주파수는 식(1)의 관계를 가진다.

$$F_{out} = F_{clk} \times \frac{\Phi}{2^L} \quad (1)$$

여기서  $F_{out}$ 는 출력 주파수,  $F_{clk}$ 는 시스템 클럭 주파수  $\Phi$ 는 위상 증가치,  $L$ 은 위상 누산기의 비트 수를 의미한다.

이 경우 주파수 해상도  $\Delta F$ 는 식(2)로 나타낼 수 있다.

$$\Delta F = \frac{F_{clk}}{2^L} \quad (2)$$

위상 해상도  $\Delta \Phi$ 는 식(3)으로 표현된다.

$$\Delta \Phi = \frac{2\pi}{2^L} \quad (3)$$

### III. 사용된 ROM 축소 알고리즘

디지털 주파수 합성기는 회로를 간단하게 하기 위해 ROM을 이용한 lookup-table 방식이 일반적으로 사용되고 있다. 이 방식은 위상에 따라 그에 대응되는 정현파의 크기 데이터를 ROM에 저장하고 누산되는 위상 값에 따라 해당되는 일련의 데이터를 ROM으로부터 출력하여 정현파를 생성하는 방법이다.

위상이나 크기의 잘림 없이 lookup-table을 구현하기 위해서는 32비트의 위상 누산기를 사용할 경우 4기가 워드 이상의 저장 용량이 필요하게 되며 이처럼 대용량의 ROM을 사용할 경우 전력 소모와 access 시간이 증가하는 등 성능이 저하된다. 본 논문에서는 칩에 내

장되는 ROM의 크기를 줄이기 위하여 정현파의 대칭성을 이용하여 ROM 테이블의 크기를 축소하는 quadrant folding 방법 및 위상 누산기의 일부 MSB만을 사용하는 방법, Taylor's series를 이용한 방법 및 straight line 근사화 방법등을 이용하여 ROM lookup-table블럭을 구현하였다.

### 3.1 Taylor's series를 이용한 사인파 값의 계산

위상이  $a$ 인 위치에서 사인 값을 알고 있을 때  $a$ 에 근접하는  $x$ 에서의 사인 값은 테일러 급수 이론을 이용하면 다음과 같이 근사 된다.

$$\sin(X) = \sin(a) + (x-a)\cos(a) - \frac{(x-a)^2 \sin(a)}{2} + \dots \quad (4)$$

따라서 ROM에는 일정한 위상 간격으로 정현파 값을 저장하고 근접한 위상에서 정현파 값은 식(6)을 이용하여 계산한다. 식(4)에서  $\cos(a)$  값은  $\sin(\pi/2 - a)$ 와 같다. ROM에 저장되는 정현파 데이터의 어드레스 수 및 비트 수는 DDFS에서 요구하는 출력 정현파 데이터의 정밀도에 의하여 결정된다.

### 3.2 직선 근사화 기법

기존의 방법에서는 각 위상마다 그에 대응되는 정현파의 데이터 값을 ROM에 저장하고 이 값을 출력하는 방법을 사용하였다.

본 논문에서는 그림 2와 같이 0에서  $\pi/4$ 의 구간 및  $\pi/4$ 에서  $\pi/2$ 의 구간에서 정현파의 값을 직선으로 근사하고 ROM에는 정확한 정현파 값과 직선 근사화된 값의 차이만을 저장하고 특정 위상에서 정현파 값은 직선으로 근사한 값을 계산하고 이를 ROM에 저장된 값과 더하여 일도록 하였다. 이때  $(0, \pi/4)$  및  $(\pi/4, \pi/2)$ 의 구간에서 저장되는 ROM 값은 각각 다음과 같이 표시된다.

$$\begin{aligned} f_1(x) &= \sin(x) - y_1(x) \quad , \quad 0 \leq x < \pi/4 \\ f_2(x) &= \sin(x) - y_2(x) \quad , \quad \pi/4 \leq x \leq \pi/2 \end{aligned} \quad (5)$$

직선  $y_1(x)$  과  $y_2(x)$  는 다음과 같다.

$$\begin{aligned} y_1(x) &= \frac{2\sqrt{2}}{\pi} x \quad , \quad 0 \leq x < \pi/4 \\ y_2(x) &= \frac{2(2-\sqrt{2})}{\pi} x + \sqrt{2} - 1 \quad , \quad \pi/4 \leq x \leq \pi/2 \end{aligned} \quad (6)$$

각 구간에서  $f_1(x)$  및  $f_2(x)$ 의 최대 값  $f_1(x)_{max}$  와  $f_2(x)_{max}$ 는 각각 다음과 같다.

$$f_1(x)_{\max} = 0.0298 \quad , \quad f_2(x)_{\max} = 0.07038$$

따라서 ROM에 정현파의 값과 직선으로 근사한 값의 차이만을 저장하면 단순하게 정현파 값을 저장할 때보다 같은 정밀도에서 어드레스 당 4비트의 메모리 공간을 절약 할 수 있다.

### 3.3. Quadrant folding을 이용한 어드레스 비트 축소 알고리즘

정현파는 대칭적인 특성을 이용하여 0에서  $\pi/2$  까지 해당하는 크기 값만을 ROM에 저장하고 나머지 구간의 값은 각 사분면의 대칭성을 이용하여 quadrant folding 회로를 첨가하고 ROM 테이블로부터 구하면 ROM 테이블의 크기를 1/4로 줄일 수 있다. 2 MSB가 부호와 정현파가 증가할 것인지 감소할 것인지를 결정한다.

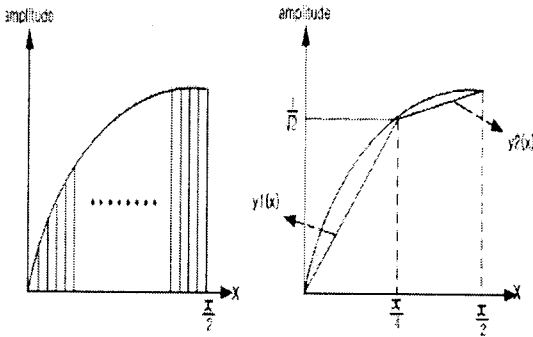


그림2 (a) 기존의 샘플링 방법  
(b) straight line 근사화 방법  
Fig. 2. (a) original sampling method  
(b) straight line approximation method

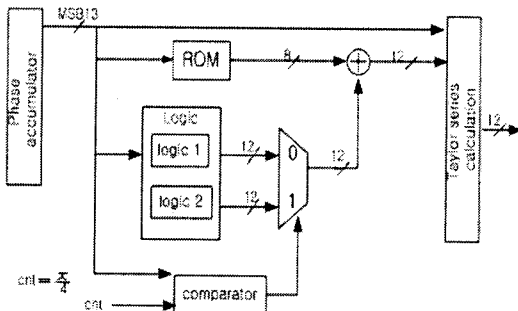


그림 3 직선 근사화에 대한 블록도  
Fig3. Block of Straight line approximation

### IV. 제작된 칩의 검증

그림 3은 직선 근사화 기법을 이용해서 위상누산기의 출력 어드레스로부터 데이터 값이 나오는 과정을 나타낸 것이다. logic1은  $0 \sim \pi/4$  구간에서 직선 근사화 값을 계산하고 logic2는  $\pi/4 \sim \pi/2$  구간에서 직선 근사화 값을 계산한다. 32비트 위상누산기에서 상위 13비트가 출력 어드레스로 나오고 MUX에 의해 선택된 logic1 과 logic2 의 출력값 12비트와 ROM에 저장된 8비트의 값이 adder를 통해서 더해져 12비트로 출력된다. 이 값이 다음단의 테일러 급수 연산블럭으로 입력이 되어 연산을 거친 후 12비트의 정현파 값이 출력된다.

이의 검증을 위해 Xilinx Spartan-II FPGA를 이용해서 구현하였다. 그림4는 50MHz를 메인 클럭으로 사용하여 5MHz의 기본 주파수를 출력하는 파형을 보여준다.

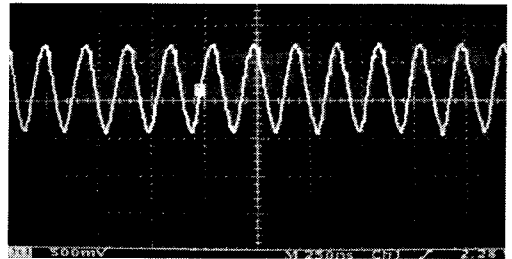


그림 4기본 주파수의 출력 파형(5MHz)  
Fig. 4 Basic frequency waveform(5MHz)

### V. 결론

본 논문에서는 FPGA를 이용해서 DDS칩을 설계하고 구현하였다. 입력 위상 값에 대한 정현파 값을 계산 할때 , ROM의 어드레스 수를 줄이기 위해 테일러 급수 근사화 방법을 사용하였다. 또한, 사인 값과 직선과의 차이를 ROM에 저장하는 직선 근사화 기법을 사용하였다. 이 방법을 이용하여 ROM 데이터의 크기를 4비트 줄일 수 있었다.

### 참 고 문 헌

[1] Leon W. Couch II "Digital and Analog Communication Systems" Prentice-Hall International Inc., fifth edition, 1997

- [2] 김영준 "개선된 구조의 CORDIC 연산기를 이용한 DDFS", 전자공학회논문지 제 34권 D편 제 3호 2000. 12
- [3] Neil H. E. Weste Kamran Eshraghian "Principles of CMOS VLSI design", Addison Wesley Publishing Compony, 1994
- [4] 이종선, 유영갑, 김대용, "The DDFS Design with Multi-ROM and Noise Shaper", Proc. *The 3rd Korean Conference on Semiconductors*, pp. 515-516, 1996,
- [5] J.M.P. Langlois and D. Al-Khalili , " ROM size reduction with low processing cost for direct digital frequency synthesis " , communications, Computers and signal Processing, 2001.PACRIM. 2001 IEEE Pacific Rim Conference on, vol. 1 , pp.26-27 , Aug. 2001