

우주전파 관측용 400MHz 대역 자기상관분광기 설계 및 제작

A Design and Development of 400MHz Band Autocorrelator for Radio Astronomy Observation

이창훈, 최한규*, 김광동, 한석태, 정문희, 김태성, 구본철**

(Changhoon Lee, Han-Kyu Choi*, Kwang-Dong Kim, Seog-Tae Han, Mun-Hee Chung,
Tae-Sung Kim, Bon-Chul Koo**)

한국천문연구원 대덕전파천문대, (전화 : 042-865-3288/ 핸드폰 : 011-429-3285 E-mail : chlee@rao.re.kr)

*큐벡스(주),

**서울대 천문학과

Abstract : This paper is the research and development including the system design and the prototype system building of the wide-band digital autocorrelation spectrometer system for radio astronomy observation, which will be used as back-end signal processing unit of the Dual channel SIS receiver at Taeduk Radio Observatory. So in this paper, we performed development of the high speed digitizing sampler, the circular memory buffer, and the correlator module for the 400MHz wide-band digital autocorrelator.

Keywords : Wide-band digital autocorrelator, Spectrometer, Radio Astronomy, High speed sampler

I. 서 론

밀리미터파 대역의 전파천문 관측연구 분야에서 외부온하의 선 스펙트럼 관측연구를 위해서 필요한 상관기 형태의 전파분광시스템을 설계하고 개발하였다. 상관기 형태의 전파분광기는 기존의 필터뱅크 형태 분광기 시스템의 단점인 주변 환경에 따른 특성의 변화 등의 문제점이 없으므로 현재 대부분의 전파분광기가 이러한 상관기 형태를 사용하고 있다. 본 연구에서 설계, 제작된 400MHz의 광-대역 자기상관분광기 시스템은 400MHz의 광-대역을 커버하기 위해 800MHz 즉, 1.5Gsp/s 속도로 샘플링 되도록 하는 3-레벨 방식의 고속 셈플러보드, 고속 샘플러로부터의 신호를 다중화하고 임시로 저장 후 연속적인 데이터 세트의 신호로 상관기 보드로 재분배하는 메모리보드와 자기상관계수 및 교차상관계수를 구하기 위한 상관기 보드 등으로 나누어 설계, 제작하였다. 상관계수를 구하기 위한 상관기 칩으로는 1990년 미국 New Mexico 대학의 MRC에서 개발된 1024개의 lag를 갖고 100Msps로 동작되며, 3-레벨 연산이 지원되는 QUAINT ASIC 칩을 사용하였다.

설계, 제작된 디지털 자기상관분광기는 실험실에서 그 성능을 확인하였으며, 이 시험을 통해 설계, 제작된 각 시스템이 정상적으로 동작함을 확인하였다.

앞으로 제작된 시스템은 대덕전파천문대의 14미터 우주전파망원경의 전파분광기로 설치하여 필요한 캘리브레이션을 수행한 후 사용될 예정이다. 또한 이러한 고속, 광-대역의 상관기 개발기술을 바탕으로 2GHz 이상의 광-대역 상관기 시스템을 연구, 개발할 예정이다.

II. 광-대역 자기상관기의 개념

상관함수는 일반적으로 시간 영역에서 두 입력 신호의 correlation을 측정하는 것을 의미한다. 즉, 기준신호에 대해 일정한 거리, 시간, 혹은 속도만큼 지연된 신호와의 상호 연관성을 수학적 지표로 나타낸 것이다. 즉, 두 개의 랜덤 프로세스 $X(t)$ 와 $Y(t)$ 를 비교하기 위해서는 두 신호 혹은 프로세스의 성질을 가장 잘 나타내주는 교차상관함수 R_{XY} 를 도입하는 것이 일반적이다. 이 상관함수는 다음 식과 같은 기대값으로 표현된다.

$$R_{XY}(\tau) = E[X(t)Y(t-\tau)], \\ = \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} xy f_{X(t), Y(t-\tau)}(x, y) dx dy$$

여기서 τ 는 time lag이다. 이러한 결과가 -1과 1 사이의 값을 갖도록 규격화하기 위해서 다음과 같은 상관계수를 도입할 수 있다.

$$\rho(\tau) = \frac{R_{XY}(\tau)}{\sqrt{\sigma_X^2 \sigma_Y^2}}$$

여기서 σ^2 은 variance이다. 이 식에서 ρ 가 1인 프로세스를 correlated라 하고, 0인 경우를 uncorrelated라 하며, -1인 경우를 anti-correlated라 정의한다.

이렇게 정의되는 상관함수에서 $X(t)$ 와 $Y(t)$ 가 같은 프로세스라 하면, 이때의 $R_{XX}(\tau)$ 로 표시되는 상관함수를 그 프로세스의 자기상관함수라고 부른다. 이 자기상관함수를 FFT(Fast Fourier Transform)를 취하게 되면 그 프로세스의 power spectral density를 얻게 된다.

이러한 상관함수를 하드웨어적으로 구현하기 위한 노력은 1960년대 중반부터 연구되었으나, 실제로 상업

용으로 개발된 것은 1972년 PMOS(Positive channel Metal Oxide Silicon) 기술을 사용하여 12개의 상관판계를 구현하는 칩이 개발된 후부터 본격적인 연구가 진행되었다. 이러한 상관기 칩의 기술 발전으로부터 최근 대부분의 전파 천문대에서 전파 분광기로 사용되어 왔던 필터뱅크 형태의 전파 분광기들이 가격 면에서 저렴하면서 광-대역과 고-분해능의 성능을 갖고 기존의 필터뱅크에서의 문제점인 베이스 라인의 안정성 문제가 없는 상관기 형태의 분광 시스템으로 바뀌어가고 있는 추세이다.

III. 시스템 구성 및 설계

본 연구에서 설계, 개발된 자기상관분광기는 시스템 설계 단계에서 중점적으로 고려한 사항은 높은 입력신호의 자유도를 갖도록 했다는 것이다. 즉 시스템의 입력 활성 범위는 +30dBm에서 -150dBm이며, 입력 주파수 범위도 0.5에서 3GHz까지 가변할 수 있어, 어떤 시스템의 분광기로도 사용이 가능하도록 설계하였다. 또한 400MHz의 광-대역을 달구어야 하므로 신호의 샘플링 방식을 일반적인 신호 검출기와는 다르게 알리아싱(Aliasing) 샘플링 방식을 사용하여, 대역 손실을 최소화하고 있으며, 상관기를 통과한 신호에 대해서는 전용의 DSP 소자를 이용하여 적분 및 푸리에 변환 등을 고속으로 지원해 신호의 처리 속도를 높이도록 하였다. 다음의 그림 3-1에 본 연구에서 개발한 자기 상관 분광기 시스템의 전체적인 구성에 대한 블록 다이어그램을 나타내었다.

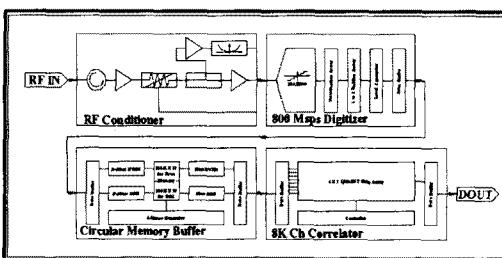


그림 3-1. 400MHz 1024 채널 디지털 자기 상관 분광기 시스템의 블록 다이어그램

전체 시스템 중 메모리 보드의 입력력 대상이 되는 고속 샘플러와 상관기는 신호 전송 시 외부 잡음 등에 의해 신호가 왜곡되는 현상이 발생될 수 있으므로 이를 방지하기 위해 1대 8의 다중 전송 변조 및 복조 능력을 보유하도록 설계하였으며, 3레벨로 샘플링되어 2비트 디지털 신호로 데이터를 처리하도록 하였다. 따라서 그림 3-1에서 메모리 보드의 입력은 800Msps로 샘플링 된 신호를 100MHz 속도의 총 2쌍의 8비트 디지털 신호로 입력받아, 100MHz 속도의 2비트 디지털 신호 8세트 형태로 100MHz 동작 속도를 갖는 8개의 1024 채널 상관기로 출력되도록 설계, 구성하였다. 이와 같은 시스템 구성을 통하여 본 연구에서 개발된 광-대역 디지털 자기 상관 분광기는 표 2-1에 주어진 바와 같은 특징을 갖게 된다.

표 3-1. 400MHz 광-대역 디지털 자기상관분광기의 특징

| | |
|--------------|--------------------------------|
| RF 입력 대역폭 | 2.2GHz |
| 샘플링 비율/ 대역폭 | 800Msps/400MHz single mode |
| 양자화 레벨 | 2 Bit 3 Level |
| 분해능 | 8 Bits |
| 주파수 채널 | 1024 channels |
| 환형 메모리 Depth | 262,144x32bitx2Pairs(1.3107ms) |
| RF | 500mVpp |
| Clock | 800MHz, 10dBm |
| Reset | PECL |

IV. 시스템 개발 및 실험

1. 고속 샘플러

본 연구에서 설계 제작된 고속 샘플러는 수신기로부터의 중간주파수 전력을 검출하여 일정한 전력이 샘플러에 입력되도록 제어해주는 RF 신호 조절기, 입력된 신호를 1.5Gsps의 속도로 8비트 디지털 신호로 바꾸어주는 Flash A/D 변환부, 8비트 2상 형태의 디지털 데이터를 디지털 상관기 칩의 입력신호로 역-다중화해 주기 위한 DMUX 모듈, 및 8비트의 데이터 신호를 4비트 16레벨, 9레벨 및 2비트 4레벨과 3레벨로 변환하는 레벨 변환기 모듈 등으로 구성하였다. 그리고 상관기 제어에 필요한 기타 주변 모듈로 클록 분배 모듈, 리셋 분배기 모듈 등으로 구성하였다. 그림 4-1에 설계된 고속 샘플러의 블록 다이어그램을 나타내었다. 그리고 개발된 고속 샘플러의 모습을 그림 4-2에 보였다.

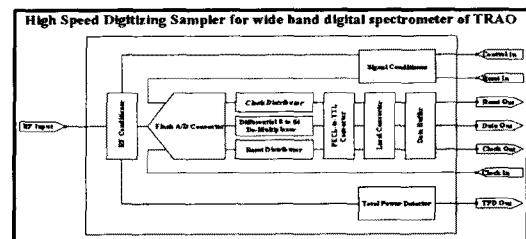


그림 4-1. 광-대역 디지털 자기 상관 분광기용 고속 샘플러 블록 다이어그램

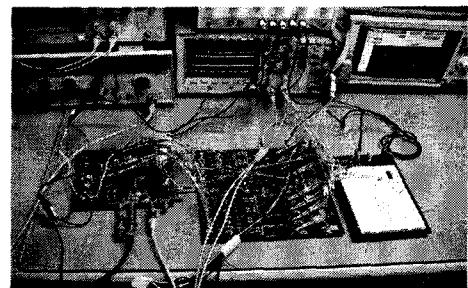


그림 4-2. 1.5Gsps 고속 샘플러의 성능테스트를 위해 A/D 변환기와 역-다중화부와 레벨 변환부가 함께 어셈블된 모습

그림 4-3에서 개발된 고속 샘플러의 동작실험을 위해 800MHz 입력 클록에 2MHz 정현파, 삼각파, 및 구

형파 입력신호에 대한 출력 결과를 보였다. 이 실험에서 고속 샘플러를 구동하기 위해서는 Reset 제어 신호가 필요하다. Reset이 간단한 펄스 형태이므로 이 테스트에서는 테스트용 부가 장치를 만들어 신호를 부가하였다. Reset에 의해 고속 샘플러의 각 소자들이 동기가 맞는지를 측정하였는데 그 결과, 신호가 부가될 때마다 소자들의 동기가 정확하게 일치함을 확인할 수 있었다.

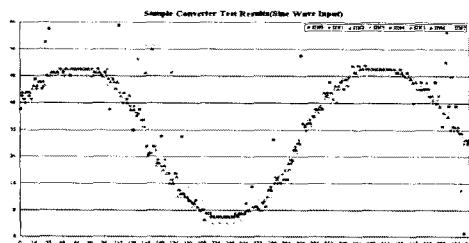


그림 4-3a. 고속 샘플러에 800MHz의 입력 클록에 2MHz의 정현파 신호 입력시 데이터 획득 결과

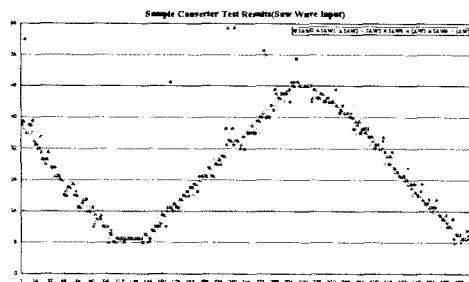


그림 4-3b. 고속 샘플러에 800MHz의 입력 클록에 2MHz의 삼각파 신호 입력시 데이터 획득 결과

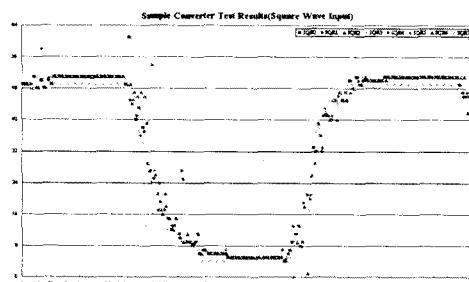


그림 4-3c. 고속 샘플러에 800MHz의 입력 클록에 2MHz의 구형파 신호 입력시 데이터 획득 결과

2. 환형 메모리 버퍼

메모리 보드의 역할은 주어진 입력 신호를 다중화하고, 이를 임시 저장한 후에 시간적으로 연속적인 8개 세트의 신호로 8개 상관기 칩에 재분배하는 것이다. 환형 메모리 버퍼 보드의 구성을 위한 기본적인 개념도를 그림 4-4에 보였다. 메모리 보드는 크게 네 가지로 구성된다. 즉, 환형 메모리 버퍼, 신호 역-다중화기, 신호 다중화기 그리고 주소 발생기이다.

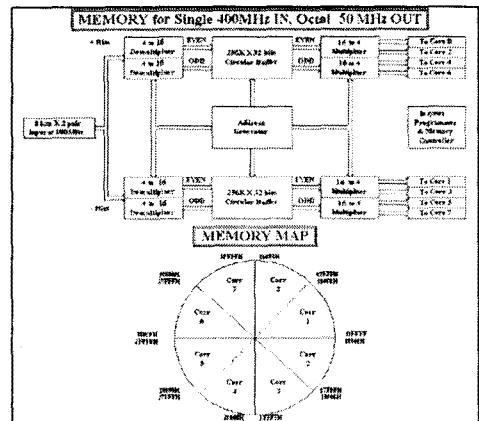


그림 4-4. 환형 메모리 버퍼 보드의 개념도

개발된 환형 메모리 버퍼 보드의 테스트는 주소 발생기의 동작상태, 환형 메모리 버퍼의 동작상태, 신호역-다중화기 그리고 신호 다중화기의 동작상태 등의 항목에 대해 수행하였다. 환형 메모리 버퍼 보드가 FPGA칩으로 구성되어 있으므로 Xilinx Foundation 프로그램을 이용하여 각각의 칩을 설계 후 시뮬레이션을 수행하였고, 보드 내에서의 동작 상태를 측정하였다. 성능을 측정하는 모습을 그림 4-5에 보였다.

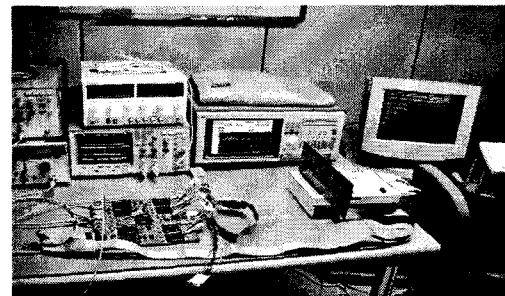


그림 4-5. 개발된 환형 메모리 보드의 특성시험을 위한 시스템 구성모습

환형 메모리 버퍼 보드에 들어가는 주소 발생기, 신호역-다중화기 그리고 신호 다중화기 등 총 3종의 FPGA를 성공적으로 설계하였고 그에 따른 시뮬레이션 결과도 얻을 수 있었다. 그러나 메모리 보드 테스트 결과 약간의 문제점이 발견하게 되었다.

보드의 처음 설계상의 제원과는 다르게 최대 동작 주파수가 100MHz까지 동작해야하는데 약 65MHz정도라는 점이다. 하지만 이 문제가 발생되는 정확한 원인을 파악하고 있으므로, 즉 메모리 보드내의 각 소자들 간의 타이밍에 의한 문제라는 것을 알 수 있었기 때문에, 향후 지속적이 테스트를 통해서 충분히 개선될 수 있는 것으로 보인다. 이는 주소 발생기, 신호 역-다중화기 그리고 신호 다중화기가 FPGA로 설계되어 있으므로 얼마든지 타이밍 조정이 가능하기 때문이다.

3. 광-대역 상관기 모듈

광-대역 상관기 개발의 최종 목표는 400MHz의 실시간 신호 처리 대역폭을 갖는 시스템을 제작하는 것 이

며 이를 위해 앞 장에서 설명된 병렬 분산 처리 기법과 환형 메모리 버퍼 기법을 사용하고 있다. 즉, 400MHz의 신호 대역폭에 해당되는 시스템 동작 속도는 샘플링 정리에 따라 800MHz이나, 자기 상관 계수를 계산하기 위해 본 연구에서 사용한 상관기 칩(QUAINT)의 경우 최대 동작 속도가 100MHz이므로 병렬 분산 처리 방식에 의해 800MHz의 신호를 실시간으로 처리하기 위해서는 8×8 행렬의 "QUAINT" 칩 배열이 필요하다. 그러나 여기에 환형 메모리 버퍼 기법을 도입하면, 8×1 행렬의 "QUAINT" 칩 배열만으로 입력 신호의 손실 없이 800MHz 신호를 실시간으로 처리할 수 있게 된다. 따라서 본 연구에서 개발되는 광-대역 상관기 보드는 앞 장에서 설계, 개발된 환형 메모리 버퍼 보드를 사용하게 되므로 8×1 행렬로 "QUAINT" 상관기 칩 배열을 사용하여 설계, 제작하였다. 그럼 4-6에 개발된 상관기 보드의 모습을 보였다.

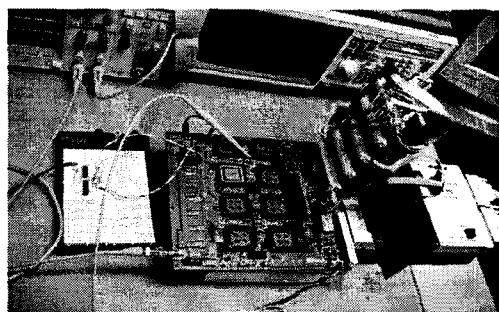


그림 4-6. 상관기 실험을 위해 제작된 인터페이스 보드와 함께 어셈블된 모습

다음의 그림 4-7과 그림 4-8의 결과는 1.67MHz 구형파를 인가하고 시스템을 100MHz로 동작시킬 때 상관기 보드로부터 출력되어지는 자기 상관 계수 결과와 이를 FFT한 결과이다.

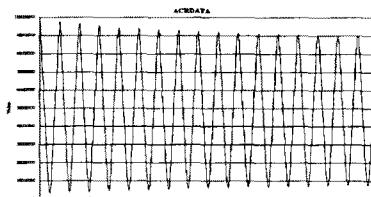


그림 5-9. 100MHz 동작 시. 1.67MHz 구형파 입력에 대한 자기 상관 계수 결과

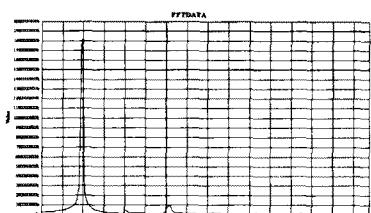


그림 5-11. 100MHz 동작 시. 1.67MHz 구형파 입력에 대한 FFT 결과

구형파의 경우, 주파수 영역에서 보면 자기 주파수의

정수배가 되는 곳에서 하모닉이 발생하게 된다. 위의 그림에서 보면 100MHz 동작 시, 1.67MHz 구형파 입력에 대한 결과에서는 17번째 주파수 채널에서 최대 피크가 발생하고, 34, 51, 68순으로 정확히 정수배 되는 곳에서 하모닉이 측정된 결과를 볼 수 있다. 마찬가지로 50MHz 동작 시, 500kHz 구형파 입력의 경우에도 최대 피크로부터 정확히 정수배가 되는 곳에서 하모닉이 발생하는 것을 볼 수 있다. 이로써 개발되어진 광-대역 상관기 모듈은 정상적으로 동작함을 확인할 수 있다.

V. 결 론

본 연구에서 개발된 광-대역 400MHz, 1024채널 디지털 자기 상관 분광기 시스템 전체에 대한 동작실험을 수행한 결과를 정리해 보면, 전체 전력소모는 총 100W 정도가 소모되며, 이 중 -5.0V 전원은 고속샘플러의 아날로그/디지털 변화부와 광-대역 상관기 보드에서 총 0.7A정도를 소모하고 나머지 전력소모는 +5.0V 전원에서 소모된다.

본 연구에서 설계된 시스템의 이론적인 최고 동작 주파수는 800MHz 이었으나, 현재 제작된 시스템의 최고 동작 주파수는 약 400MHz 정도로 측정되었다. 이것은 현재 제작된 환형 메모리 버퍼 보드의 최고 동작 주파수를 65MHz에서 설계값인 100MHz로 높일 수 있으면 해결될 것으로 보인다. 결론적으로 현재 구성된 자기상관 분광 시스템에서 가장 많은 문제점을 갖고 있는 것은 환형 메모리 버퍼 보드의 최대 동작 주파수 문제라고 할 수 있다. 이러한 문제의 원인은 메모리 보드 내부의 각 소자간의 타이밍이 정확히 일치하지 않는 것이다. 따라서 이러한 문제는 FPGA로 구성된 소자들의 설계를 수정하여 지속적인 실험을 통해서 향후 해결될 수 있을 것이다. 메모리 보드의 문제점을 제외하고는 나머지 고속 샘플러와 광-대역 상관기는 잘 동작하고 있음을 확인하였다.

참 고 문 헌

- [1]A. Bos, IEEE Trans. on Inst. and Meas., Vol.40, No.3, 1991
- [2]B.F.C. Cooper, Vol.12, Part B, Academic Press, New York, 1976
- [3]B.V. Herzen, IEEE J. of Solid-State Circuits, Vol.26, No.5, 1991
- [4]C. Timoc, T.Tran, and J. Wongso, National Radio Science Meeting, 1992
- [5]D. Andrew, IEEE Trans. Instr.& Meas. Vol.41, No.5, 1992
- [6]Dewdney, Dent et al, JCMT, v13a, 21, 1996
- [7]J. Canaris and S. Whitaker, 2nd NASA SERC Symposium on VLSI Design, 3.3.1-3.3.11, 1990
- [8]J. Hinderks, Princeton Univ. Senior Thesis, 1999
- [9]K.M. Chandra and W.J. Wilson, JPL D-8056, Jet Propulsion Lab., 1990
- [10]R. Escoffier, Technical Report Vol. 1, NRAO, West Virginia, 1998

[Note] 이 논문은 한국과학재단 기초연구사업(R01-2000-000-00024-0)의 지원결과임.