

입력 능동 부스트 컨버터를 고려한 역률개선회로의 특성분석

장 준 영*, 이 관 용, 김 철 진
한국대학교

A study on the characteristics of power factor correction circuits with input active boost converter

Jun-Young Jang*, Kwan-Yong Lee, Cheol-Jin Kim
Halla University

Abstract - Switching power supplies are widely used in many industrial fields. Power factor correction(PFC) circuits have tendency to be applied in new power supply designs. The input active power factor correction(APFC) circuits can be implemented using either the two-stage approach or the single-stage approach. The single-stage PFC circuit has advantage to reduce the number of components by eliminating a need for the PFC switch and control circuit. However, unlike in the two-stage approach, the dc voltage on the energy storage capacitor in a single-stage PFC circuit is not well regulated. As a result, in universal line application(90~265Vac), the storage capacitor voltage varies with the load and line variation.

In this paper, the performance of output voltage regulation and transient response are clarified here.

The validity of designed boost PFC circuit is confirmed by MATLAB simulation and experimental results of 2 (kW) prototype converter.

1. 서 론

스위칭 전원공급장치는 대부분이 정류기 및 커패시터 입력방식을 채택하고 있기 때문에 상용전원의 파크치 부근의 짧은 기간동안만 정류기가 도통하여 폭이 좁은 필스성 전류파형을 발생하고 전자기기의 입력 역률을 크게 저하시키며, 고조파 발생의 원인이 된다.

이러한 문제점을 해결하는 방안으로 최근 입력 능동 역률개선회로가 개발되어서 스위칭 전원의 입력 단에 폭넓게 이용되기 시작했다. 입력 능동 역률개선회로는 크게 투스테이지 역률개선방법과 싱글스테이지 역률개선방법으로 나눌 수가 있다. 싱글스테이지 방법은 부품의 수를 줄일 수가 있어, 비교적 저 전력 및 저 비용에 적합하나 투스테이지 방법과는 달리 에너지 축적 커패시터의 적률전압이 안정화되지 않는다. 이러한 결과로써, 광범위한 입력전압의 응용(90~265Vac) 분야에서, 에너지 축적 커패시터의 전압은 부하와 입력전압의 변동에 따라 변화하게 된다. 반면에 투스테이지 방법은 전원계통의 전류파형 왜곡현상 및 고조파 저감의 최소화, 효율향상 등의 고성능으로 인하여 폭넓게 이용된다. 투스테이지 방법은 부스트방식 역률개선회로부와 dc/dc 컨버터부로 나눌 수가 있다. 부스트 방식 역률개선회로는 입력전류의 파형이 입력전압의 파형에 추종하여 위상이 상호 일치하도록 하는 전류제어루프와 출력전압 안정화를 위한 전압제어루프로 구성된다.

본 연구에서는 비교적 고전력의 응용에 적합한 부스트 방식 역률개선회로의 출력전압 안정화를 위한 전압제어

루프와 옹답속도를 향상할 수 있는 보상회로에 관하여 분석하였다.

2. 역률개선방안

2.1 싱글 스테이지(Single-stage) 역률개선방법

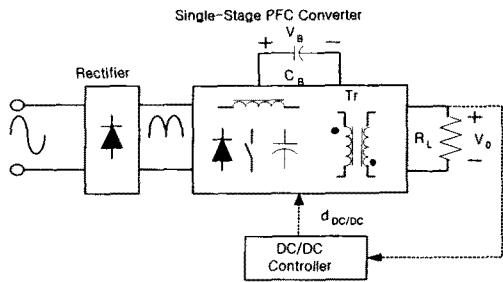


그림 1. 간략화된 싱글 스테이지 역률개선회로의 개념도

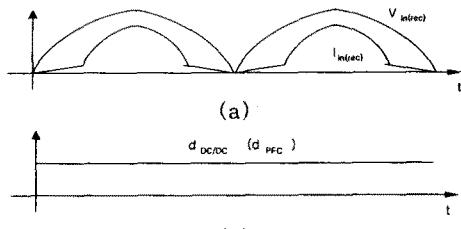


그림 2. 싱글 스테이지 PFC회로의 이론파형
(a) 정류된 입력전압 및 입력전류
(b) 스위치의 듀티비

그림 2. 싱글 스테이지 PFC회로의 이론파형

그림 1은 간략화된 싱글 스테이지 역률개선회로의 개념도를 나타내고 있으며, 그림 2는 이론파형을 나타내고 있다. 싱글스테이지 방법은 하나의 주 스위치와 제어부를 갖기 때문에 부품의 수를 줄일 수가 있다. 그러나 투스테이지 방법과는 달리 제어부는 출력전압만을 안정화시키기 때문에 에너지 축적 커패시터 전압 V_B 는 안정화되지 않으므로 광범위한 입력전압의 응용(90Vac~265Vac) 분야에서, 에너지 축적 커패시터의 전압은 부하와 입력전압의 변동에 따라 변화하게 된다. 그 결과 에너지 변환효율은 저하되고, 커다란 커패시턴스를 갖는 에너지 축적 커패시터를 필요하게 한다. 또한 유지시간(hold-up time)을 고려하게 되면 높은 정격의 전압을 필요하게 한다. 투스테이지 방법과 비교하여 훨씬 높은 정격의 부품이 요구되며, 싱글스테이지 방법에서의 전 손실(total loss)은 투스테이지 방법보다도 훨씬 크기 때문에 싱글스테이지 방법의 효율은 투스테이지 방법보다도 훨씬 낮게 된다. 또한, 싱글스테이지 방

법은 부품의 수를 줄일 수가 있어 비교적 저 전력의 응용분야에서 유리하다.

입력 인덕터 전류의 연속 여부에 따라서, 싱글 스테이지 역률개선회로는 불연속도통모드(DCM)와 연속도통모드(CCM)로 나눌 수가 있다. 일반적으로 DCM 싱글 스테이지 방법은 CCM 방법보다 구성이 훨씬 간단하고 비용이 저렴한 반면에 커다란 입력 EMI 필터를 요구하게되고 높은 전류 스트레스 때문에 효율을 저하시킨다. DCM 구성은 일반적으로 저 전력의 응용분야에서 이용된다.[1]

2.2 투 스테이지 역률개선회로

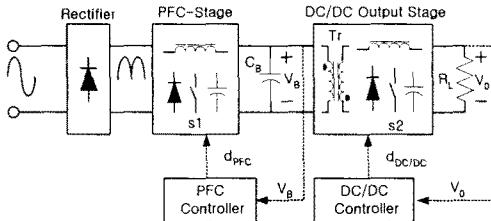
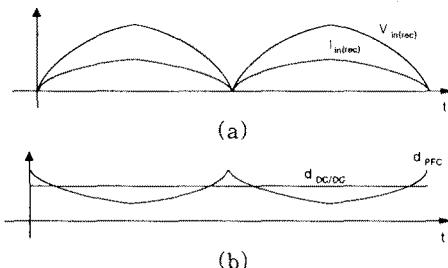


그림 3. 간략화된 투 스테이지 역률개선회로의 개념도



(a) 정류된 입력전압 및 입력전류
(b) PFC회로와 dc/dc컨버터의 스위치의 드티비
그림 4. 간략화된 투 스테이지 PFC회로의 이론파형

그림 3은 간략화된 투 스테이지 역률개선회로의 개념도를 나타내고 있으며, 그림 4는 이론파형을 나타내고 있다. 투 스테이지 역률개선회로는 크게 부스트방식 역률개선회로부와 dc/dc 컨버터 즉, 두 개의 독립적인 전원부를 갖는다. 싱글 스테이지방법과는 달리 에너지 축적 커패시터 전압 V_B 는 폭넓은 입력전압의 응용분야에서 일반적으로 400Vdc에서 안정화된다. 높은 버스 전압 V_B 는 유지시간을 고려한다면 벌크 커패시터 값을 최소화 할 수가 있다. 역률개선회로는 feedforward 제어에 의해 입력전류의 파형을 입력전압의 파형에 추종하게끔 제어함으로써 입력전류 파형을 정현파 형태로 해주어 역률을 개선할 뿐 아니라, 고조파 규제에 대응할 수 있게끔 하는 것이다. 역률개선회로는 인덕터 필터가 입력 측에 있는 부스트 컨버터가 주로 이용된다. 투 스테이지 방법은 비교적 고전력의 응용분야에서 유리하다.

3. 부스트 PFC 회로구성

그림 5는 실험 및 시뮬레이션시 실제 사용된 부스트방식 역률개선회로 구성을 나타내고 있다. 크게 전원부와 제어부로 분류할 수가 있다. 전원부는 AC Source, Rectifier, Power Stage, Output Filter, Voltage Divider, 부하로 구성되며, 제어회로부는 전압 제어루프와 전류제어루프, Multiplier, PWM drive로 나눌 수가 있다. 그림 6은 전압루프의 회로구성을 보여주고 있다.

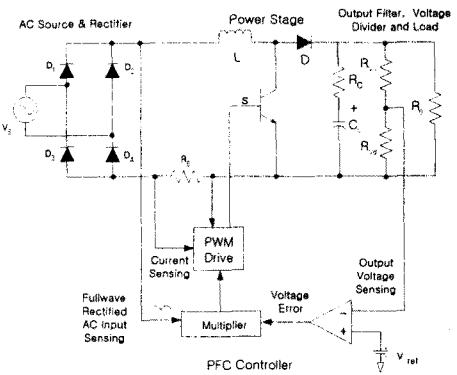


그림 5. 간략화된 부스트 역률개선회로의 구성도

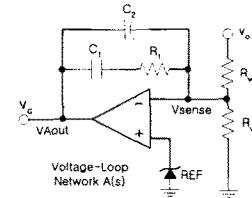


그림 6. 전압루프의 회로구성도

4. 모델해석

도통시간 제어형 승압형 역률보상회로의 모델링과 소신호해석을 적용하여 연속도통모드에서 동작하는 부스트방식 역률개선회로를 대상으로 전압제어루프의 해석을 수행하였다.[2]

제어신호-출력전압 전달함수는 다음의 기본방정식으로부터 구할 수가 있다.

$$\begin{aligned} \hat{v}_o &= \frac{R(1+sCR_c)}{1+sC(R+R_c)} \hat{i}_o \\ \hat{i}_o &= (1-D) \hat{i}_L - \frac{V_o}{R(1-D)} \hat{d} \\ \hat{i}_L &= \frac{V_o}{sL} \hat{d} - \frac{1-D}{sL} \hat{v}_o \\ \hat{d} &= \frac{1-D}{V_c} \hat{v}_o + \frac{1-D}{V_o} \hat{i}_L - \frac{R(1-D)^2}{V_o} \hat{i}_L \end{aligned} \quad (1)$$

제어신호에 대한 출력전압의 전달함수는 다음 식과 같다.

$$\frac{\hat{v}_o(s)}{\hat{v}_c(s)} = \frac{V_o}{V_c} \frac{(1+sCR_c)}{(2+sC(R+2R_c))} \cdot F_{pz}(s) \quad (2)$$

여기서, $F_{pz}(s) = \frac{R(1-D)^2 \cdot sL}{R(1-D)^2 + sL}$ 이며, 같은 주파수에 위치한 우반면 영점과 좌반면 극점으로 구성되어 있다. 따라서, $F_{pz}(s)$ 는 제어신호-출력전압 전달함수의 이득특성에는 영향을 주지 않지만, 위상특성에는 $w_{pz} = R(1-D)^2/L$ 을 중심으로 180° 위상지연을 초래한다.

제어신호-출력전압의 전달함수($G_d(s)$)는 위의 식을 사용하였으며, 그림 6은 전압루프의 회로구성을 나타내고 있으며, 2-pole, 1-zero 형태의 보상을 취하고 있다.

$$T_d(s) = G_d(s) \cdot \frac{1}{V_m} \cdot A(s) \quad (3)$$

여기서, $A(s)$ 는 전압오차증폭기의 이득, $1/V_m$ 은 비교기의 이득을 나타내고, $V_m = 5.4$ 이다.

그림 7는 전압루프이득의 시뮬레이션 파형을 나타내고 있다.

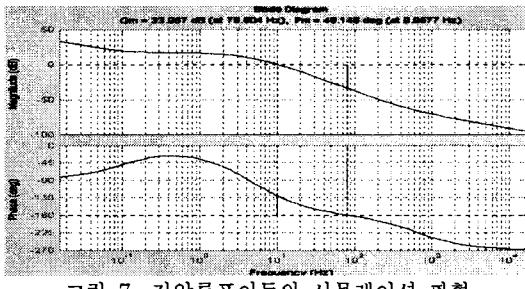


그림 7. 전압루프이득의 시뮬레이션 과정

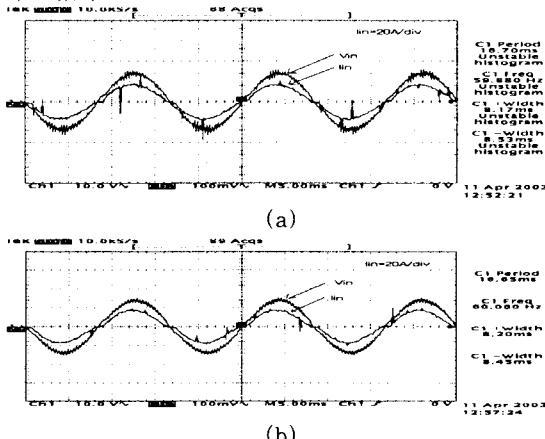
5. 실험 결과 및 고찰

본 연구에서는 실험을 위하여, 그림 5에 제시한 연속 도통모드에서 동작하는 부스트방식의 역률개선회로를 기본으로 회로를 설계·제작하였으며, 제작한 부스트방식 역률개선회로의 기본설계사양을 표 1에 제시한다.

표 1. 실험 및 시뮬레이션에 사용된 파라미터

입력전압(Vi)	110/220[V]
출력전압(Vo)	320[V]
입력전원 주파수(f)	60[Hz]
스위칭 주파수(fs)	25[KHz]
평활용 커패시터(Co)	1500[uF]
인덕턴스(L)	917[uH]
정격부하(load)	6A
스위치소자(S)	$V_{CES} = 600V$, $I_c = 20A$
환류다이오드(Df)	$V_R = 600V$, $I_{F(AV)} = 15A$
등가직렬저항(Rc)	0.22[Ω]
Rvi, Rvd	820[KΩ], 8.2[KΩ]
R1	100[KΩ]~150[KΩ]
C1, C2	10[uF], 150[nF]

다음의 그림 8는 본 연구에서 설계 및 제작한 부스트 방식 역률개선회로의 입력전압 및 입력전류 과정을 나타내고 있다.



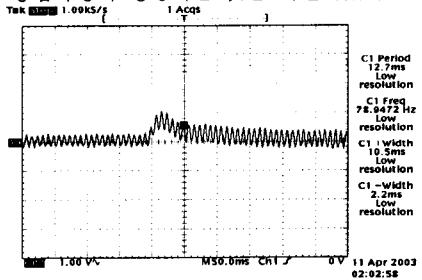
- (a) 전압루프의 보상요소 $R1 = 100[K\Omega]$ 인 경우
- (b) 전압루프의 보상요소 $R1 = 150[K\Omega]$ 인 경우

그림 8. 입력전압 및 입력전류 과정

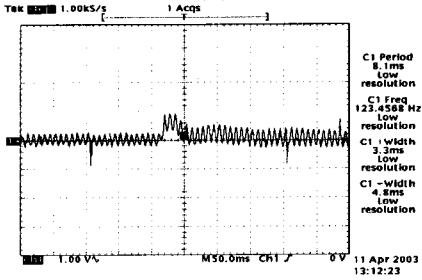
그림 9(a)는 부하변동에 따른 과도응답을 나타낸 것으로 부하를 약 65%부하에서 정격(6A)로 변동하였을 경우의 응답속도는 약 50[ms]가 소요되었고, 응답속도 이후에도 일정한 출력전압을 유지하였다.

그림 9(b)는 보상회로의 극점을 변화하여 대역폭이

고주파영역으로 증가한 경우의 응답특성을 나타낸 것이다. 대역폭을 고주파영역으로 증가한 경우에, 약 20[m] 정도 응답특성이 향상하는 것을 확인하였다.



(a)



(b)

그림 9. 부하변동에 따른 과도응답

6. 결 론

비교적 고전력의 응용분야에 적합한 연속도통모드에서 동작하는 부스트 방식의 역률개선회로를 대상으로 출력전압의 안정화를 위한 전압제어루프와 응답속도를 향상할 수 있는 보상회로에 관하여 분석하였다. 분석의 타당성을 확인하기 위해서 MATLAB을 이용하여 시뮬레이션과 설계·제작한 2kW 회로의 실험을 수행하였다.

제작한 부스트방식 역률개선회로의 실험을 통하여 부하를 약 65% 부하에서 정격(6A)로 증가시켰을 경우의 응답속도는 약 50[ms]가 소요되었고, 응답속도 이후에도 일정한 출력전압을 유지하였다. 보상회로의 극점을 변화하여 대역폭을 보다 고주파영역으로 증가한 경우의 응답특성은 약 20[ms] 정도 향상하는 것을 확인하였다. 또한, 전압루프의 위상여유는 약 50° 정도로 양호한 특성을 나타내고 있다.

향후, 부스트방식 역률개선회로의 다중루프의 해석과 루프이득의 주파수 분석을 통하여 고품질의 전원공급장치의 입력 단에 본 연구의 결과는 폭넓게 응용될 것으로 기대된다.

(참 고 문 헌)

- [1] Jindong Zhang, Milan M. Jovanovic, and Fred C. Lee, "Comparison Between CCM Single-Stage And Two-stage Boost PFC Converters", IEEE, 1999.
- [2] Byungcho Choi, Sung-Soo Hong, and Hyokil Park, "Modeling and Small-single Analysis of Controlled On-Time Boost Power-Factor-Correction Circuit", IEE E Transactions on Industrial Electronics, VOL. 48, N O. 1, FEBRUARY 2001.
- [3] 김철진 외, "전압제어루프를 고려한 부스트방식 역률개선회로의 안정도에 관한 연구", 대한전기학회 EMECS학회 추계 학술대회 논문집, pp.271~273, 2002.
- [4] 김철진 외, "능동 클램프 모드로 동작하는 단일 전력단 A/C/DC 컨버터에 의한 역률개선", 대한전기학회 논문지, 50B-8-4, pp.392~401, 2001.