

## 새로운 Bulk type LDMOSFET의 전기적 특성에 대한 연구

정두연, 김종준\*, 이종호\*\*, 박춘배

원광대학교 전자재료공학과, 반도체공동연구소\* 경북대학교 전자전기정보공학부\*\*

### A Study on electrical characteristics of New type bulk LDMOS

Doo-Yun Chung, Jong-Jun Kim\*, Jong-Ho Lee\*\*, Chun-Bae Park

Wonkwang Univ. ISRC\* Kyongpook National Univ\*\*

#### Abstract

In this paper, we proposed a new bulk LDMOS structure which can be used for RF application, and its fabrication steps were introduced. The simulated devices consist of three types: Bulk device, SLB(SOI Like Bulk), and SOI device. As a result of process and device simulation, we showed electrical characteristics, such as threshold voltage, subthreshold slope, DIBL(Drain Induced Barrier Lowering), off-state current, and breakdown voltage. In this simulation study, the lattice temperature model was adopted to see the device characteristics with lattice temperature during the operation. SLB device structure showed the best breakdown characteristics among the other structures. The breakdown voltage of SLB structure is about 9V ,that of bulk is 7V, and that of SOI is 8V.

**Key word(중요 용어)** : RF(Radio Frequency), LDMOSFET(Laterally Diffused MOSFET), SLB(SOI Like Bulk) SOI(Silicon On Insulator), BV(Breakdown Voltage),

#### 1. 서론

최근 급속한 정보 산업의 발달과 함께 전기전자·통신기기의 이용이 확대되고 있어 실리콘 기반 기술이 RF front end용 응용기기에 많이 각광받고 있다. 실리콘 기반 기술은 가장 민감한 가격면에서의 장점을 가지고 있으므로, 많은 관심을 가지고 있다. 그래서 벌크 Si 기술을 이용한 power MOSFET의 RF 특성을 향상시키는데 많은 연구들이 이루어지고 있다<sup>1) 2)</sup>. 하지만 벌크 Si 기술을 이용하였을 경우에 active 소자의 경우에는 좋은 특성을 나타내고 있지만, passive 소자의 경우에는 기판 전도도로부터 손실을 막기 위해서 어쩔 수 없이 고저항 기판을 사용하므로, 고품질의 특성을 가

지기가 힘들다. 이런 단점을 극복하기 위해서 나온 방법 중의 하나가 thin film SOI 기술을 이용하는 것이다. 이 기술을 이용해서 제작된 RF CMOS 소자와 칩 인덕터등은 좋은 RF 특성을 보여주고 있다<sup>3) 4) 5) 6)</sup>. 하지만 SOI 기술을 이용할 경우에는 BV(Breakdown Voltage)특성이 좋지 못하다. 또한 SOI 기판의 가격은 실제로 Bulk Si 기판보다는 비싸므로, 수율 면에서 크게 떨어지고 있다. 따라서 이 논문에서는 벌크 소자와 SOI 소자의 각각 장점을 가지고 있는 새로운 소자를 제안하고 있으며, 또한 이 제안된 소자에 대해서 공정, 소자 시뮬레이션을 통하여 여러 가지 전기적 특성에 대하여 서술하고자 한다. 새롭게 제안된 소자는 Micro Electro Mechanical System (MEMS) 기술을 이용

하여서 실제로도 구현이 가능하다<sup>7) 8)</sup>.

## 2. 소자 구조

본 논문에서는 크게 세 가지의 구조를 가지고 각각의 특성을 비교 분석을 하고자 한다. 그림 1에서와 같이 Bulk, SLB, SOI 이 세 가지 구조를 가지고 시뮬레이션을 하였다.

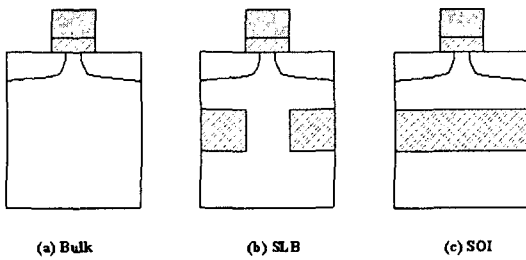


그림 1. 세 가지 다른 소자구조: 벌크, SLB와 SOI

Fig. 1. Three different device structures: Bulk, SLB, and SOI.

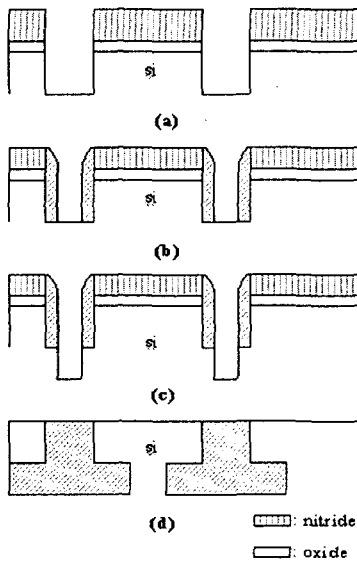


그림 2. 제안된 소자구조의 주요 공정 스텝.  
Fig. 2. Key process steps of proposed structure.

그림 2에서는 제안된 소자구조의 공정 과정을 나타낸 그림이다. 기본적으로 <111> 방향의 웨이퍼를 사용해야한다. 먼저 (a)의 경우에는 si 기판을 선택적으로 식각을 행한 후에 그 위에 산화막을 형성시키고, 그 위에 질화막을 형성시킨 그림이다. (b)에서는 선택적으로 식각되어 있는 곳에 oxide를 증착시키게 되면 그림 (b)에서와 같이 양쪽 옆벽으로 산화막이 붙게 된다. 이 상태에서 다시 HF용액에 담그게 되면 그림 (c)에서와 같이 기판방향으로 선택적으로 식각이 행하여지게 된다. 그림 (d)의 경우에는 그림 (c)의 경우에서 식각을 행하게 되면 지금의 산화막으로 채워져 있는 공간이 생기며, 그 후에 산화막을 증착시키고, si 표면위의 산화막과 질화막을 에칭한 후의 모습이다. 이때 기판의 결정방향은 <111>방향이다.

## 3. 결과 및 고찰

### 3.1. 전기적인 특성

저 전압 LDMOS의 구조에서 주로 생각해야할 것들 중에 하나가 SCE(Short Channel Effect)라는 특성과 항복전압 특성이다. 이중 먼저 SCE특성에 대하여 알아보겠다. 시뮬레이션은 온도를 300K로 기판에 가하여 주며 모든 시뮬레이션을 수행하였다.

표 1을 보면 주요 시뮬레이션 인자에 대해서 보여주고 있다. 이때 게이트 산화막의 두께는 50 nm이다.

그림 3을 보면 각 구조들의  $V_T$ 와 DIBL특성이 보이고 있다. 문턱전압의 경우에는 세 가지 구조 모두 offset region의 길이에 따라서 감소하는 추세를 보였으며, DIBL(Drain Induced Barrier Lowering) 특성은 SLB(SOI Like Bulk) 구조의 경우가 좋은 것으로 나타내고 있다. 이때 DIBL특성 중 SOI의 경우가 없는 이유는 다른 구조에 비교하여 너무 큰 값을 보여서 그래프에서 제거하였다. 소자 시뮬레이션의 조건은 기판에 300K를 가해주고 한 것이므로, SOI의 경우에는 산화막의 존재로 인하여 열이 빠져나가지 않으므로 기인하는 것으로 모사되어진다.

표 1. 주요 시뮬레이션 모수  
Table 1. Key parameter of Simulation.

Offset Region Length ( $\mu\text{m}$ )	0.25	0.5	0.75
Channel Doping	Boron, 3E13, 40keV		
Gate Oxide Thickness(nm)	50		
N- I/I	Phos. 5E13, 30keV		
S/D I/I	Arsenic, 5E14, 60keV		
Body Temp. (K)	300		

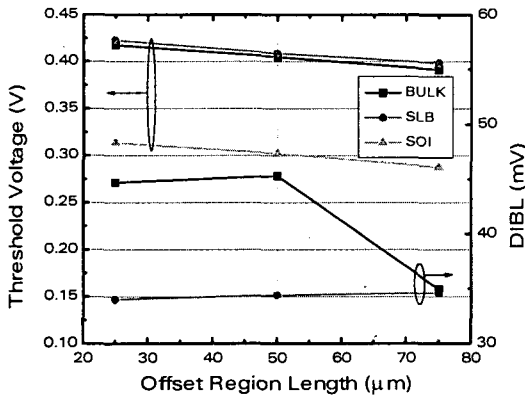


그림 3. 모사된 Offset region에 대한 문턱전압과 DIBL특성의 변화  
Fig. 3. Simulated  $V_T$  and DIBL characteristics with the offset region length.

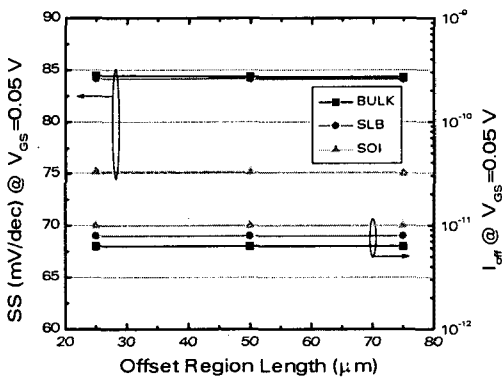


그림 4. 모사된 Offset Region 길이의 변화에 대한 SS와 Off-state 전류의 변화.  
Fig. 4. Simulated SS and  $I_{off}$  characteristics with the offset region length.

그림 4에서는 offset region의 길이의 변화에 대한 SS(Subthreshold Slope) 특성과  $I_{off}$ (Off-state current)의 변화에 대하여 보이고 있다. SCE 특성의 중요한 인자인 SS의 경우에는 SOI의 구조가 가장 좋은 것으로 보이고 있으며, offset region의 길이에 대해서는 거의 변화가 없는 것으로 보이고 있다.  $I_{off}$ 의 경우에는 offset region의 길이에 대해서 변화가 없었다. 전체적으로 모든 구조가 이 두 가지 특성에 대해서는 좋은 특성을 나타내고 있는 것으로 나오고 있다.

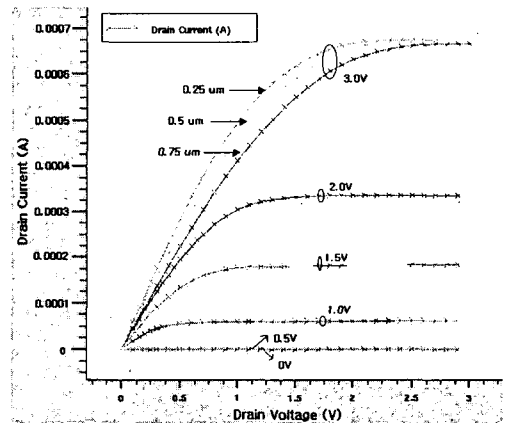
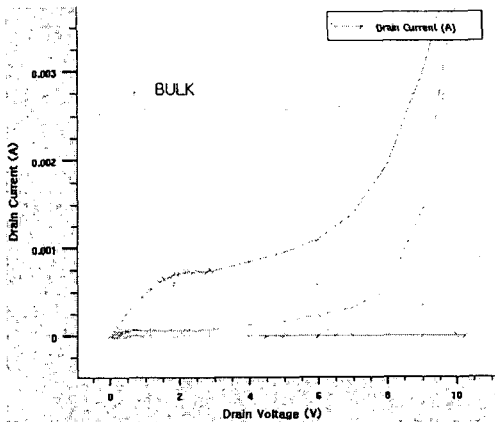
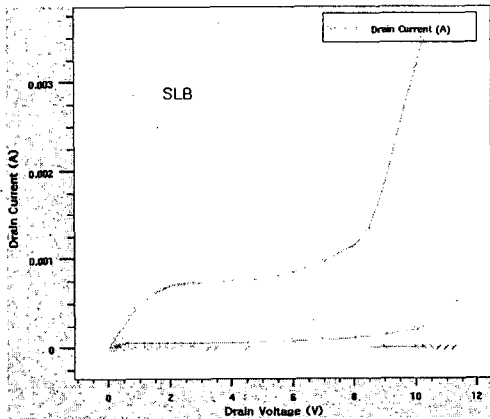


그림 5. 모사된 SLB구조의  $I_D$ - $V_{DS}$  특성. 주어진 게이트 전압은 0, 0.5, 1, 1.5, 2, 3V이다.  
Fig. 5. Simulated  $I_D$ - $V_{DS}$  characteristics of the SLB structure. Given gate biases are 0, 0.5, 1.0, 1.5, 2, 3V.

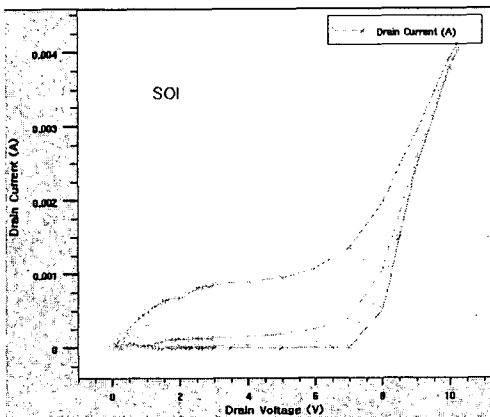
그림 5에서는 이 논문에서 제안된 구조인 SLB 구조의 offset region의 길이에 따른  $I_D$ - $V_{DS}$ 특성을 보여주고 있다. 이때의  $V_{DS}$ 는 3V까지 수행하였다. 보이고 있는 특징 중의 하나가 그림에도 표시가 되어있지만 각각의 길이에 대하여 게이트 전압의 증가에 따라서 I-V 곡선의 기울기가 달라지고 있는데, 이 이유는 offset region의 증가로 인하여서, 게이트와 드레인 전극과의 사이가 증가되며, 이 때문에 게이트와 드레인 사이의 저항의 증가로 연유된 것이라고 모사 되어진다.



(a)



(b)



(c)

그림 6. 모사된 세 가지 구조에 대한  $I_D-V_{DS}$  특성

Fig. 6. Simulated  $I_D-V_{DS}$  characteristic of three device structures.

그림 6에서는 세 가지 구조에 대한  $I_D-V_{DS}$  특성을 보여주고 있다. 이때 항복전압을 보기 위하여 그림 5에서보다 높은 드레인 전압까지 수행하였다. Bulk 소자의 경우에는 항복전압이 게이트 전압이 1.5V일 경우에 7V정도이며, 같은 게이트 전압일 때 SLB의 경우에는 9V 정도로 추정된다. 물론 SOI의 경우에는, 가장 큰 문제인 열에 의해서 특성이 안 좋게 나오고 있는 것이다.

#### 4. 결론

앞서 언급되었던 것처럼, 소자 특성은 SLB의 경우가 SOI보다 훨씬 더 뛰어난 특성을 가지고 있으며, Bulk 소자보다는 항복전압 특성이 뛰어난 것으로 나타났다. 여러 시뮬레이션 변수들을 함께 놓고서 수행한 것이므로, 각각의 변수에 대하여 나온 결과들은 극히 정상적인 것이며, 실제적으로 나온 결과와 그렇게 차이가 나질 않게 된다. MEMS 기술을 이용하면 제안된 소자를 제작까지 가능하게 된다. 비교적 다른 구조들의 경우보다 공정이 어렵지 않으므로 별다른 문제는 없을 것이다. 앞으로의 연구방향은 이 소자에 대하여 RF특성을 보다 더 깊이 연구할 예정이다.

#### 5. 참고문헌

- 1) Y. M. Katsueda, et al., IEEE. Trans. on ED, 45 953 (1996)
- 2) T. Ohgura. et al., IEDM 98, 83, (1996)
- 3) M. H. Hanes et al, IEEE EDL, 11 219, (1993)
- 4) D. Eggert, et al., IEEE Trans. on ED, 44 1981 (1997)
- 5) S. Matsumoto, et. al., IEEE Trans. on ED, 45 1940 (1998)
- 6) A. Wood, et, al., IEDM 96, 87 (1996)
- 5) S.W Lee, et. al., J. Appl. Phys., 38 2699 (1999)
- 6) S.J. Park, et. al., J. Appl Phys., 38 4244 (1999)