

저온 동시소성 세라믹을 이용한 적층형 VCO의 설계 및 제작

박귀남, 이현용, 김지균, 송진형, 이동희*

명지대학교, 수원대학교*

Design and Manufacture of Multi-layer VCO by LTCC

Gwi-Nam Park, Heon-Yong Lee, Ji-Gyun Kim, Jin-Hyung Song and Dong-Hee Rhie*

MyongJi Uni, Suwon Uni.*

Abstract

The circuit substrate was made from the Low Temperature Cofired Ceramics(LTCC) that a ϵ_r was 7.8.

Accumulated Varactor and the low noise transistor which were a Surface Mount Device-type element on LTCC substrate. Let passive element composed R, L, C with strip-line of three dimension in the multilayer substrate circuit inside, and one structure accumulate band-pass filter, resonator, a bias line, a matching circuit, and made it. Used Screen-Print process, and made Strip-line resonator.

A design produced and multilayer-type VCO(Voltage Controlled Oscillator), and recognized a characteristic with the Spectrum Analyzer which was measurement equipment.

Measured multilayer structure VCO is oscillation frequency 1292[MHz], oscillation output -28.38[dBm], harmonics characteristic -45[dBc] in control voltage 1.5[V]. A phase noise is -68.22[dBc/Hz] in 100 kHz offset frequency. The oscillation frequency variable characteristic showed 30[MHz/V] characteristic, and consumption electric current is approximately 10[mA].

Key Words : Multi-layer, VCO, LTCC, Strip line, Screen Print

1. 서론

최근 무선통신 시스템은 광대역화, 고주파수 대역화 되어가고 있다. 전지로 전력을 공급하는 휴대용 기기에 있어서는 크기와 무게를 줄이기 위한 고집적화 뿐 아니라 전력소비를 최소화하는 문제도 중요하게 대두되고 있다. 이와 같이, 이동통신 기기의 소형·경량화를 위해서는 사용 전자 부품의 소형화가 필수적이며, 이중 마이크로파 유전체가 이용되는 부품으로는 Duplexer, BPF, VCO, Mixer, 안테나(antenna) 등과 RF용 MLCC, 적층인덕터 등을 대표적으로 들 수 있다.

이러한 의미에서 VCO도 소비전력과 크기가 최소화 되어야 하는데, 제작에 있어서 저손실의 유전체

를 사용하면 phase noise를 줄일 수 있고 유전체 sheet의 두께를 20~수백[um] 까지 자유롭게 조절할 수 있기 때문에 module의 크기를 줄일 수 있다.

본 연구에서는 전자기장 시뮬레이터와 비선형 RF 회로 시뮬레이터를 활용하여 다층구조 VCO를 설계 후 저손실값을 갖는 유전체 재료를 사용하고 적층형 부품에 있어서 소형화에 가장 유리하고 널리 사용되고 있는 스트립라인(strip line)공진기를 적용하여 적층형 VCO를 제작하였다.

2. 회로 구성

VCO는 일반적으로 공진부, 발진부, 버퍼부로 구

성된다. 그림 1의 회로는 공진부와 발진부로 구성된 회로로서 비선형 RF 회로 시뮬레이터에서 발진 특성을 우선 검토하기 위한 것이다. 버퍼부는 부하의 변동이 발진 특성에 미치는 영향을 억제해주는 기능 부분으로 발진을 일으키는 역할보다는 VCO의 특성을 안정화시키기 위한 회로이다.

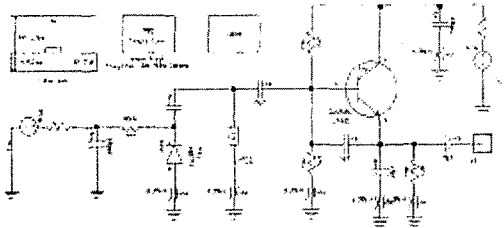


그림 1. VCO의 기본회로

그림 1의 회로는 기존에 설계한 VCO 기본회로로서 회로의 공진부는 마이크로스트립라인 공진기를 사용하였고 수동소자는 회로의 소형화를 위해서 1005type의 칩 저항, 칩 커패시터를 사용하였다. 그리고 능동소자로는 0.8[mm]×1.2[mm] 크기의 바랙터(1SV284)와 NEC(1.5[mm]×2.9[mm])의 저잡음 트랜지스터(2SC3356)를 선정하였다.

그림 2는 그림 1의 회로를 다층구조로 설계하기 위한 다층구조의 단면도이다. 검은 선이 도전체이고 도전체의 사이에는 비유전율 7.8인 유전체로 채워져있다.

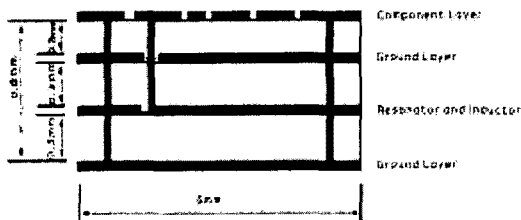


그림 2. 다층구조의 단면도

유전체는 DuPont Co.의 LTCC용 재료인 DuPont 9599를 표본으로 설정하였다. 도전체가 있는 도전층을 기준으로 했을 때 1층과 3층은 접지

층이고 그 사이의 2층이 스트립라인이 매립된 층이다. 그리고 최상층인 4층에는 능동소자와 수동소자를 실장하게 된다. 접지층과 접지층 그리고 매립층과 최상층의 전기적인 연결은 비아홀(via-hole)을 통하여 연결된다.

1층과 3층의 접지층 사이에 매립되어 있는 2층의 도전층의 패턴이 그림 3이다. 그림 3의 매립층 패턴은 전자기장 시뮬레이터를 이용하여 도시화하였다. 그림 3에는 작은 굵기의 사형도선(meandering line) 구조로 되어있는 선은 VCO회로에서 제어전압에 바이어스를 인가해주는 인덕터의 역할을 한다. 그리고 상대적으로 굵기가 굵은 선(line)은 스트립라인 공진기이다. 스트립라인의 굵기는 0.8[mm]이다. 그림 4는 스트립라인 공진기의 특성임피던스(characteristic impedance)이다. 특성임피던스는 약 18[Ω]이고 스트립라인의 굵기를 굵게 할수록 작아진다. 그러면 입력임피던스가 작아져 작은 부저항으로도 쉽게 발진이 가능하게 된다. 그러나 본 시뮬레이션에서는 가로세로 면적이 6 [mm]×6[mm]이므로 선을 굵게 하는데는 한계가 있으므로 적당한 굵기라 보는 0.8[mm]로 하였다.



그림 3. 제작된 매립층 스트립라인 공진기 패턴

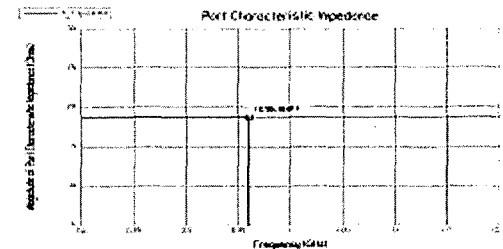


그림 4. 공진기의 특성임피던스

그림 5는 전자기장 시뮬레이터를 이용하여 도시화한 최상층의 패턴이다. 작은 구멍처럼 표시된 것은 접지층과 매립층으로 연결되는 비아홀이다. 접지층으로 7개, 나머지 바이어스와 RF신호용으로 사용되는 비아홀이 10개이다.

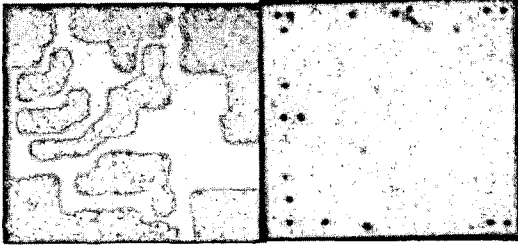


그림 5. 제작된 다층구조의 최상층 패턴

3. 제작 및 고찰

3.1 회로기판제작

본 연구에서 기판을 제작을 위하여 사용된 유전체 물질은 비유전율이 7.8~8.0, 두께 30~60[um]인 LTCC용 green sheet를 이용하였고, 전극재료는 점도 300[Kcps], 소성온도 850[°C]인 제일모직 PA-SS3200을 사용하였다. 모든 시편을 제작하는데 적층 공정을 적용하였고 공정도는 그림 6과 같다. 패턴형성 시에는 325메쉬, 에멀전 두께 8[um]의 스크린을 사용하여 최소 선폭 200[um]까지 구현 하였다.

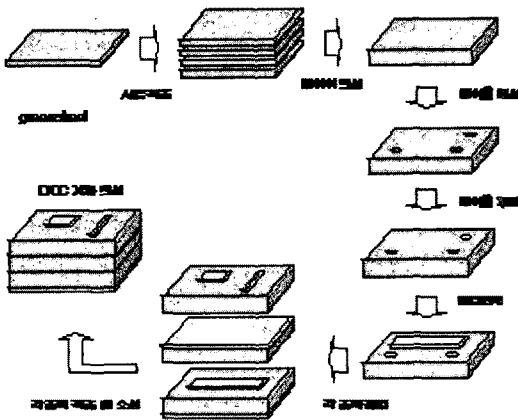


그림 6. 회로기판의 적층 공정도

패턴 완성 후 적층은 약 9[ton]의 압력, 80[°C]의 온도에서 시행하였다. 그림 7은 적층된 기판의 소

성조건 그래프이다. 소성시 세라믹에 stress를 유발하지 않게 하려면 충분히 천천히 이루어져야 한다. 본 실험에서는 아래와 같은 조건으로 소성하였다.

- 1) 150도까지 급속 상승 -> 유지 : solvent 제거
 - 2) 250도까지 상승 -> 유지 : 가소제 및 paste의 binder 제거
 - 3) 350도까지 상승 -> 유지 : PVB binder 제거
 - 4) 850도까지 상승 -> 유지 : 소성
- 후 자연냉각 하였다.

소성 후 기판의 크기는 가로 약 11.3%, 세로 약 13%, 두께 약 16%정도의 수축율을 보였다.

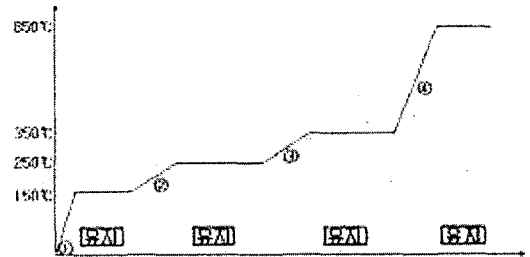


그림 7. 저온 동시소성 기판의 소성조건 그래프

3.2 VCO 회로 제작

회로 기판의 제작 후 표면 실장형 소자를 집적하였다. 전압 튜닝을 위해 공진단에 바랙터 다이오드를 사용하였다.

모두 14 개의 소자를 사용하였고 이중 제어전압 바이어스 인덕터와 공진기 부분을 기판내부로 삽입하였다. 그림 8은 제작된 적층형 VCO의 샘플 사진이다.

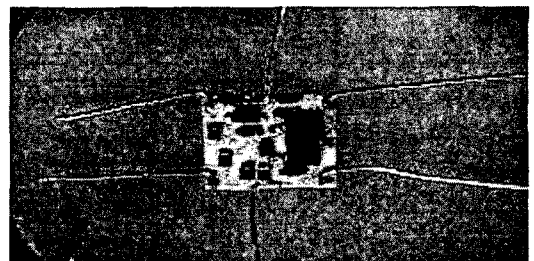
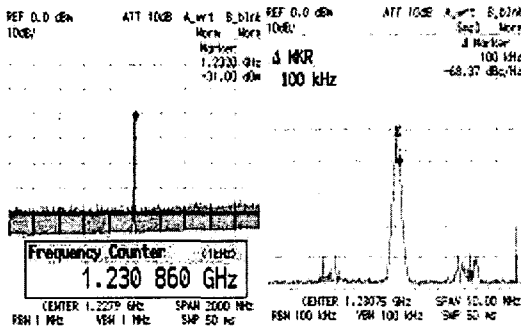


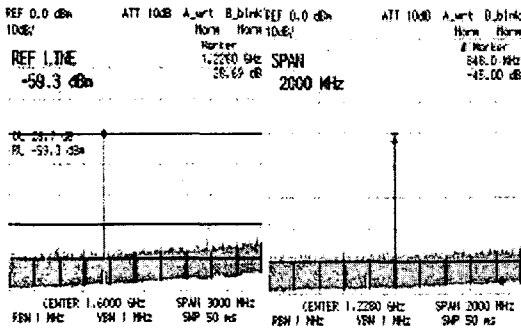
그림 8. 제작된 VCO 샘플 사진

3.3 측정결과

Oscillation frequency는 1.23~1.34[GHz]이고 바이어스 0~3[V]에 대한 sweep 범위는 92.4 [MHz] 정도이다. Output power는 약 -28[dBm] 이고 Phase noise 특성은 100[kHz] offset에서 -68.22 [dBc/Hz]이다. 스펙트럼 분석에서 기본파와 제2고조파와의 출력차를 보는 하모닉스 특성은 약 -45 [dBc]정도로 측정되었다.



(a) Osc frequency (b) Phase noise



(c) Output power (d) Harmonics

그림 9. 제작된 VCO 특성 측정 결과

4. 결론

본 연구에서 제작한 다층구조 VCO의 발진주파수의 가변 제어 전압범위는 0~3[V]였으며, 발진주파수의 가변 범위는 약 30[MHz/V]였다.

제작된 다층구조 VCO는 제어전압 1.5[V]에서 (전원전압 3[V]) 발진주파수 1290[MHz], 발진출력 약 -28[dBm], 100[kHz] 오프셋 된 점에서의 위상잡음이 약 -68.22[dBc/Hz], 소비전류 10[mA]이다.

제작된 VCO 측정값을 고찰해본 결과 위상잡음 값과 발진출력 값의 특성이 양호하지 못함을 알수있다. 기관제작 시 소성과정에서 sheet의 수축율을 고려하고 최적화시켜 각 층간의 align을 맞추어야 할 것 같다. 또한 칩 타입의 소자를 최상층에 집적 시 패턴과 소자와의 adhesion의 문제가 발생하므로 이에 대한 연구가 필요하다.

높은 주파수 대역의 회로를 구현하기 위해 좀더 얇은 선폭을 구현하여야 하는데 스크린 프린트 공정으로는 한계가 있다.

따라서 반도체 공정의 노광기법을 사용하여 좀더 낮은 선폭 구현에 대한 연구가 필요하다.

참고 문헌

- [1] 김지균, 이현용, 윤중락, "1.9GHz대의 적층 칩 세라믹 대역통과필터 설계 및 시뮬레이션", 한국전기전자재료학회논문지, p. 207~213, 제12권, 제3호, 1999.
- [2] 이동희, 정진휘, "UHF대역에서 동작하는 마이크로스트립 라인을 이용한 VCO 제작", 한국전기전자재료학회 춘계학술대회 논문집, p. 55~58, 2001.
- [3] 이영신, 유찬세, 이우성, 강남기, "LTCC 기술을 활용한 적층 VCO 모듈", 한국전자파학회지, VOL. 13, NO. 3, 12~24페이지, 2001.
- [4] 고윤수, 홍성용, 배홍열, 김기수, 손호원, "세라믹적층기술을 이용한 초소형 VCO", 한국전자파학회논문지, 10권, 1호, 70~77페이지, 1999.
- [5] 박병하, "Voltage-Controlled Oscillator", 2001 RF 회로기술워크샵, 전자파학회, 2001.
- [6] Guillermo Gonzalez, "Microwave transistor amplifiers analysis and design", Prentice Hall, Inc., 1984.
- [7] David M. Pozar, "Microwave Engineering", John Wiley & Sons, Inc. p104~p181, 1998.