

# 나노급 소자의 핫캐리어 특성 분석

나준희, 최서윤, 김용구, 이희덕

충남대학교 전기정보통신공학부

## Characterization of Hot Carrier Mechanism of Nano-Scale CMOSFETs

Jun-Hee Na, Seo-Yun Choi, Yong-Goo Kim and Hi-Deok Lee

Electrical and Computer Engineering Chungnam National University

Tel : 042-821-7702 E-mail : hdlee@cnu.ac.kr

### Abstract

It is shown that the hot carrier degradation due to enhanced hot holes trapping dominates PMOSFETs lifetime both in thin and thick devices. Moreover, it is found that in 0.13  $\mu\text{m}$  CMOSFET the PMOS lifetime under CHC (Channel Hot Carrier) stress is lower than the NMOSFET lifetime under DAHC (Drain Avalanche Hot Carrier) stress. Therefore, the interface trap generation due to enhanced hot hole injection will become a dominant degradation factor. In case of thick MOSFET, the degradation by hot carrier is confirmed using charge pumping current method and highly necessary to enhance overall device lifetime or circuit lifetime in upcoming nano-scale CMOS technology.

### I. 서론

고집적도를 추구하는 CMOS(Complementary Metal Oxide Semiconductor Field Effect Transistor) technology 는 지속적인 기술의 발전으로 인해 소자의 제조기술이 놀라운 속도로 발전하여, 소자의 크기를 나타내는 척도인 최소 gate length 는 이미 100 nm 이하로 감소하였다[1][2]. 작아진 소자에 있어서 High speed, high density 등 의 성능도 중요하지만 소자의 신뢰성(Reliability)도 매우 중요한 요소이며, Hot carrier reliability 는 소자의 Lifetime 을 결정짓는 매우 중요한 신뢰성 항목중의 하나이다[3]. 특히 지금과 같이 매우 작아진 소자에 대해 Hot carrier Lifetime 을 정확히 평가하고, Lifetime 을 결정짓는 주요 Mechanism 을 파악하는 것이 매우 중요하다. 따라서

현재까지 CMOS 소자의 Hot carrier 발생 및 Lifetime mechanism 에 대한 연구가 많이 진행되었으며, NMOS 인 경우에는 소자가 작아짐에 따라 DAHC(Drain Avalanche Hot Carrier)보다는 CHC (Channel Hot Carrier)가 더 중요하다는 연구가 보고되는 등 Hot carrier 발생 원인이 달라지는 현상 등이 나타나고 있다[4][5]. 그리고 Hot carrier 연구는 PMOS 보다는 NMOS 의 연구에 집중되고 있는데, 이는 NMOS 나 PMOS 모두 Hot electron 이 Dominant 하여 NMOS 인 경우에는 Hot carrier 에 의해 Threshold voltage,  $V_T$  가 증가하여 Drain Saturation Current,  $I_{D,Sat}$  이 감소하므로 회로 성능이 나빠지는 반면에 PMOS 인 경우에는 Hot carrier 에 의해 오히려 Drain Saturation Current 가 증가하여 회로 성능의 열화를 발생시키지 않기 때문이다. 그러나 PMOS 인 경우에도 Hot hole 에 의한 소자 열화가 보고되기도 하므로 NMOS 및 PMOS 모두에 대한 정확한 Hot carrier Lifetime 평가가 매우 중요하다[6][7].

또한 소자가 Scale-down 됨에 따라 동작전압이 낮아지고 있는데 반해, 외부 회로의 동작전압은 이전 세대의 전압을 그대로 유지하려는 경향 때문에 하나의 Chip 에 고속동작을 위해 얇은 Gate Oxide 를 갖는 작은 Core MOSFET 소자 외에 Chip 외부와의 연결을 위해 고전압에서 동작하도록 두꺼운 Gate Oxide 를 갖는 I/O MOSFET 소자가 필요하게 되었다. 따라서 이제는 보통 한 칩 안에 두 개 이상의 Gate Oxide, 즉 Dual oxide 또는 Triple oxide 가 존재하여 두 개 이상의 CMOS set 이 존재하고 있으며, 각 CMOS 에 따라 Hot carrier 발생 Mechanism 이 다를 수 있으므로 모든 CMOS 에 대한 Hot carrier lifetime 평가가 매우 중요하다고 할 수 있다. 특히 최근에는 NMOS 인 경우에 I/O MOSFET 는 DAHC 가 Dominant 하게 작용하지만 Core MOSFET 은 DAHC 보다는 CHC 가 더 Dominant 하게 작용한다는

연구 결과가 보고되고 있다. 그러므로 Nano-CMOS 시대이지만 I/O 소자까지 포함한 모든 CMOS에 대한 정확한 Hot carrier mechanism을 분석하는 것이 매우 필요하다.

## II. 실험 방법

일반적인 CMOS 소자의 단면과 Hot carrier 발생에 Mechanism은 그림 1과 같이 도식적으로 나타낼 수 있다. 즉, NMOS인 경우에는 Source에서 출발한 전자가 Channel을 지나는 동안 가속되면서 높은 Energy를 얻어 Gate oxide를 넘어가는 경우가 발생할 수 있으며 이는 CHC (Channel Hot Carrier)로 나타내어진다. 또한 Drain과 Substrate 사이의 Depletion region에서 발생한 Electron-Hole pair 중 Hole은 기판으로 흘러가고 전자는 전계에 의해 가속되어 높은 Energy를 얻게 되는 경우에는 DAHC (Drain Avalanche Breakdown Down)로 표현된다.

DAHC Stress는 특정한 Drain-Source 전압,  $V_{DS}$ 에서 Substrate current,  $I_{Sub,Max}$ 가 최대로 되는 Gate-Source 전압,  $V_{GS}$ 을 가하는 Stress 조건이며, CHC stress는 드레인-소스 전압 및 게이트-소스 전압을 같게 하여 전압을 인가하는 Stress 조건이다.

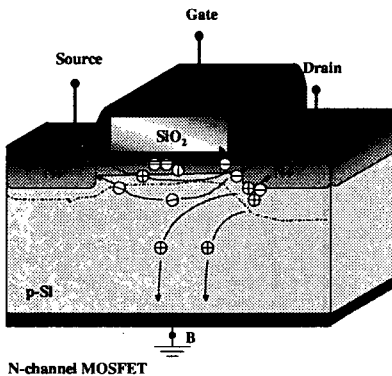


그림 1. Schematic diagram of the Hot carrier generation mechanism

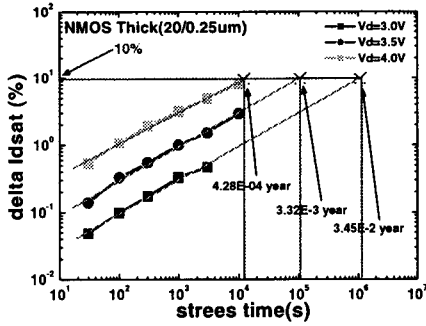
실험에 사용되는 CMOSFET은 20 Å과 50 Å을 갖는 Dual oxide 공정을 갖는 0.13- $\mu$ m CMOS Technology를 이용하여 제작하였으며, 20 Å을 갖는 Core MOSFET의 gate length는 0.13- $\mu$ m이며 실제 TEM 기준 Physical gate length는 약 100 nm이고, 50 Å의 I/O MOSFET의 gate length는 0.25- $\mu$ m이다. 소자 제작에 사용된 0.13- $\mu$ m CMOS technology는 3500Å 깊이의 STI를 사용하였으며, Retrograde twin well, Dual Oxide, Two-step CoSi<sub>2</sub>를 사용하였다.

Hot carrier stress에 따른 소자의 특성 열화를 판단하기 위한 파라미터들로는 우선 MOSFET 소자의 성능을 나타내는 주요 파라미터인 드레인 전류 (Saturation Drain Current),  $I_{D,SAT}$ 과 문턱전압 (Threshold Voltage),  $V_{T,EXT}$ 을 사용하였으며, 특성 변화는 Stress를 인가한 후 순방향모드(Forward mode)에서의 성능저하(Degradation)를 평가하였고, 소자의 수명(Device lifetime)은 각 stress 조건하에서의 드레인 전류  $I_{D,SAT}$ 와 문턱전압  $V_{T,EXT}$ 의 변화가 10%인 지점을 기준으로 정의한 후, 동작전압 (Operating voltage)에서의 소자의 수명(Device lifetime)은 역 드레인 전류의 곡선(lifetime versus  $1/V_D$  curve)으로부터 추정하였다. 즉, 소자의 가속된 Degradation을 위해 Stress 전압은 동작전압보다 다소 높게 인가하였다.

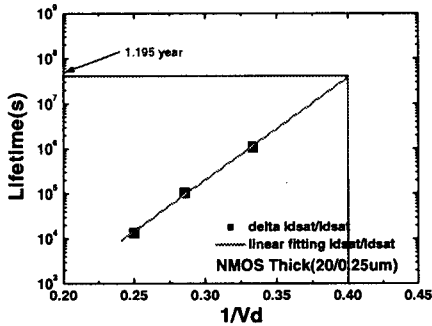
## III. 실험 결과

Hot carrier degradation 측정을 위해 본 논문에서는 앞에서 언급했듯이 Thin 및 Thick 각각의 NMOSFET과 PMOSFET 모두에 대해 DAHC(Drain Avalanche Hot Carrier)와 CHC(Channel Hot Carrier) stress를 인가하였다. 실험결과 Thick NMOSFET의 특성을 살펴보면 그림 2(b)과 같이 1.195 년으로 평가되었으며, 이러한 방법으로 Thick/Thin 소자에 대해 DAHC, CHC Hot carrier 특성을 분석하였다. 논문에서 측정된 데이터는 수 차례에 걸친 실험 결과 나온 값이며, 각 소자의 Hot carrier effect 경향성을 확인하였다.

본 논문에서는 지금까지 hot carrier 현상에 관한 논문에서는 다루어지지 않았던 PMOSFET에서 특히 CHC stress 조건에 대한 새로운 사실을 알 수 있었는데, 이는 다음과 같다. 그림 3는 Thin PMOSFET에서의 드레인 전류와 문턱전압의 변화를 시간에 대해 DAHC와 CHC stress조건에서 관찰해본 결과를 비교해 본 것이다. PMOSFET에서 상대적인 열화를 나타낸 드레인 전류와 문턱전압의 열화는 잘 알려진 것처럼 그림 3과 같이 CHC가 DAHC보다 더욱 지배적인 것을 볼 수 있었다. 그러나, 여기서 주목할만한 사실은 어떤 Stress 조건이든 시간이 증가함에 따라 문턱전압의 절대값은 증가하고 드레인 전류의 절대값은 감소했다는 것이다. 이는 Oxide와 Channel사이의 interface에서 electron보다는 hole trap에 의한 영향이 더욱 크다는 것을 의미한다.



(a)

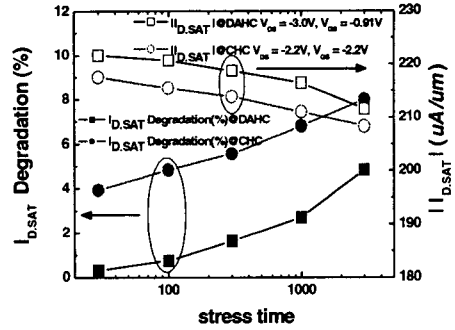


(b)

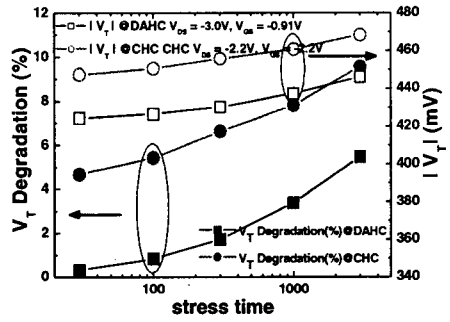
그림 2 Thick NMOSFET의 DAHC Stress에 따른 특성 조건. (a) Degradation of Saturation Drain Current  $I_{D,SAT}$  as a function of Drain voltage ( $V_{D, stress} = 3.0, 3.5, 4.0V$ ) and (b) Lifetime extraction.

이는 현재까지 다수의 논문에서 NMOS, PMOS 모두 electron trapping에 의한 영향이 지배적이라는 것에 반하는 결과라고 할 수 있다. 즉, PMOSFET는 NMOSFET와는 다르게 hole trapping에 의한 degradation이 지배적이고 이는 PMOS에서 stress 조건에 관계없이 같은 경향을 보인다는 것을 확인할 수 있었다.

그림 4은 CHC와 DAHC 각각의 경우에 stress 전후에 드레인 전압에 대한 드레인 전류를 측정해본 것으로, Thin MOSFET 및 Thick MOSFET 모두 앞서도 언급했던 것과 같이 Drain current가 감소함을 나타내고 있다. 따라서 PMOSFET에서 hole trap에 의한 영향이 크다는 것을 관찰할 수 있었다. 특히 stress를 가하지 않은 fresh 조건과 비교한 것을 보면 thin PMOSFET에서 이런 경향은 더욱 두드러진다. 즉, hot trapping에 의한 영향은 Nano-scale에서 영향이 더욱 커질 것이라는 것을 예상할 수 있다.



(a)



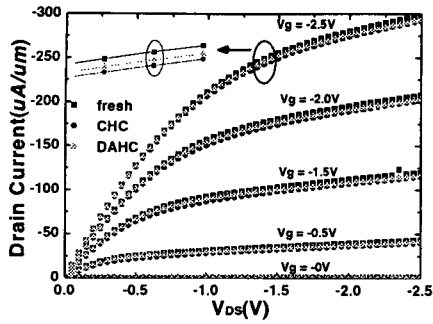
(b)

그림 3. Thin PMOSFET degradation under DAHC and CHC hot carrier stresses. (a)  $I_{D,SAT}$  and (b)  $V_{T,EXT}$ .  $V_{DS}$  is 3.0 and 2.2 V for DAHC and CHC stresses.

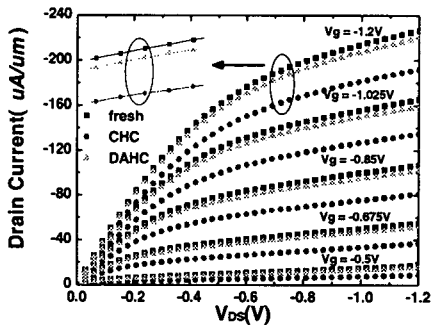
#### IV. 결론

본 논문에서는 Nano-Scale CMOS technology에서 gate length가 100 nm 이내의 Core CMOSFET 및 외부 회로와의 연결을 위한 I/O CMOSFET 각각에 대해 DAHC 및 CHC 조건에 따른 Hot carrier Lifetime 특성을 비교 분석하였다.

우선 PMOSFET 소자의 경우에는 일반적인 특성과 같이 CHC(Channel hot carrier) stress가 DAHC(Drain Avalanche Hot Carrier) stress보다 열화된 특성을 보였지만, 기존의 일반적인 연구 결과와는 달리 절대값을 비교하면 두 경우 모두 Stress 인가 후에  $V_{T,EXT}$ 가 증가하고,  $I_{D,SAT}$ 이 감소하는 특성이 나타났다. 이러한 소자의 성능저하현상(Hot carrier degradation)은 기존에 많은 연구들을 통해서 드러났던 hot carrier 메커니즘과는 달리 Hot hole에 의한 영향이 매우 큼을 나타내고 있다.



(a)



(b)

그림 4. Degradation of drain current versus drain bias for (a) Thick PMOSFETs And (b) Thin PMOSFETs.

본 논문에서 발견된 더욱 중요한 결과는 Nano-Scale CMOSFET 에서는 Hot carrier 에 의한 NMOS 의 Lifetime 보다는 PMOS 의 Lifetime 이 더 작다는 것이다. 즉, NMOS 인 경우에는 CHC 보다 DAHC 에 의한 열화가 더 심하고 PMOS 인 경우에는 DAHC 보다 CHC 에 의한 열화가 심하지만, 각 MOSFET 에서 Worst 한 경우를 비교해 보면 PMOS 의 CHC 에 의한 Lifetime 이 NMOS 의 DAHC 에 의한 Lifetime 보다 훨씬 작다는 것이다. 이러한 결과로부터 Nano-Scale CMOSFET technology 에서는 PMOSFET 이 전체 Lifetime 을 좌우하게 되므로 NMOS 보다는 PMOS 의 Hot carrier lifetime 개선이 매우 필요함을 나타낸다고 할 수 있다. 따라서 앞으로의 Nano-scale CMOS technology 에서는 상대적으로 hot electron 이 아닌 hot hole 에 의한 PMOSFET 소자의 hot carrier 현상을 억제하는 것이 회로 및 Chip 의 신뢰성을 향상시키는데 매우 중요함을 알 수 있으며, PMOS Hot carrier lifetime 감소에 대한 연구가 매우 필요하다고 할 수 있다.

Acknowledgement

본 논문은 과학기술부에서 추진하는 21 세기 프론티어 사업 중 테라급나노소자개발사업단 지원으로 수행되었음.

References

[1] S.wolf, " Silicon Processing for the VLSI Era" , LATTICE, 1995, pp.559-581

[2] C. Hu, et al., " Hot-Electron-Induced MOSFET Degradation-Model, Monitor, and Improvement" , IEEE Trans. on Electron Devices, vol. 32, pp.375-408, 1985

[3] S. L. Jang, et al., " Modeling of Hot-Carrier Stressed Characteristics of Submicrometer pMOSFETs" , Solid-state Electronics vol. 39, No. 7, pp.1043-1049, 1996

[4] S. G. Lee et al., " Experimental Evidence for Nonlucky Electron Model Effect in 0.15- $\mu$ m NMOSFETs" , IEEE Trans. on Electron Devices, vol. 49, pp.1876-1881, 2002

[5] T. Tsuchiya et al., " New Hot-carrier Degradation Mode and Lifetime Prediction Method in Quarter-Micrometer PMOSFET" , IEEE Trans. on Electron Devices, vol. 39, pp.404-408, 1992

[6] Z. J. Yang, et al., " The interaction of hot electrons and hot holes on the degradation of P-channel metal oxide semiconductor field effect transistors" , IEEE Conf. on Devices, Circuits and Systems, pp.D026-1 - D026-3, 2002

[7] J. F. Chen, et al., " Enhanced Hot-Carrier Induced Degradation in pMOSFETs Stressed Under High Gate Voltage" , IEEE Electron Devices Lett., vol. 19, pp.230-233, 2003