

# 50% 펄스폭 변환 회로

김민아, 최영식, 권태하, 최혁환

부경대학교 전자공학과,  
전화 : 051-620-6461 / 핸드폰 : 016-853-4982

## A 50% pulse width conversion circuit

Min Ah Kim, Young-Shig Choi, Tae Ha Kwon, Hyek Hwan Choi

Div. of Electronic, computer and Telecommunication Eng., Pukyong National University  
E-mail : minaspac@mail1.pknu.ac.kr

### Abstract

본 논문에서는 클럭의 duty ratio가 변하였을 때, 그 클럭의 duty ratio를 50%의 duty ratio로 만들어 주는 Pulse Width Control Loop Circuit을 설계하였다. 기존의 논문에서는 duty ratio를 변화시키기 위해 각 duty ratio 마다 알맞은 제어 전압을 공급해하는 문제점이 있었다. 본 논문은 제어 전압이 변하지 않고 일정한 전압으로도 duty ratio를 변화 시킬 수 있게 하여, 제어 전압 변화에 대한 문제점을 해결하였다. 설계, 시뮬레이션 결과 기존의 논문보다 간단해진 회로 구성으로 더욱 높은 주파수에서 동작하였다. 그리고 settling 시간도 기존의 논문의 100ns 이상에서 5ns로 줄어들을 확인할 수 있었다. 본 논문은 3.3V의 공급 전압에서 0.35 $\mu$ m CMOS공정을 이용하여 설계하였고 동작 주파수는 500MHz~2GHz였고, settling 시간은 10n이하였다.

### I. 서론

클럭 신호는 디지털시스템에서 서로 다른 부분들 간의 동기를 맞추는 역할을 한다. 클럭의 주파수, 위상, duty ratio 등은 전체 시스템의 성능에도 많은 영향을 미치기 때문에 디지털 시스템에서 클럭 신호의 duty ratio는 전체 시스템의 성능을 좌우하기도 한다. PLL(Phase Locked Loop)이나 DLL(Delay Locked Loop)에서 생성된 클럭 신호가 여러 개의 버퍼들을 통과하게 되면 NMOS와, PMOS간의 mismatch와 공정의 변화에 의해 클럭의 duty ratio가 변하게 된다.

이렇게 클럭의 duty ratio가 변하게 되면 시스템 내

에서 많은 문제를 발생시킬 수 있다.

이 논문에서는 기존의 논문에서 설계되었던 PWCL을 분석하고 문제점을 파악하여 더욱 간단한 구조를 가지고, 더 넓은 주파수 범위에서 동작하는 PWCL을 설계, 시뮬레이션 할 것이다. 그리고 어떠한 duty ratio의 클럭이 발생되더라도 50%의 duty ratio를 가지도록 하는 PWCL을 설계하기 위해서 3가지의 경우를 다루었다. 각 경우는 회로 구성은 같고, MOSFET의 width의 크기만 다르게 하였다. 첫 번째로는 1 : 9까지 혹은 더 차이가 큰 클럭의 duty ratio까지 동작하는 PWCL, 두 번째로는 첫 번째와 반대로 9 : 1까지의 duty ratio에서 동작하는 PWCL 마지막으로는 6 : 4 혹은 4 : 6처럼 50%가 조금 안되는 duty ratio에서 동작하는 PWCL회로이다.

### II. 기존 논문의 PWCL

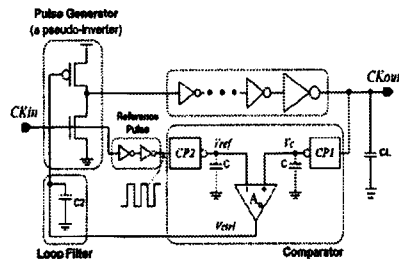


그림 1. conventional PWCL(1)

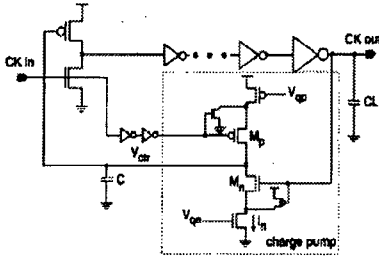


그림 2. conventional PWCL(2)

첫 번째로 살펴 본 논문의 회로가 그림1에 나타나 있다[1]. 이 논문에서 설계된 회로는 복잡하고 여러 개의 커패시터를 사용하며, OPAMP도 사용하고 있다. 그러므로 각 커패시턴스 C의 값을 정하고, OPAMP의 이득,  $A_o$ 를 결정하는데 설계의 어려움이 따른다. 또한 pseudo inverter 회로를 펄스 발생기로 사용하고 있어서 펄스의 duty ratio가 변화 될 때마다 출력 펄스의 위상도 쉽게 변하기 때문에 실제 회로에서 이용하는 것에 어려움이 따른다. 만약 이러한 구조의 PWCL이 PLL/DLL과 함께 사용되면, 펄스의 위상 변화가 PLL/DLL의 결과로 얻어진 phase-locking 상태를 방해할 수 있다. 최악의 경우는 locking이 되지 않은 것과 같은 결과를 발생하게 되어 심각한 문제를 일으킬 수 있다.

위의 문제를 해결하기 위해서 설계된 PWCL이 논문 [2]이다. 이 회로는 push-pull charge pump 사용하고 있고, 그 회로가 그림 2에 나타나 있다. 이 회로는  $V_{cp}$ 과  $V_{cn}$ 에 따라 펄스의 duty ratio가 조절되는 회로이다.  $CK_{out}$ 의 펄스폭이 좁아지면 차지 펌프는 커패시터 C에 더 많은 전하를 충전하고 피드백 전압은 더욱 높아지게 된다. 높아진 전압은 더 길어진 low 상태를 노드1에 만들게 된다. 이러한 방식에 의해 펄스의 duty ratio가 조절되고, 각 duty ratio에 따른 제어 전압  $V_{cp}$ 과  $V_{cn}$ 가 필요하다. 이 구조의 경우, 먼저  $V_{cp}$ 과  $V_{cn}$ 에 알맞은 제어 전압을 각 duty ratio 마다 다르게 인가해 주어야 하는 문제가 생긴다. 실제로 VLSI 칩 안에서는 시뮬레이션처럼 직접 제어 전압에 알맞은 전압을 바로 넣어줄 수가 없으므로 전압을 인가하기 위한 Voltage reference 회로를 추가적으로 설계해야한다. 그러나 Voltage reference 회로는 매우 복잡하고 설계하기가 까다로운 회로중의 하나이고, 주위의 온도나 잡음 등에 많은 영향을 받기 때문에 설계할 때 많은 주의가 필요하다. 또한 제어 전압을 만들기 위한 회로가 PWCL 회로보다 훨씬 커질 수도 있다. 그러므로 제어 전압의 변화 없는 PWCL의 설계는 더욱 실용적이고 활용도가 높을 것이다.

그림3은 그림2의 회로를  $V_{DD}=3.3V$ , 1GHz에서 0.35 $\mu m$  CMOS공정으로 시뮬레이션 한 결과이다. 그림에서 알

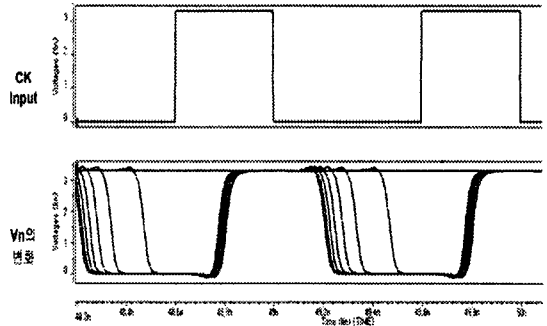


그림 3. Conventional PWCL simulation.  $V_{DD}=3.3V$ , 1GHz에서  $V_{cp}$ 의 변화에 따른 duty ratio 변화

수 있듯이  $V_{cp}$  혹은  $V_{cn}$ 에 따라 duty ratio가 달라지는 것을 확인할 수 있었다.

## II. 새로운 PWCL circuit

앞에서 논의 한 것처럼 본 논문에서는 제어 전압의 변화가 필요 없는 PWCL을 설계하였다. 그리고 어떠한 duty ratio의 클럭이 발생하더라도 50%의 duty ratio로 만들어주고, 더욱 높은 주파수, 넓은 주파수 범위에서 동작하도록 설계하였다.

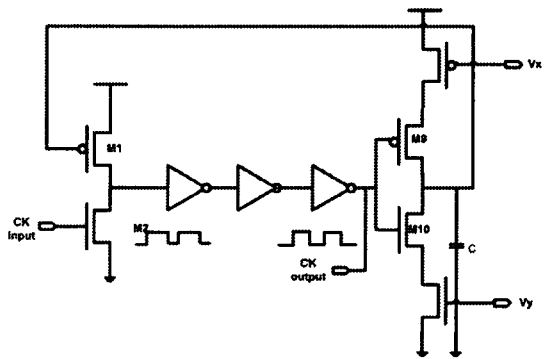


그림 4. 제안된 PWCL회로 (1)

먼저 그림 4의 회로를 제안해 보았다. 그림 2에서  $V_{cp}$ ,  $V_{cn}$ 으로 나타난 제어 전압이 duty ratio에 따라 변화하였는데, 본 논문에서도  $V_x$ ,  $V_y$ 의 전압을 변화시키면서 시뮬레이션 한 결과  $V_x$ 와  $V_y$ 의 변화 없이 일정한 전압 값을 유지해도 50%의 duty ratio를 가질 수 있음을 확인하였다. 시뮬레이션 결과에서 알 수 있듯이 본 논문에서 설계한 회로는 제어 전압을 따로 가해 주지 않고 일정한 전압을 유지하면 되므로 current mirror 회로를 이용하여 일정한 전압을 유지하도록 하였다. 그러므로 기존의 논문에서 문제시 되었던 회로의 복잡성, OPAMP 사용, C값의 결정에 대한 문제점들을 해

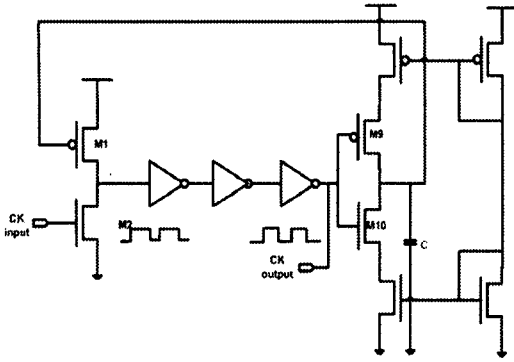


그림 5. 제안된 PWCL회로(2)

결하였다.

그림5는 current mirror 회로가 포함되어 있는 제안된 전계 회로이다.  $CK_{out}$ 의 duty ratio가 high의 비율이 높아지면 M1의 width를 더욱 크게 하거나 M2의 width를 작게 하면  $CK_{out}$ 의 duty ratio가 high의 비율이 줄어들고, M2의 width를 크게 하거나 M1의 width를 작게 하면 low의 비율이 작아지게 된다. 각 inverter는 지연 시간을 만들어 내고 M1, M2, M9, M10의 width의 값을 조절하여 입력 클럭의 duty ratio에 따라 50%의 duty ratio를 가질 수 있게 하였다.

또 한 가지, 설계에 있어 고려할 사항은 입력 클럭이 갖는 low와 high의 비율이다. 실제 시스템에서 발생하는 클럭의 duty ratio는 low와 high의 비율이 시스템의 상태, 여러 가지 잡음 등에 의해서 바뀔 수 있고, 심하게는 low와 high의 비율이 9:1의 비율로 나타날 수도 있다. 따라서 본 논문에서는 low와 high의 비율이 어떠한더라도 50%의 duty ratio를 만들어 낼 수 있도록 회로를 설계하였다. 실제로 VLSI 회로상에서 발생하는 클럭의 변화는 여러 가지 경우가 있기 때문에, 위의 시뮬레이션 결과들을 가지고 본 논문에서는 세 가지 경우를 생각해 보았다. 다음의 세 가지 경우는 회로는 같고 MOSFET의 width의 값만 다르게 하였다.

먼저 low의 비율이 높은 경우를 고려하였다.  $V_{DD} = 3.3V$ , 1GHz에서 입력 클럭의 duty ratio의 변화를 1(high):9(low)까지 시뮬레이션 해보았다. 그 결과가 그림6에 나타나 있다. 시뮬레이션 결과 M1과 M2의 width 값의 조절로 50%의 duty ratio를 만들 수 있었다. 동작 주파수는 500MHz-2GHz 까지였고 1 : 9 뿐만 아니라 M1, M2의 width 조절로 0.5 : 9.5의 경우도 50%의 duty ratio로 변환해 줄 수 있었다. MOSFET의 width 크기는 클럭 입력 부분인 M2와 피드백 입력 부분인 M1중 M2의 width를 크게 하였다.

반대의 경우 즉, 9:1의 duty ratio( $V_{DD}=3.3V$ , 1GHz) 일 때, 50%의 duty ratio를 만들어 낸 시뮬레이션 결과가 그림7에 나타나 있다. 동작 주파수 범위는 첫 번째 경우와 같이  $V_{DD}=3.3V$ 에서 9 : 1의 duty ratio까지

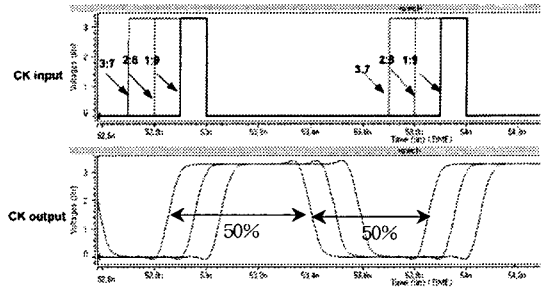


그림 6. Low의 비율이 높은 duty ratio에 대한 시뮬레이션 결과( $V_{DD}=3.3V$ , 1GHz)

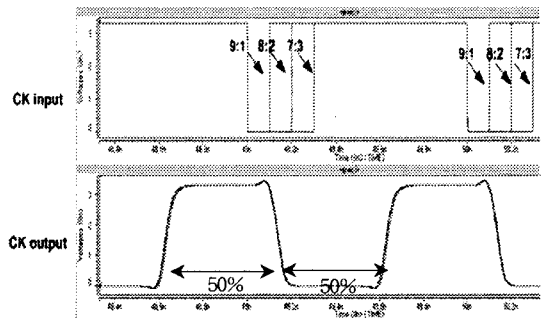


그림 7. High의 비율이 높은 duty ratio에 대한 시뮬레이션 결과( $V_{DD}=3.3V$ , 1GHz)

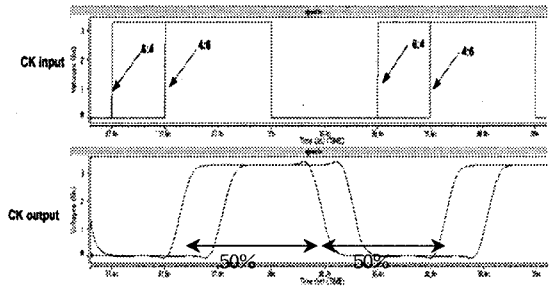


그림 8. 50%가 조금 못되는 duty ratio의 시뮬레이션 결과( $V_{DD}=3.3V$ , 1GHz)

500MHz-2GHz이었다. 이 회로는 1 : 9의 회로와는 반대로 M1의 width가 커야하고 M1의 width를 조절하여 50%의 duty ratio를 맞추었다.

마지막으로 설계한 경우는 50%의 duty ratio가 조금 안되는 6 : 4혹은 4 : 6의 duty ratio이다. 클럭의 duty ratio가 high의 비율이 높거나 low의 비율이 높은 경우의 설계는 한쪽으로 특성을 맞춰주면 간단하게 설계할 수 있으나 4 : 6 혹은 6 : 4의 경우는 high와 low의 비가 비슷하기 때문에 설계 시 많은 주의가 필요하다. 그러나 M1과 M2 그리고 M9, M10의 width를 조절하여 50%의 duty ratio를 맞추었다. 이번 경우도 마찬가지로 동작 주파수 범위는 500MHz - 2GHz까지 동작할 수

있었다.

제안된 논문의 settling 시간을 기존 논문과 비교하기 위해서 6:4 또는 4:6의 경우의 회로에 공급전압을 1.8V로 낮추어 시뮬레이션 한 결과 settling 시간은 11ns이었다. 기존논문[2]의  $V_{DD}=3.3V$ , 400MHz에서 120ns의 settling 시간과 비교할 때 아주 짧은 settling 시간을 가지므로 아주 향상된 성능을 보인다. 제안된 논문과 기존 논문의 결과를 비교하기 위해 동작 전압을 1.8V로 하여 시뮬레이션 한 결과를 표1에 나타내었다.

표1. 기존논문과 제안된 논문의 최대 동작주파수와 settling 시간 비교

	기존논문 PWCL	제안된 PWCL
최대동작 주파수	800MHz	1.5GHz
settling 시간	120ns	11ns
공급 전압	1.8V	1.8V

#### IV 결론

본 논문에서는 회로내에서 발생하는 클럭의 duty ratio를 50%의 비율로 변환해 주는 회로를 설계하였다. 제안된 회로를 0.35 $\mu$ m CMOS 공정을 이용하여 시뮬레이션 한 결과, 어떠한 duty ratio의 클럭이 발생되더라도 50%의 duty ratio를 유지 할 수 있었다. 각 MOS의 width의 값을 조절하여  $V_{DD}=3.3V$ 에서 500MHz-2GHz까지 동작하였고 settling 시간은 10ns이하였다.

앞에서 살펴보았던 것처럼 기존의 논문은 펄스폭을 조절하기 위해서 제어 전압을 입력되는 펄스의 duty ratio에 따라 입력 전압을 바꾸어야하는 문제가 있었다. 본 논문에서는 일정한 전압을 유지하도록 current mirror 회로를 이용하여 설계 하였다. 본 논문에서 설계된 PWCL을 이용하면 어떠한 duty ratio를 가진 클럭이 발생하더라도 그 시스템에 맞는 PWCL 회로를 선택하여 사용할 수 있을 것이다.

앞으로 MOSFET의 크기와 C의 값을 조절하면 더욱 고주파에서 그리고 낮은 전압에서 동작하는 PWCL회로를 만들 수 있을 것이라고 생각한다.

#### Reference

[1] Pulsewidth control loop in high-speed CMOS clock buffers Fenghao Mu; Svensson, C. Page(s): 134-141  
 [2] Low-voltage pulsewidth control loops for SOC applications Po-Hui Yang; Jinn-Shyan

Wang Page(s): 1348- 1351

[3]A low-jitter mutual-correlated pulsewidth control loop circuit Lin, W.-M.; Huang, H.-Y.; SOC Conference, 2003. Proceedings. IEEE International [Systems-on-Chip] , 17-20 Sept. 2003 Pages:301 - 304