

# 70-nm 이하 급 초미세 CMOS 공정에서의 누설 전류 및 동적 전류 소비 억제 내장형 SRAM 설계

최훈대, 최현영, 김동명, 김대정, 민경식

국민대학교 전자공학과  
전화 : 02-910-5172

## Leakage-Suppressed SRAM with Dynamic Power Saving Scheme for Future Sub-70-nm CMOS Technology

Hun-Dae CHOI, Hyun Young CHOI, Dong Myeong KIM, Daejeong KIM, Kyeong-Sik MIN

Kookmin University  
E-mail : mks@kookmin.ac.kr

### Abstract

This paper proposes a leakage-suppressed SRAM with dynamic power saving scheme for the future leakage-dominant sub-70-nm technology. By dynamically controlling the common source-line voltage ( $V_{SL}$ ) of sleep cells, the sub-threshold leakage through these sleep cells can be reduced to be 1/10-1/100 due to the reverse body-bias effect, drain-induced barrier lowering (DIBL) and negative  $V_{GS}$  effects. Moreover, the bit-line leakage which may introduce a fault during the read operation can be completely eliminated in this new SRAM. The dynamic  $V_{SL}$  control can also reduce the bit-line swing during the write so that the dynamic power in write can be reduced. This new SRAM was fabricated in 0.35- $\mu\text{m}$  CMOS process and more than 30% of dynamic power saving is experimentally verified in the measurement. The leakage suppression scheme is expected to be able to reduce more than 90% of total SRAM power in the future leakage-dominant 70-nm process.

반도체 device 의 scaling 과 함께 제한된 크기의 칩 안에 집적되는 디지털 회로와 메모리가 급증한다. 디지털 회로와 메모리가 증가함에 따라 누설 전류에 의한 전력 소비도 지수 함수적으로 증가하여 누설 전류에 의한 전력 소비 감소 해결이 큰 문제로 대두되었다. 특히 SRAM 은 칩 안에서 큰 부분을 차지하고 있으며 앞으로도 더욱 큰 비중을 차지하게 될 것이다[1]. 메모리 크기가 커짐에 따라 sleep 모드에 있는 셀의 수가 증가하게 되고 낮은 activity rate 때문에 누설 전류에 의한 전력 소비가 전체 전력 소비의 대부분을 차지하게 된다. 그리고 SRAM 은 쓰기 동작 시에 큰 스윙 전압으로 비트 라인에 전하를 충방전함으로써 동적 전류를 크게 소비한다. 핸드폰 등과 같은 휴대용 기기에서 사용되는 내장형 SRAM 은 비트 수가 256 비트, 512 비트와 같이 wide bus 가 되어 한번의 쓰기 동작 시에 소비하는 전력 소비가 매우 크다[2]. 그래서 저전력 VLSI 칩 설계에서는 SRAM 메모리 설계가 매우 중요한 요소로 대두되었다.

본 논문은 저전압 scaling 에 따른 누설 전류 소비의 증가를 억제하기 위한 극 저전력 SRAM 메모리 설계 기술을 제안하였다.

### I. 서론

## II. 새로운 Low Leakage and Dynamic Power SRAM 제안

이 장에서는 미래의 초미세 70-nm 이하급 CMOS 공정에서의 누설 전류 감소 기법을 제안하였는데 이 기법은 동적 전류 소비 감소 기법과 결합하여 최적의 저전력 SRAM 설계가 가능하다.

### 2.1 누설 전력 소비 감소 기법

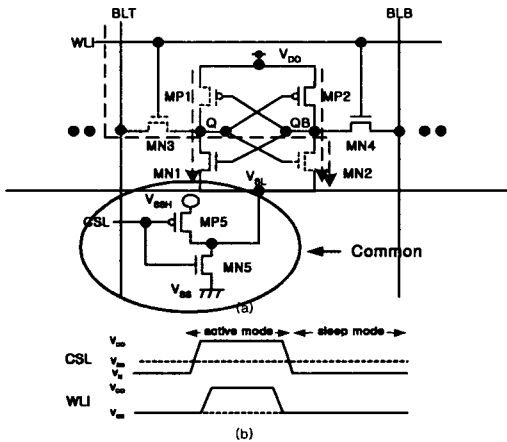


그림 1 (a) 누설 전력 소비 감소 기법을 위한 제안된 SRAM의 셀 구조와 (b) 동작 파형

그림 1은 누설 전력 소비 감소 기법을 위한 제안된 SRAM의 셀 구조와 동작 파형을 나타낸다. 여기서 MN5와 MP5 두 MOSFET이 기존의 SRAM에 추가되었다. 이 두 MOSFET은 4개의 셀의 소스라인 접지 부분과 common으로 연결되어 있고 누설전류억제 드라이브 역할을 한다.  $V_{SL}$ , 두 MOSFET의 출력 노드는 active 모드와 sleep 모드에 따라서 바뀌어 지는 소스 라인 접지 전위를 나타내고 점선으로 표시된 부분은 감소된 누설 전류 성분을 나타낸다. 그러나 추가된 MOSFET으로 인해서 active 모드일 때 성능 감소와 면적 penalty를 증가시킨다. 누설 전력 소비 감소 기법의 동작을 살펴보면 sleep 모드일 때는 CSL에  $V_{SS}$ 보다 낮은 음의 전압( $V_N$ )이

입력되어 PMOSFET이 “turn on” 됨으로써  $V_{SL}$  노드 전압이  $V_{SSH}$ 와 연결되어 누설 전류가 억제된다. Active 모드일 때는 CSL에  $V_{DD}$ 가 입력되어 NMOSFET을 “turn on”시켜  $V_{SL}$  노드 전압이  $V_{SS}$ 가 되어 기존의 SRAM처럼 동작한다. Sleep 모드에서 노드 Q=“Low”, QB=“High”로 가정하면 MN2, MN3, MN4, MP1가 “off”되고 그 중에서 MN2, MN3, MP1의 3개의 MOSFET에서 전체 sub-threshold 누설 전류가 발생한다. 누설 전력 소비 감소 기법을 사용했을 때 각각의 MOSFET에서 어떠한 누설 전류 억제 효과에 의해 누설 전류가 억제 되는지 알아보자.

MN2에 대해서 살펴 보면,  $V_{SL}=V_{SS}$ 일 때  $V_{GS}=0V$ ,  $V_{BS}=0V$ ,  $V_{DS}=V_{DD}$  값을 가지게 된다.  $V_{SL}=V_{SSH}$ 가 되면 MN2의  $V_{DS}$ ,  $V_{BS}$  전위가 각각  $V_{DD}-V_{SSH}$ ,  $-V_{SSH}$ 가 된다. 그 결과 reverse body-bias 효과와 DIBL로 인한  $V_{TH}$  증가를 가져오게 된다.  $V_{TH}$  증가는 sub-threshold 누설 전류를 지수 함수적으로 감소시킨다[3]. MN3에 대해서 살펴 보면  $V_{SL}=V_{SSH}$ 일 때  $V_{GS}$  전위가  $-V_{SSH}$ 가 되고  $V_{DS}$ ,  $V_{BS}$  전위도 각각  $V_{DD}-V_{SSH}$ ,  $-V_{SSH}$ 로 감소하게 된다. 음의  $V_{GS}$ 는 MN3을 완전히 차단시키고 reverse body-bias 효과와 DIBL에 의해 MN3에서 발생하는 비트 라인 누설 전류를 거의 없앤다. 전원 전압 Sub-1-V 영역에서는  $V_{TH}$  또한 낮아지기 때문에 패스 트랜지스터를 통해서 발생하는 비트 라인 누설 전류가 크게 증가한다. 비트 라인 누설 전류가 셀 전류 이상 커지게 되면 잘못된 읽기 동작을 초래한다. 이처럼 비트 라인 누설 전류 억제는 Sub-1-V SRAM 동작에서 매우 중요하다. MP1에 대해서 살펴보면 MP1의  $|V_{DS}|$  값은  $V_{DD}$ 에서  $V_{DD}-V_{SSH}$ 로 감소하여 DIBL에 의한  $V_{TH}$  증가를 가져와 누설 전류가 지수 함수적으로 감소한다. 그림 2는 Berkeley Predictive Technology Model (BPTM)[4]의 70-nm technology 모델을 가지고 셀 누설 전류와 비트 라인 누설 전류가 SRAM에서 차지하는 비율과 감소 경향을 시뮬레이션 결과로 보여준다.

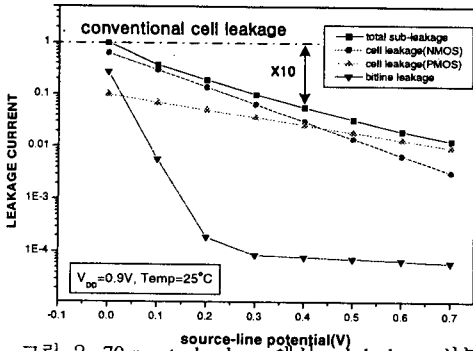


그림 2. 70-nm technology 에서 sub-leakage 성분 비율과 감소 경향

전체 sub-threshold 누설 전류에서 MN2 에서 발생하는 셀 누설 전류가 전체 누설 전류의 약 65%, MN3 에서 발생하는 비트 라인 누설 전류가 약 34%, MP1 에서 발생하는 셀 누설 전류는 약 1% 차지한다. 누설 전력 소비 감소 기법을 사용하면 비트 라인 누설 전류가 음의  $V_{GS}$  에 의해서 완전히 차단되고 셀 누설 전류 또한 지수 함수적으로 감소되어 누설 전류에 의한 전력 소비가 크게 감소한다.

제안된 SRAM 에서는 데이터 유지와 성능을 고려하여  $V_{DD}=0.9V$  일때  $V_{SSH}=0.4V$  로 설계하였다.  $V_{SSH}=0.4V$  로 설계시  $V_{TH}$  가 약 86mV 증가하여 전체 sub-leakage 가 약 10 배 이상 감소한다.

### 2.2 Dynamic 전력 소비 감소 기법

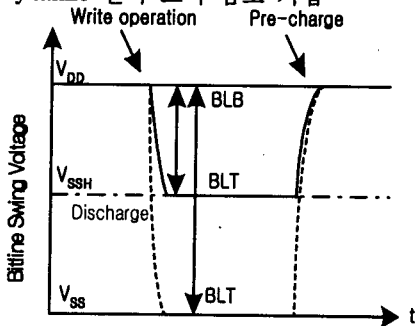


그림 3. active 모드에서의 full 스윙과 low 스윙 write 동작에서의 비트 라인 전압 파형

Dynamic 전력 소비 감소 기법은 그림 3 에 보인 것처럼 선택된 셀에 쓰기 동작을 할 때 비트 라인 스윙 전압을 줄여서 충전되는 전하량을 줄여서

dynamic 전력 소비를 줄인다. 이 기법은 누설 전력 소비 감소 기법과 결합하여 더 최적화된 저전력 SRAM 을 실현 시킨다.

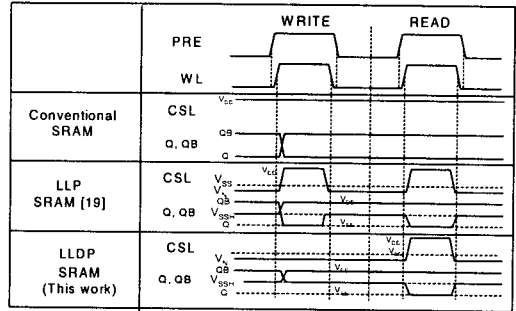


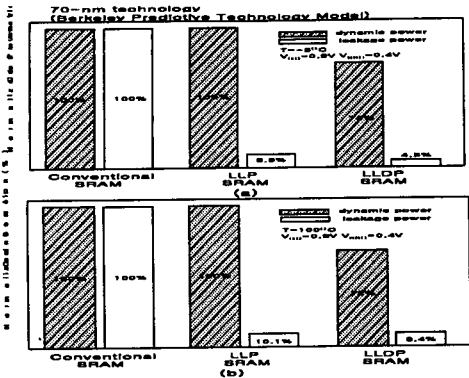
그림 4. 타이밍 차트 비교

그림 4 는 누설 전력 소비 감소 기법만을 사용 하였을 때와 dynamic 전력 소비 감소 기법을 결합하여 사용하였을 때의 타이밍 차트를 보여준다. 누설 전력 소비 감소 기법만을 사용할 경우 읽기 동작과 쓰기 동작시에 누설 전류 억제 드라이브에서 두번의 dynamic overhead 전력 소비가 발생한다. 하지만 두 개의 기법을 결합하여 사용할 경우 쓰기 동작에서의 누설전류억제 드라이브를 동작시킴으로써 발생하는 overhead 전력 소비를 없앤다. 동시에 쓰기 동작을 하는 셀에서의 누설 전류를 억제하여 active 누설 전력 소비도 줄인다. 누설전류억제 드라이브의 PMOSFET 을 "turn on"시키기 위해서는 음의 전압( $V_N$ )을 가하여야 한다. 읽기 동작시 잘못된 데이터를 읽는 경우를 방지하기 위해서 읽기 동작시에는 소스 라인 접지 전위를  $V_{SS}$  로 바꾸어 준다. 누설 전력 소비 감소 기법과 합쳐진 dynamic 전력 소비 감소 기법은 I/O 비트가 큰 내장형 SRAM 에서 사용할 때 더 큰 전력 이득을 얻는다.

### III. 시뮬레이션 및 칩 측정 결과

제안된 SRAM 구조를 Berkeley Predictive

그림 5. 온도 변화에 따른 SRAM 의 전력 소비 비교  
Technology Model (BPTM)[4]의 70-nm 모델을 사용하여 시뮬레이션 한 결과 제안된 SRAM 구조의 전체 전력



소비가 기존의 SRAM 에 비해 약 90%가 줄어들었다. 그리고 0.35- $\mu$ m CMOS 공정으로 제작된 4K bit SRAM 의 칩 측정 결과 데이터 유지 전압이 33Mhz 에서 3.3V 에서 최소 1.2V 까지 감소하였고, 전력 소비는 기존의 SRAM 보다 약 32% 감소하였다. 그림 6 은 측정시 사용된 칩의 4K bit SRAM 어레이 부분이고 그림 7 은 기존의 SRAM 과 전력 소비를 비교한 칩 측정 결과이다. 메모리 어레이 부분에는 metal shield 를 삽입하여 비트라인의 coupling noise 를 최대한 줄여서 셀 노드의 작은 데이터 유지 전압을 보호하도록 설계하였다.

#### IV. 결론

본 논문에서는 누설 전력 소비뿐만 아니라 dynamic 전력 소비를 동시에 줄일 수 있는 저전력 SRAM 을 제안하였다. 제안된 SRAM 은 0.35- $\mu$ m CMOS 공정으로 칩을 제작하여 측정된 결과 약 30% 이상의 전력 소비를 줄였고, 70-nm 모델을 사용하여 시뮬레이션 한 결과 전체 전력의 약 90% 이상을 줄였다.

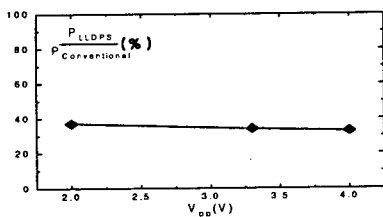


그림 6. 성능 측정시 사용된 칩의 SRAM 어레이

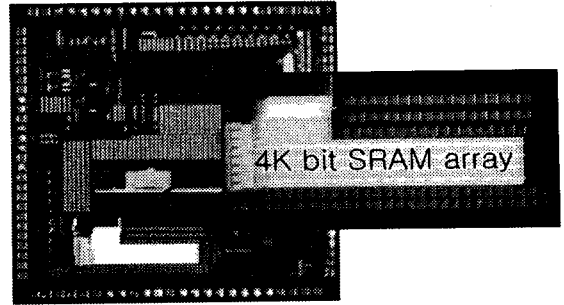


그림 7. 전력 소비 감소 비율

#### Acknowledgements

This work was supported by Kookmin University, Seoul, Korea. The authors would like to thank IDEC, Korea, for supporting the design tool and chip fabrication

#### References

- [1] T. Sakurai, " Perspectives on power-aware electronics," IEEE International Solid-State Circuits Conference, pp.26-29, Feb. 2003.
- [2] S. Hattori and T. Sakurai, " 90% write power saving SRAM using sense-amp. memory cell," Symposium on VLSI Circuits, pp.44-47, June 2002.
- [3] K. Kanda, et. Al., " Two Orders of Magnitude Reduction of Low Voltage SRAM' s by RDDV Scheme," Proceedings of IEEE International ASIC/SOC Conference, pp. 381-385, Rochester in USA, Sep. 2002.
- [4] Berkeley predictive technology model web-site : <http://www-device.eecs.berkeley.edu>