

# 직각좌표로봇 및 영상캡처를 위한 SoC IP설계구현

박 종 성, \*문 철 홍  
광주대학교 전자광통신학과, \*교수  
전화 : 061-335-2511 / 핸드폰 : 016-617-0060

## SoC IP design for Perpendicular Coordinate Robot & Image Capture

Jong-Seong Park, Cheol-Hong Moon  
Gwangju University  
E-mail : saverjs@hanmail.net

### II. 하드웨어 IP설계

#### Abstract

This paper describes an IP design and implementation of a complicated hardware to System on a Chip(SoC) to simplify the complicated system. As using SoC, hardware and software can be designed and verified both. This paper describes an image capturing IP and a perpendicular coordinate robot IP that can move on x, y coordinates. 240\*320 TFT-LCD is used to display images.

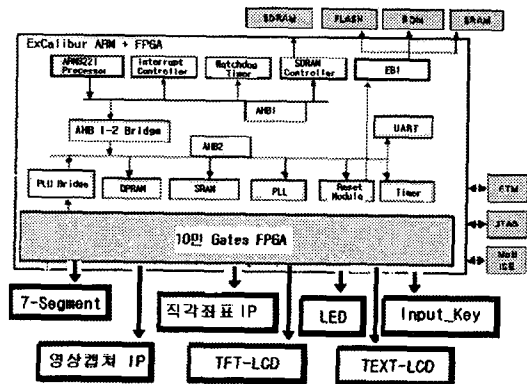
#### I. 서론

SoC란 하드웨어 로직뿐만 아니라 프로세서, 롬, 램, 컨트롤러, 주변장치의 회로를 하나의 Chip에 집적화하는 기술이다. 즉, 과거의 복잡한 하드웨어를 IP로 설계하여 하나의 Chip으로 구현함으로써 복잡한 System을 간략하게 구현 할수있다. 또한, SoC를 이용하여 하드웨어와 소프트웨어를 동시에 설계하고 검증하는시대가 되었다. 본 논문에서는 SoC-Master(ALTERA-Excalibur chip)라는 IP개발 보드를 이용하여 직각좌표로봇에 필요한 스텝모터구동 IP와 영상캡처를 위한 IP를 설계하였고, 캡처한 영상을 볼수있도록 TFT-LCD의 드라이버를 구축하고, DMA-Controller를 이용하여 캡처한 영상을 TFT-LCD드라이버에 전송하였다.

#### 2.1 SoC-Chip 기본구조

본 논문에서의 SoC-Chip은 ALTERA사의 Excalibur이다. 이 Chip의 특성으로 하나의 Chip내에 ARM922T 프로세서, 10만게이트 프로그래머블 로직, 메모리, 메모리 컨트롤러, 외부확장 버스, 클럭로직등이 모두 내장되어있으며, IP회로를 하드웨어와 소프트웨어로 동시에 검증이 가능한 프로그래머블 System on a Chip이다. 각각의 하드웨어 로직은 AMBA (Advanced Micro Bus Architecture)버스로 구성 되어있다.

그림 1. 본 논문의 Excalibur chip동작 블록도



#### 2.2 SoC 하드웨어 전체 흐름도

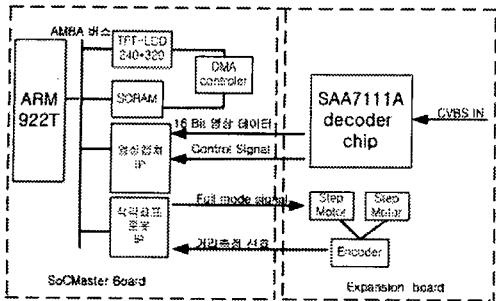


그림 3. 전체 흐름도

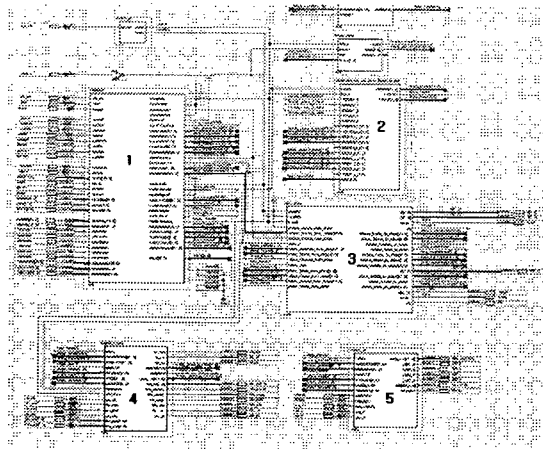


그림 2. 전체 로직 블록도

그림 2는 본 논문에서 구현된 SoC의 전체로직이다. 블록1은 ARM922T CPU로직이고, 블록2는 AMBA-Bus의 Muti Slave블럭을 구현하였다. 블록3은 TFT-LCD의 DMA-Controller와 드라이버로직이고, 블록4는 영상캡처에 대한 로직이다. 마지막으로, 블록5는 직각좌표로봇을 구동할 수 있는 2축 모터제어와 엔코더부분이다.

### 2.3 직각좌표로봇 IP구현

#### (1). 직각좌표로봇 IP 블록도

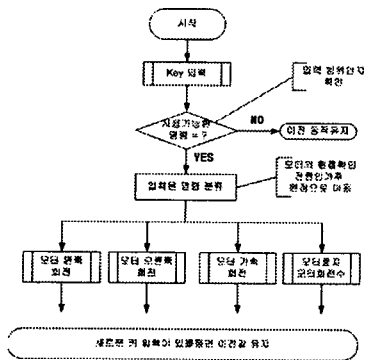


그림 4. 직각좌표로봇 동작 블록도

#### (2). 직각좌표로봇 IP 하드웨어

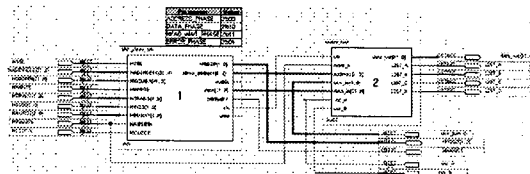


그림 5. 2축모터와 엔코더 로직

그림 5는 그림 2의 2번 블럭의 내부블럭이다. 그림 5의 1번 블럭은 AHB의 Slave를 나타낸 것이다. 1번 블럭의 데이터 흐름상태블럭도를 나타내면 다음과 같다.

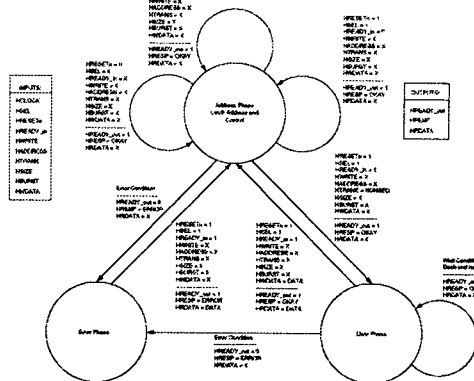


그림 6. AHB Slave 데이터 흐름 상태도

#### (3). 직각좌표로봇 시뮬레이션

그림 7은 직각좌표로봇과 엔코더의 타이밍 시뮬레이션을 나타내었다.

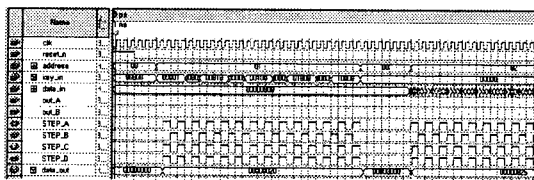


그림 7. 직각좌표로봇 IP 시뮬레이션

### 2.4 영상캡처 IP 구현

#### (1). 영상캡처 IP 블록도

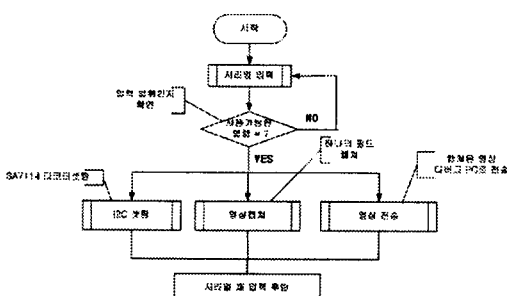


그림 8. 영상캡처 IP 동작 블록도

(2). 영상캡처 IP 하드웨어

그림 9의 블록도는 영상캡처IP의 로직을 나타낸 것이다. 블록1은 그림6의 데이터 흐름상태도와 같고, 블록2는 영상디코더의 I2C 셋팅을 할수 있도록 구현된 로직블럭을 나타낸것이다. 블록3은 하나의 필드(720\*240)를 캡처할수있도록 구현된 로직블럭이다.

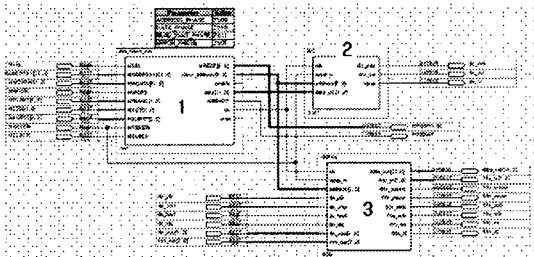


그림 9. 영상캡처 IP 블럭도

(3). 디코더 Timing 블럭도

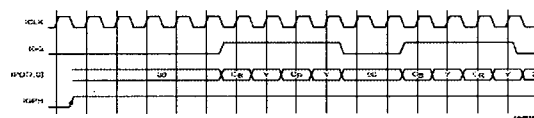


그림 10. 디코더의 YCbCr과 동기클럭

(4). FIFO Timing 블럭도

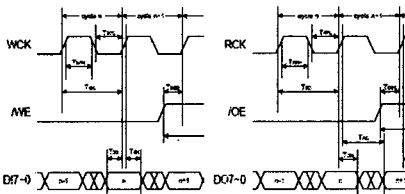


그림 11. FIFO Write/Read 신호

(5). 영상캡처 IP의 FIFO 시뮬레이션

1). FIFO-WRITE 시뮬레이션

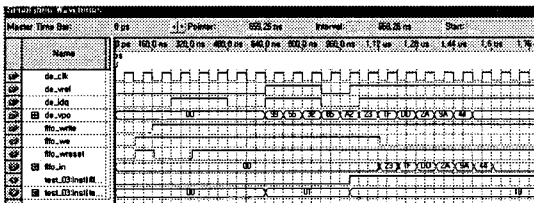


그림 12. 영상데이터의 FIFO-write 시뮬레이션

2). FIFO-READ 시뮬레이션

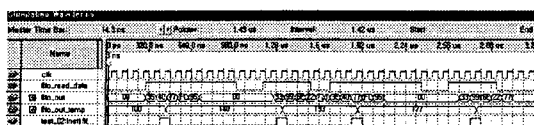


그림 13. 영상데이터의 FIFO-read 시뮬레이션

2.5 TFT-LCD IP 구현

(1). Timing Controller IC LCC3600A의 Timing블럭도

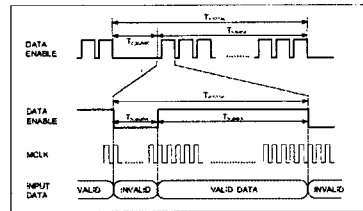


그림 14. LCC3600A의 Input Signal Timing 블럭

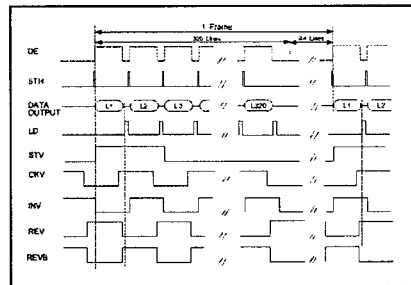


그림 15. LCC3600A OUTPUT Timing 블록

그림 14은 ARM922T에서 DMA로 넘어오는 데이터를 Main clock와 data enable, control signal로 나누어준다. LCC3600A로 넘겨진 데이터를 출력부분(그림 15)에서 다시 TFT-LCD에 맞게 data enable와 data, clk, control signal등을 재생 시켜준다.

(2). 240\*320 TFT-LCD의 Timing 블럭도

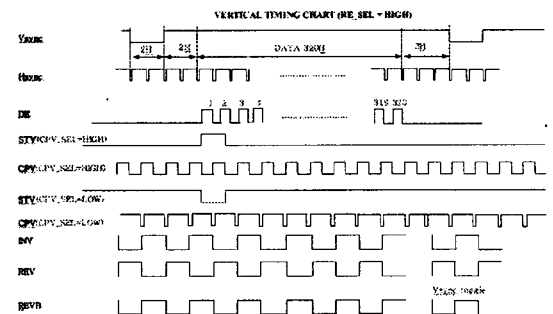


그림 16. 240\*320 TFT-LCD의 수직 Timing 블록  
그림 15에서 넘겨진 data와 control signal를 받아

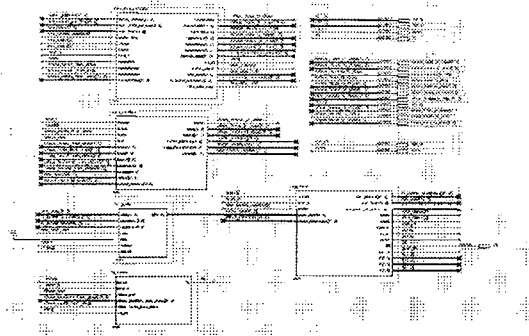


그림 17. DMA Controller와 TFT-LCD드라이버 로직  
그림 16의 Timing 블록도처럼 TFT-LCD에 표현되어진다.

(3). TFT-LCD IP 하드웨어

그림 17은 본 논문에서 구현된 DMA Controller와 TFT-LCD를 구동할수있도록 만들어진 드라이버 로직. 그리고, SoC에 포함되어있는 PLD인터럽트부분을 사용할수있도록 하였다.

III. 실험 결과

본 논문에서는 영상을 캡처하여 FIFO에 임시저장하고 그걸 ARM992T에 전송할수있도록 영상캡처 IP를 구현하였고, 또한, 카메라가 이동할수있도록 직각좌표로봇을 구현하였다. 이러한 영상을 표시하기위해 240\*320의 TFT-LCD를 사용하였다. ARMT922T에서 TFT-LCD로의 영상데이터는 DMA-Controller로 DMA를 통해 전송되게 하였다.

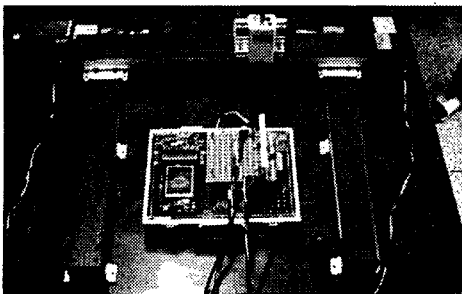


그림 18. 실제 실험에서 사용된 하드웨어

IV. 결론

본 논문에서는 특정구간에서의 이동으로써 직각좌표로봇 IP와 그 구간을 시각적으로 볼수있도록 영상캡처IP를 구현하였지만, 향후 다양한 IP를 개발하여 기존의 복잡한 회로구현으로부터 벗어나 간단한 SoC칩 하나로 모든 회로가 구현될것이라고 본다.

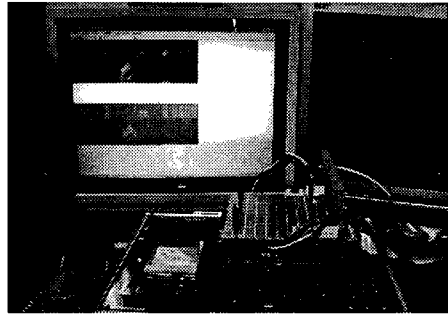


그림 19. PC상의 디버거용 어플리케이션

참고문헌(또는 Reference)

- [1] Verilog HDL, Samir Palnitkar, 영한출판사
- [2] C가 미는 로봇트, 신경환, Ohm사
- [3] VHDL 기본과 활용, 박세현, 그린사
- [4] The Verilog Golden Reference Guide, Doulos
- [5] 최신 MPEG, 후지와라히로시, 일본멀티미디어 통신 연구회
- [6] Turbo C 언어, 김영식의, 미성출판사
- [7] 마이크로프로세서기반 SoC 설계실습, 서울대학교 반도체 공동연구소
- [8] Artera FPGA를 교육 및 디지털 회로설계, 한국소프트웨어 진흥원
- [9] Jean J. Labrosse, 성원호 역, "Embedded Systems Building Blocks, Second Edition Complete and Ready-to-Use Modules in C", CMP Books Lawrence, KS 6604, 에어콘 출판사, 2002.
- [10] ALTERA MAX+PLUS II를 사용한 디지털 논리 회로 설계의 기초와 활용, 이승호외, 북두출판사, 2000.