

# 홈 RF 무선 센서를 위한 DS-QPSK 모듈의 설계 및 칩 제작

이 영 동, \*이 원 기, \*\*전 수 현, \*\*\*정 완 영  
동서대학교 소프트웨어전문대학원, \*동서대학교 정보시스템공학부,  
\*\*(주)씨어테크, \*\*\*동서대학교 인터넷공학부  
전화 : 051-320-1756 / 핸드폰 : 011-814-5261

## A DS-QPSK Chip Design and Fabrication for Home RF Wireless Sensors

Young-Dong Lee, Won-Ki Lee, Soo-Hyun Jun, Wan-Young Chung  
Graduate School of Software DongSeo University, \*Division of Information System Eng.,  
\*\*SEER Technologies Inc., \*\*\*Division of Internet Eng.  
E-mail : home@ubiu.com

### Abstract

This paper introduces a modulation method for digital wireless communication based on general DS-QPSK. The design and fabrication is for home networking application to a typical RF transmitter with DS-QPSK modulator. This modulator implemented using VHDL hardware programming language, the fabrication of IC chip 5x5 mm<sup>2</sup> was carried by 27th IDEC MPW(Multi Project Wafer) process in 0.35μm rule at Samsung Inc. This paper presented the important of this technology for the future application in wireless sensor. This module can be efficient usage for home network to transmit the RF wireless sensor system.

### I. 서론

최근 네트워크 기술이 발전함에 따라 무선 센서 분야는 차세대 핵심 기술로 부각되고 있으며, 특히 홈 네트워킹 분야에서 다양한 센서 모듈을 지원하기 위한 무선 응용 제품의 개발이 본격화되고 있다.

본 논문에서는 여러 가지 센서 정보를 유선이 아닌 설치와 관리가 쉬운 무선으로 구현하기 위해 만들어진 RF 무선 센서의 송신 부분을 디지털 무선 통신에서 일반적으로 사용되는 DS-QPSK 변조 방법을 이용

하여 모듈의 설계 및 칩을 제작하였다.

DS-QPSK는 기본적으로 디지털 기저 대역 형식인 RZ(Return to Zero), 디지털 변조인 IQ 변조 이유 및 표현 방법, 차동 엔코더, 직접 코드 확산방법, 직접 디지털 주파수 합성기(DDFS)로 구분된다.

DS-QPSK 모듈의 설계 및 칩 제작은 먼저 Altera MAX-plus II Tool를 사용하여 회로를 VHDL로 기술한 후 Synopsys의 설계 컴파일러로 합성, 출력된 것을 게이트 수준의 시뮬레이션을 하고 PAD를 붙였으며, Cubic Ware를 이용해 검증된 소스를 Apollo 배치 및 라우터 툴을 사용하여 레이아웃 하였다. 이를 삼성 0.35μm 반 주문형, 5x5mm<sup>2</sup> 칩으로 제작 완료함으로써, 홈 내의 RF 무선 센서를 위한 효율적인 시스템을 제시하고자 하였다. 또한, DS-QPSK 모듈의 설계 및 칩 제작 과정과 직접적인 하드웨어 테스트를 통하여 시뮬레이션 파형과 비교 분석하였다.

본 논문에서는 DS-QPSK의 전체 블록도, 기본적인 QPSK의 개요와 시스템 개발 환경의 설계 및 분석을 서술하고 시뮬레이션 분석으로 결과를 맺는다.

### II. 시스템의 구조와 기능.

#### 2.1 DS-QPSK 전체 시스템

전체 시스템은 디지털 기저대역 형식인 RZ, 차동 엔코더, 대역확산방식(Spread Spectrum)의 직접 코드 확산 방법, 직접 디지털 주파수 합성기(Direct Digital

Frequency Synthesizer : DDSFS), QPSK(Quadrature PSK)으로 구성되어 있다.

DS-QPSK 전체 블록도 및 QPSK에 대한 기본적인 구조를 그림 1과 그림 2에 나타내었다.

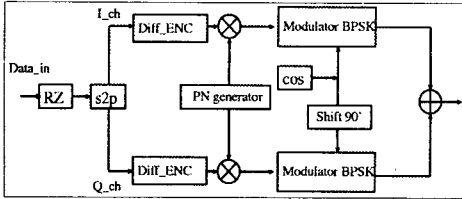


그림1. DS-QPSK 전체 블록도

### 2.2 차동 엔코더

표 1은 직렬로 입력되는 데이터가 I 와 Q 병렬로 변환되고 차동 엔코더(Differential Encoder)에서의 DQPSK를 위한 엔코딩 규칙과 위상관계를 보여준다.

표 1. DQPSK를 위한 엔코딩 규칙과 위상관계

New Input In(I,Q) <sub>k</sub>	Previously Encoded Out(I,Q) <sub>k-1</sub>			
	0,0	1,0	1,1	0,1
0,0	0,0	1,0	1,1	0,1
1,0	1,0	1,1	0,1	0,0
1,1	1,1	0,1	0,0	1,0
0,1	0,1	0,0	1,0	1,1

차동 엔코더에서는 새로 송신할 데이터가 00(I 채널 데이터 =0', Q 채널 데이터 =0')이면 바로 전에 송신한 신호를 똑같이 보내고, 10 이면 바로 전에 송신한 신호를 90° 회전시켜 송신하고 11이면 180°, 01 이면 270° 또는 -90° 회전시켜 보내게 된다. I, Q 데이터의 위상관계는 (I, Q) 데이터가 00인 경우 1 상한, 10인 경우 2 상한, 11인 경우 3 상한, 01인 경우 4 상한을 가리킨다. 이렇게 정의 한 이유는 차동 엔코더해서 송신할 경우 복조부에서 차동 복조를 한 후 그 결과인 dot, cross의 부호(sign)만을 취해 원래 송신된 데이터를 복원해 낼 수 있기 때문이다.

### 2.3 PSK 위상 편이 변조

PSK 위상 편이 변조에서의 0을 전송하고자 하는 경우  $Acos(\omega_0t + 0^\circ)$ 의 반송파를, 1을 전송하고자 하는 경우에는  $Acos(\omega_0t + 180^\circ)$ 을 전송하거나 또는 그 반대로 전송한다. 즉, 0과 1을 전송할 때 180° 위상차가 있는 반송파를 전송하는 방식(0과 1에 따라 진폭과 주파수는 같고 위상만 다른 반송파가 전송되는 방식)이다.

#### 2.3.1 QPSK(Quadrature PSK) 개요

입력신호를 직병렬 변환회로에 의해 2개(I, Q)의 신호열로 나눈 후, 위상차가 90도인 2개의 반송파(cosine 파와 sine파)로 각각 BPSK 변조한다. 그리고 각각의 변조신호가 가산기에서 합쳐져 QPSK가 되는 과정을 그림 2에서 보여준다.

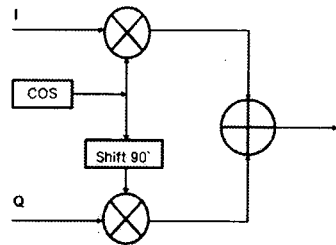


그림 2. 기본적인 QPSK 구조

이때 일반적으로 cosine 파를 곱한 측의 신호를 I 신호, sine 파를 곱한 측의 신호를 Q 신호라고 부른다. 동일한 주파수 대역폭에서 BPSK에 비해 2배의 정보를 전송할 수 있다.

## III. 시스템 개발 환경

### 3.1 DS-QPSK 설계 및 분석

본 논문은 디지털 무선 통신에서 사용되는 DS-QPSK 변조방법을 이용해 통신용 모델을 설계한 것으로 먼저 Altera MAX+plus II Tool를 사용하여 회로를 VHDL로 기술한 후 ModelSim 시뮬레이터로 Functional 시뮬레이션을 거치고 그림 3에서와 같이 Synopsys의 설계 컴파일러로 합성 한 후 출력된 것을 게이트 수준의 시뮬레이션을 하고 PAD를 붙였다.

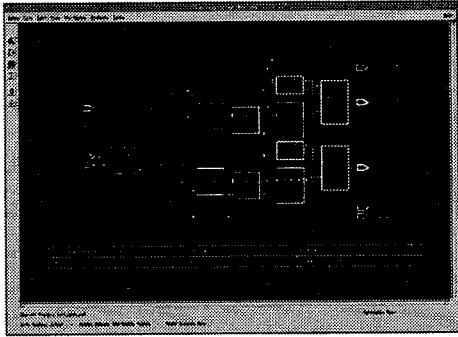


그림 3. Synopsys 합성 결과

표 2. 시스템 설계 공정 내용

구분	내용
설계 공정	Samsung 0.35 $\mu$ m CMOS 1 poly 4 metal
pin 사용 수	208pin 중 51pin 사용
Gate 수	3400gate(2-input NAND gate를 1개 gate)
Total Delay	28.32ns
Input system Clock	최대 180MHz

표 2에서는 제작된 DS-QPSK 모듈의 시스템 설계 공정 내용을 나타낸다.

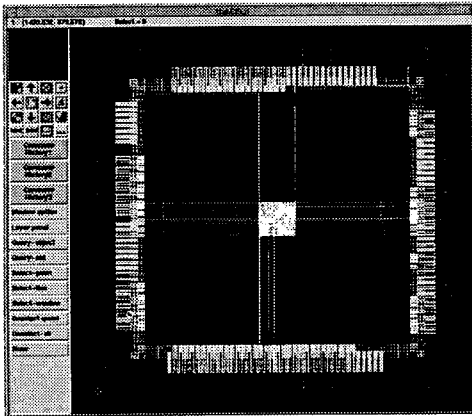


그림 4. Chip Design Layout

Cubic Ware를 이용해 검증된 소스를 Apollo 배치 및 라우터 툴을 사용하여 그림4와 같이 레이아웃을 하였으며, Samsung 0.35 $\mu$ m CMOS 1 poly 4 metal 공정으로 하여 ASIC으로 구현하였다. 공정에서 사용 가능한 pin 수 208pin 중 본 설계에서 사용된 pin 수는 51pin 이 사용되었고, 최대 동작 클럭은 180MHz,

게이트 수는 약 3400여개 게이트가 사용되었다.

### 3.2 DS-QPSK 시뮬레이션 결과 분석

그림 1의 DS-QPSK 전체 블록도에서 입력 신호는 입력 신호는 "11000010101110101101", 3276800ns 주기를 가지는 bit 가 입력되어지며, 입력 클럭 주파수는 10kHz이다.

입력신호가 들어오면 RZ 변환부분이 있는 모듈은 RZ\_OUT\_z 라는 출력 단으로 변환된 신호로 출력되어지며, 변환은 입력 신호가 '1' 이면 신호의 1/2만 'high' 로 만들고 나머지 부분은 'low' 값으로 출력된다. RZ 변환 부분이 없는 모듈은 입력신호를 그대로 입력으로 받게 된다.

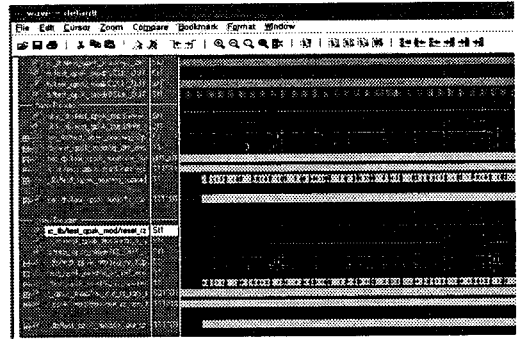


그림 5. DS\_QPSK 입력 신호 변환

그림 5는 입력 신호의 변환을 시뮬레이션 파형으로 보여준다. s2p에서 입력신호를 감지하는 기준 클럭은 SCLK\_OUT이며, 이 신호의 주기는 1638400ns 이다. 입력 Data 는 SCLK\_OUT 클럭보다 2배 느린 3279800ns 의 신호가 들어온다.

s2p에서 I 채널과 Q 채널로 분리된 신호를 차동 엔코딩으로 신호 변환하게 되며, 현재 들어온 신호와 과거신호의 위상 값을 비교해서 변화된 위상 값을 나타낸다.

그림 1의 DS-QPSK 전체 블록도에서 입력 data 클럭은 305bps 일 때, 출력 신호가 그림 6과 같이 78125bps 마다 위상이 180° 반전될 수 있는 결과를 확인할 수 있었다.

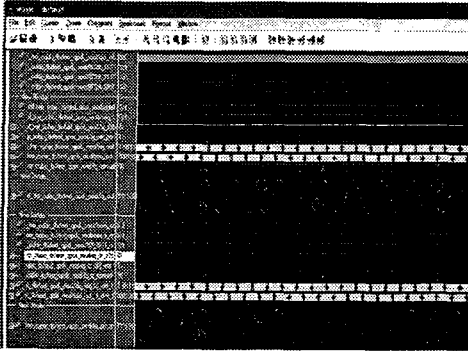


그림 6. DS-QPSK 설계 결과 시뮬레이션

또한, 제작된 칩의 테스트 및 검증과정은 칩 동작 전압은 3.3V, 입력 신호는 01의 Binary 값으로 입력 하였으며, 입력 신호의 RZ 변환에 의한 I\_channel과 Q\_channel에 대한 출력 파형은 그림 7과 같이 확인할 수 있었다.

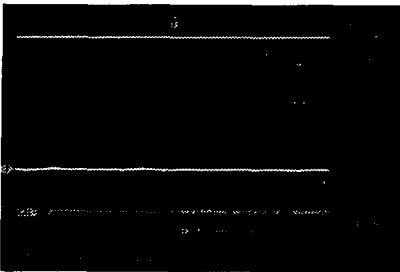


그림 7. I\_channel 출력 파형

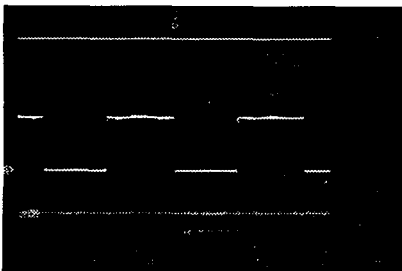


그림 8. Q\_channel 출력 파형

대역 확산에서의 Gold 코드로 7bit인 127개의 길이를 갖는 PN 코드 생성은 그림 9와 같은 출력 파형의 결과를 얻었다. QPSK 변조 파형에 대한 최종 출력 파형의 테스트 및 검증은 현재 진행 단계에 있다.

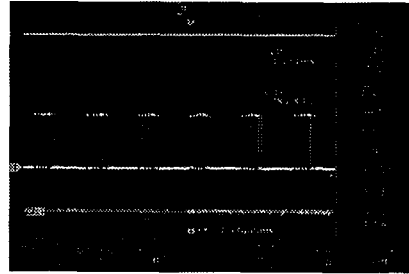


그림 9. PN 코드 생성 출력 파형

#### IV. 결론

본 논문은 무선 통신에서 사용되는 차동 엔코딩과 대역확산방식을 이용해 DS-QPSK 변조 방법을 이용한 모듈의 설계 및 칩 제작 등에 관하여 서술하였다. 또한, DS-QPSK 모듈의 설계에 대하여 VHDL언어로 설계하고, 칩 제작을 위해 27회 IDEC MPW의 삼성 0.35 $\mu$ m 반 주문형, 5 $\times$ 5mm<sup>2</sup>의 공정 과정을 거쳤다.

제작된 칩은 각 블록별로 테스트 및 분석하였으며, 구현된 모듈에서는 차후 디지털 필터, FFT, 직접 디지털 주파수 합성기(DDFS)가 추가 될 예정이다.

본 논문은 차세대 핵심 기술로 부각되고 있는 무선 센서 개발을 위해 적용될 예정될 예정이며, RF 무선 센서 시스템을 위한 송신부 제작에 효율적으로 활용될 수 있을 것이다.

#### 참고문헌

- [1] 김영준, 개선된 구조의 CORDIC 연산기를 이용한 직접 디지털 주파수 합성기, 연세대 대학원 석사논문, 2000.
- [2] Harold B. Killen, Digital Communications with Fiber Optics and Satellite Applications, Prentice-Hall International, pp.118-126, 1988.
- [3] Steven A. Gronemeyer, Alan L. McBrige, "MSK and Offset QPSK Modulation", IEEE Transactions on Communications, no. 8, August 1976, pp. 809-820.
- [4] John D. Oetting, A Comparison of Modulation Techniques for Digital Radio, vol. 27, no. 12, December 1979, pp. 1752-1762.