

전류 방식 MRAM의 데이터 감지 기법

김 범 수, 조 충 현, 황 원 석, 고 주 현, 김 동 명, 민 경 식, 김 대 정
국민대학교 전자공학부 IC설계 연구실
전화 : 02-910-5173

Sensing scheme of current-mode MRAM

Bumsoo Kim, Chung-Hyung Cho, Won Seok Hwang, Ju Hyun Ko,
Dong Myong Kim, Kyeong-Sik Min and Daejeong Kim

Integrated Circuit Design Laboratory
Kookmin University
E-mail : kimdj@kookmin.ac.kr

Abstract

A sensing scheme for current-mode magneto-resistance random access memory (MRAM) with a 1T1MTJ cell structure is proposed. Magnetic tunnel junction (MTJ) resistance, which is HIGH or LOW, is converted to different cell currents during READ operation. The cell current is then amplified to be evaluated by the reference cell current. In this scheme, conventional bit line sense amplifiers are not required and the operation is less sensitive to voltage noise than that of voltage-mode circuit is. It has been confirmed with HSPICE simulations using a 0.35- μm 2-poly 4-metal CMOS technology.

I. 서론

Magneto-resistive random access memory (MRAM)는 비 휘발성, 고속, 저 전력 그리고 반영구적인 수명 등의 장점으로 차세대 메모리로 우위를 점하고 있다. 이러한 MRAM은 최근 반도체 선진국에서 활발하게 연구되고 있고 이미 몇 곳에서는 test chip을 개발하여 제품 개발에 박차를 가하고 있다. Magneto tunnel junction (MTJ) 저항을 사용한 셀의 경우, 셀 저항 양

단에 걸리는 전압이 일정 전압 이상으로 인가되면 MR ratio는 줄어든다.[1] 이에 따라 전압모드에서의 sensing margin이 줄어드는 한계를 갖는다. 본 논문에서는 MTJ 저항 셀 데이터를 셀 전류로 변환하여 sensing 함으로써 sensing margin을 크게 확보하고, 1T1MTJ의 셀 구조가 가능할 수 있는 전류모드 회로 기법을 소개한다. 특히, 전류모드 회로의 sensing margin을 많이 확보하기 위해 선택된 셀의 위치에 따라 발생하는 오차를 tracking 하는 기준 전류를 발생하며 셀 전류를 증폭하는 방안을 제시함으로써, 주변 회로의 칩 면적이나 동작속도 측면에서도 전압모드와 비교될 수 있는 수준의 동작을 보여준다.

II. Sensing scheme

본 논문에서 제안하는 sensing scheme은 그림 1과 같이 current switch, current switch enable (CSE), N 배 current mirror, 전류 비교기, 기준 전류 발생기로 구성되어 있다. Active 신호와 Read 신호에 의해 CSE 와 word line(WL)이 선택되어 bit line에 current path가 형성되면, bit line에 바이어스 전압 (V_{bias})이 인가되는 트랜지스터들은 saturation 영역에서 동작한다. 이때 saturation 영역에서 동작하는 트랜지스터의 게이트와 소스의 전압이 셀에 저장되어 있는 MTJ의 저항

값 [High 저항(R_H), Low 저항(R_L)]에 따라 차이가 생겨 셀 데이터에 의한 전류 (I_{bitH} 과 I_{bitL}) 차이가 발생한다.

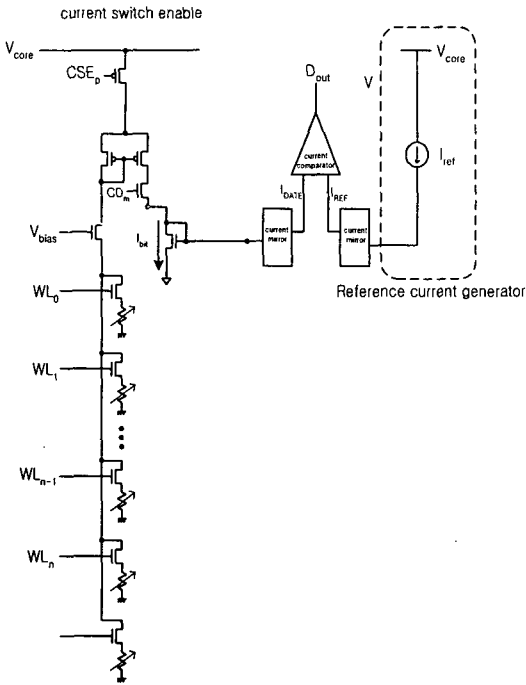


그림 1. 1T1MTJ 셀을 채택한 전류모드 셀의 sensing scheme

두 전류(I_{bitH} 과 I_{bitL})의 차이는 약 수십 μA 정도이므로 두 전류의 차이를 키우기 위해 I_{bitH} 과 I_{bitL} 그리고 기준 전류 모두를 같은 비율로 current mirror에서 증폭한다. Bit line에 흐르는 전류와 같은 크기의 전류는 column switch(CD)가 선택된 트랜지스터를 통해 N배 current mirror에서 증폭된다.

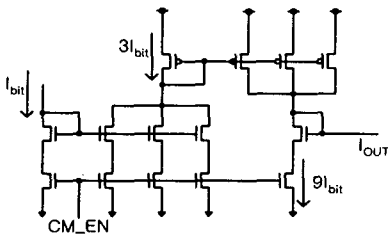


그림 2. Current mirror

그림 2는 current mirror의 회로이다. 두 전류의 차이가 sensing 할 수 있을 정도의 충분한 크기를 가지게 하기 위해 입력 전류는 3배씩 두 단으로 증폭되고 입

력의 9배에 해당하는 전류가 전류 비교기로 인가된다. 이로 인해 7 μA 정도의 작은 전류 차이를 수십 μA 의 차이로 키울 수 있다. Current mirror enable (CM_EN) 신호는 CD가 선택되고 난 후에 동작하고 sensing을 위한 충분한 시간 후에 차단되어 흐르는 전류의 소모를 최소화 한다.

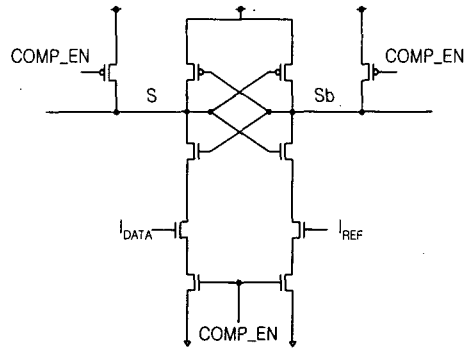


그림 3. 전류 비교기

그림 3에 전류 비교기의 current comparator enable (COMP_EN) 신호는 Read 동작이 아닌 구간에서 Low 상태로 되어 S와 Sb를 VDD로 precharge 시켜 놓는다. Read 동작 시 current mirror에서 CM_EN신호가 enable 되면, 약간의 delay 이후 전류 비교기가 동작한다. COMP_EN 신호가 들어오면 VDD로 충전을 하던 path는 끊어지고, 아래쪽의 n형 트랜지스터가 ON되어 전류가 흐를 수 있는 path를 만들어 준다. VDD로 충전된 상태에서 IDATE 전압과 IREF 전압이 인가되어지면 두 트랜지스터에는 전류가 흐르게 되고 이때 두 전류에 크기가 큰 쪽이 Low 값을, 적은 쪽이 High로 되어 데이터를 판별하게 된다. S와 Sb는 latch 구조로 되어 있어 빠른 동작을 할 수 있다.

III. 기준 전류 발생기

Bit line에 흐르는 전류의 값이 High인지 Low인지를 sensing하기 위해서는 기준 전류가 필요하다. 또한 WL이 선택되는 위치에 따라 current switch와 셀까지의 bit line 길이에 따른 기생저항의 크기가 바뀌게 된다. 이로 인해 발생할 수 있는 오차를 최소화 하며, tracking 할 수 있는 구조의 기준 전류 발생기가 필요하다.

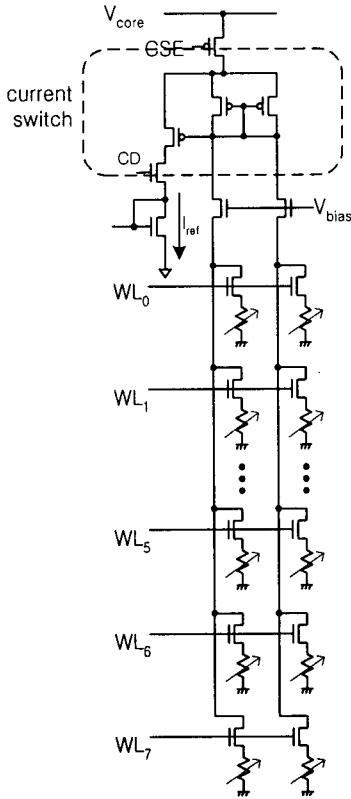


그림 4. 기준 전류 발생기

그림 4는 제안하는 기준 전류 발생기이다. 기준 전류 발생기에 2개의 bit line 중 한쪽 bit line MTJ 셀에는 R_H 가 저장되어 있고 다른 쪽에는 R_L 가 저장되어 있다. 바이어스 전압(V_{bias})이 인가되어 있는 두개의 트랜지스터는 saturation 영역에서 동작하고, WL이 선택되면 전류 path가 형성되어 바이어스가 인가된 두 트랜지스터에는 전류가 흐르게 된다. M2와 M3에 흐르는 전류는 두 셀에 흐르는 전류의 합과 같다. 그리고 M2과 M2에 흐르는 전류는 같으므로 출력전류 다음 식과 같다.

$$I_{REF} = \frac{I_{bitH} + I_{bitL}}{2} \quad (식1)$$

CD가 선택되면 M2, M3 트랜지스터에 흐르는 전류는 M1 트랜지스터에 흐르게 된다. Current mirror로 입력된 기준 전류는 데이터 전류와 동일한 구간을 거쳐 전류 비교기로 입력된다. Current switch와 가까운 쪽의 셀이 선택된 경우와 멀리 떨어진 쪽의 셀이 선택된 경우에 bit line에 흐르는 전류는 bit line 길이의 차이로 인해 오차가 발생할 수 있다. 셀에 흐르는 데이터 전

류(I_{bitH} , I_{bitL})와 기준 전류의 차이는 매우 작으므로, bit line에 길이에 대한 전류의 오차는 데이터를 감별하는데 어려움을 줄 수 있다. 따라서 기준 전류가 항상 일정하다면, 선택된 셀의 위치에 따른 bit line 전류의 변화로 인해 기준 전류와의 차이가 변화한다. 이러한 문제점을 보완하기 위해 제안하는 기준 전류 발생기는 bit line 셀과 같은 수의 셀을 사용하고 같은 위치의 셀을 선택한다. 그러므로 셀 위치에 따른 bit line 길이의 차이로 인한 데이터 전류의 변화가 기준 전류에도 tracking되어 데이터 전류와 기준 전류의 차이가 일정하게 유지된다.

IV. 시뮬레이션 결과

설계된 회로의 동작을 검증하기 위한 시뮬레이션은 0.35 μ m 표준 CMOS 공정에서 HSPICE를 사용하고 셀의 sensing 동작을 CMOS 공정에서 확인하고 제작하기 위하여 1T1MTJ 셀의 CMOS macro model을 사용하였다.[2]

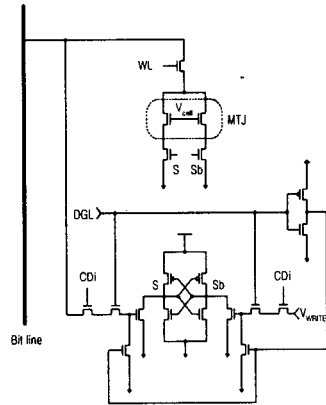


그림 5. 1T1MTJ cell macro model

그림 5는 1T1MTJ 셀의 CMOS macro model이다. M1, M2 트랜지스터가 linear 영역에서 동작하여 MTJ 저항을 나타내고, 이때의 저항은 R_H 가 4k Ω , R_L 는 3k Ω 로 MR ratio 30%에 해당하는 값을 모델링 하였다. Write 동작 시에는 latch에 데이터가 저장되고, 그 저장된 데이터에 따라 노드 S와 Sb가 MTJ 셀 아래에 있는 스위치 트랜지스터를 ON, OFF 시켜서 1개의 저항을 선택하게 된다.

V. 결론

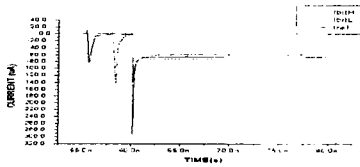
본 논문에서는 bit line 전류와 기준 전류를 N배 current mirror에서 증가시켜 작은 전류 차이를 크게 하는 current-mode MRAM의 sensing scheme을 제안한다. 또한 각각 선택된 셀의 위치에 따라 bit line 길이가 바뀌게 되고, 이로 인해 발생하는 데이터 전류의 오차를 기준 전류가 tracking 하여 두 전류 차이의 변화를 최소화하는 기준 전류 발생기를 제안하였다.

VI. Acknowledgment

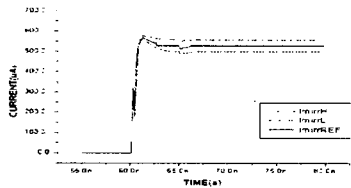
본 논문은 한국과학재단의 특정기초 연구지원에 의한 것이며 IDEC(IC design education center)의 디자인 소프트웨어 지원에도 깊은 감사를 드립니다.

참고 문헌(또는 Reference)

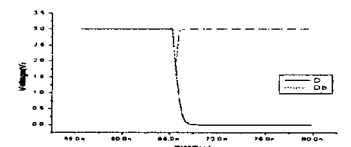
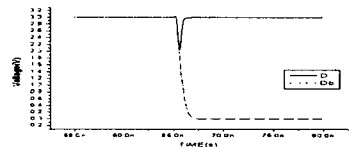
[1] Edward K. S. Au et al., "A Novel Current-Mode Sensing Scheme for Magnetic Tunnel Junction MRAM," IEEE Trans. Magn., VOL. 40, NO.2, March 2004.
 [2] Cho C. H., Ko J. H., Kim D. J., "A CMOS Macro-Model for MTJ resistor of MRAM cell," International Symposium on Magnetic Material, SOMMA 2003, Dec. 3-6, 2003.



(a) 데이터 전류와 기준 전류



(b) Current mirror에서의 데이터 전류와 기준 전류



(c) 전류 비교기의 출력 전압

그림 6. Sensing 동작 시뮬레이션 결과

그림 6은 sensing 동작의 시뮬레이션 결과이다. 먼저 그림 6(a)는 bit line에 흐르는 데이터 전류(I_{bitH} 와 I_{bitL})와 기준 전류 발생기에 흐르는 기준 전류(I_{ref})이다. Bit line에 흐르는 데이터 전류의 크기는 R_H 의 경우 I_{bitH} 은 $58\mu A$, R_L 의 경우 I_{bitL} 은 $72\mu A$ 이다. 이때 기준 전류의 크기는 $65\mu A$ 이다. bit line에 흐르는 전류가 매우 작아 MTJ 양단에 걸리는 전압이 작게 되어 셀에 대한 신뢰성을 높였다. 그림 6(b)는 current mirror에 흐르는 전류의 크기를 보여준다. 그림 (a)의 데이터 전류와 기준 전류의 차이가 약 $7\mu A$ 로 작았지만 current mirror를 통해 흐르는 전류는 R_H 의 경우 I_{bitH} 은 약 $500\mu A$, R_L 의 경우 I_{bitL} 은 약 $570\mu A$ 로 증가하게 되고, 이때 기준 전류의 크기는 약 $535\mu A$ 이다. 그림 6(c)는 전류 비교기에서 기준 전류와 데이터 전류를 비교하여 전압으로 나타내는 그림이다. 전류 비교기가 동작하게 되면 S와 Sb 양 단간의 전압은 VDD에서 데이터 전류와 기준 전류로 인해 떨어지게 된다. 두 전류의 크기에 따라 감소하는 전압의 크기가 달라지고 두 전압의 차이가 커지면 latch구조로 인해 빠르게 Low와 High로 동작하는 것을 확인할 수 있다.