

IEEE 802.11a Wireless LAN용 채널부호화기 및 비터비 디코더의 구현

변 남 현 , 정 차 근

호서대학교 전기정보통신공학부 정보제어전공

전화 : (041) 540-5389 / 팩스 : (041) 540-5380

Implementation of Chanel Encoder and Viterbi Decoder for the IEEE 802.11a Wireless LAN

Nam-Hyun Byun , Cha-Keon Cheong

The School of Electrical Engineering, Hoseo University

e-mail : andrea_1113@hotmail.com

Abstract

In this paper we present about implementation of channel coder and Viterbi decoder for Mobile communication & IEEE 802.11a Wireless LAN. In the IEEE 802.11a Wireless LAN decoding provided that Viterbi algorithm and convolutional encoder by constraint $k=7$, $(133_8, 171_8)$ for channel error correction. This paper presents a novel survivor memory management and decoding techniques with sequential backward state transition control in the trace-back Viterbi decoder, In order to verification we provide to the examples of circuit design and decoding results.

I. 서론

통신기술의 획기적인 진전에 따라 데이터 전송속도가 고속화되어, 수십 Mbps급 무선통신이 이미 실용화 되어 있다[1]. 또한, 최근에는 100Mbps 이상의 무선통신 시스템 구현을 위한 연구가 활발히 진행되고 있으며, 무선 대역폭의 높은 사용밀도로 인해 인접 채널간의 신호간 간섭이나 멀티패스 페이딩 등의 영향이 증대하고 있어, 보다 강인한 채널오류의 검출과 정정에 대한 필요성으로 인해 관련된 많은 연구가 이루어져 왔다[2].

길쌈부호기(Convolutional Coder)는 간단한 구조와 높은 부호이득을 갖는 가변 전송율을 구현할 수 있는

코더의 개발과 최적복호가 가능한 이론적인 알고리즘이 알려져 있어, 다양한 디지털 통신 시스템의 채널 부호화기로 사용되고 있다. 비터비 알고리즘(Viterbi algorithm : VA)은 길쌈 부호기에 의한 채널부호의 최적복호를 구현하기 위한 방법으로, 그 응용범위가 채널오류의 검출 및 정정뿐만 아니라 채널등화 및 심볼간 간섭(Inter-Symbol Interface, ISI)의 제거, 저장매체의 재생 등으로 확대되고 있다.

VA는 채널로부터 잡음이 포함된 수신 데이터들의 모든 경로를 탐색한 후, 부호어와 유사성(likelihood)이 가장 높은 경로를 따라 상태를 선택하여 데이터를 보호하는 방법으로, 경로 탐색시 유사성이 적은 경로를 제거하고 최적의 유사성을 갖는 경로만을 탐색해서 수신 데이터로부터 부호기의 상태를 추정해서 검출하는 최우추정(Maximum Likelihood : ML) 복호 알고리즘이다. 이하 본 논문에서는, 먼저 2절에서 길쌈부호기의 기본동작에 관해 언급한다. 다음으로 3절에서는 비터비 복호기로서 본 논문에서 제안 하는 알고리즘의 동작원리 및 구성에 관해 설명한다. 4절에서는 제안방식의 시스템 구현과 구체적인 예를 들어 동작과정의 결과를 제시하고, 실제 시스템의 적용으로 IEEE 802.11a WLAN의 VHDL코딩결과를 제공한다. 끝으로 본 논문의 간단한 결론을 5절에서 기술한다.

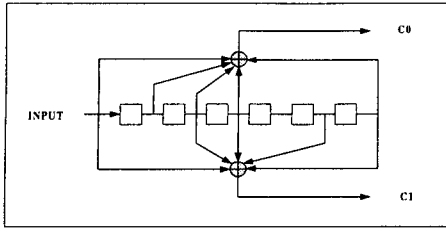


그림 1. 부호율 1/2, 구속장 7인 길쌈부호기

II. 길쌈부호기(Convolutional coder)

구속장이 K 이고 $R=k/n$ 인 길쌈부호기는 $k \cdot K$ 개의 스테이지로 구성된 쉬프트 레지스터와 생성계열에 따라 이루어진 n 개의 이진 가산기로 구성되어 k/n 의 부호율로 k 개의 입력에 대해 n 개의 데이터가 출력된다. 구속장은 현재의 정보에 영향을 미치는 정보의 비트수를 의미하며 컨벌루셔널 생성계열은 이진가산기와 쉬프트 레지스터간의 연결정보를 담고 있다. 입력된 정보비트 k 에 대해 부호화된 출력비트 n 의 비율을 부호율이라 하며 $R=k/n$ 또는 (n, k) 으로 표현한다.

그림 1은 IEEE 802.11a WLAN용 길쌈부호기를 나타낸 것이다. 길쌈부호기는 구속장 $k=7$ 로 정의되고 기본 부호율 1/2로부터 데이터 전송율에 따라 2/3, 3/4의 부호율을 가진다. 길쌈부호기에서 부호어를 생성하기 위한 생성다항식은 다음 식 (1)로 정의된다.

$$g1 = 133_8 = 1011011_2 = 1 + x^2 + x^3 + x^5 + x^6$$

$$g2 = 171_8 = 1111001_2 = 1 + x^1 + x^2 + x^3 + x^6 \quad (1)$$

부호화 과정을 살펴보면 0으로 초기화 된 D-플립플롭의 내용은 모두 한 비트 오른쪽으로 옮기고 입력정보를 입력단의 D-FF에 넣는다. 그런 후 첫 번째 생성다항식 $g0$ 에 의해 연결된 EX-OR게이트를 통해 코드워드 $C0$ 를 생성하고, $g1$ 에 의해 연결된 EX-OR게이트를 통해 $C1$ 을 생성하게 된다.

III. 역방향 상태천이의 순서적 제어에 의한 역추적

디코딩

Viterbi 알고리즘은 BM(Branch Metric)과 PM(Path Metric)이라는 변수를 통해 최대유사 디코딩을 수행한다. BM은 상태천이도에 의해 생성된 기준데이터와 송신된 데이터와의 차를 구한 것으로 Hamming distance로 정의 된다. PM은 생존자 경로를 통해 전달된 연속

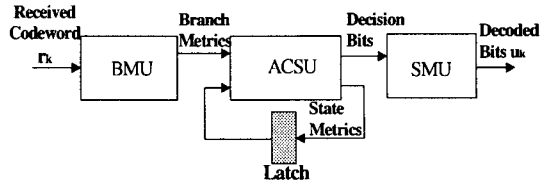


그림 2. Viterbi Decoder 전체구성

적인 BM의 합을 저장한다.

디코딩 과정은 상태천이도에 의해 각 상태에 대해 PM과 BM을 더해져 작은 값을 가지는 부분을 선택해 다시 PM에 저장하고 그 경로를 저장한다. 이런 과정을 통해 모여진 경로 데이터를 일정시간 후부터 다시 거슬러 올라가(traceback) 최소 경로를 찾아가게 된다. 이때 선택된 경로가 디코딩 결과로 출력된다.

비터비 디코더의 구조는 그림 2에서 보여 지는데 크게 BMG(branch metric generator), ACS(Add Compare Select), TB(Trace-Back)부분으로 구성된다.

BMG부는 입력데이터에서 BM(Branch Metric)값을 더해주는 부분이고, ACS부는 BM값과 이전 데이터에 의해 생성된 PM(Path Metric)값을 더해주고(add) 같은상태로 천이하는 두 값을 비교(Compare)해 상태천이 정보를 선택(Select)해 이 값을 TB부에 보낸다. TB부는 ACS부에서 보낸 결정비트를 저장하고 있다가 역추적(Trace-back)을 통해 Survival Path를 구하고 이 값을 결과 값으로 출력한다.

ACSU에서 출력되는 각상태의 생존경로에 관한 결정비트 d_k 를 기반으로 역방향의 상태천이를 연속적으로 제어함으로써 간단한 구조의 역추적 복호를 구현할 수 있다[3]. 이를 위해 먼저 사이클 타임 k 의 임의의 상태로부터 직전의 사이클 타임 $k-1$ 의 과거 상태로 복귀하는데 필요한 매핑관계를 보자. 길쌈부호기에서 4가지 상태의 트래일스도에 의한 연속되는 사이클 타임에서의 상태간 천이의 점속관계를 나타낸 것이 그림 3이다. 사이클 타임 k 의 각 상태 $s_{j,k}(j=0,1,2,3)$ 에 입력되는 가지는 상부가지(upper branch)와 하부가지(lower branch)의 2개로 구성된다. 이 때, 누적되는 경로 메트릭과 가지 메트릭의 합이 최소인 경로가 생존 경로로 선정되고, 상부 또는 하부의 경로가 선정되는 여부에 따라 "0" 또는 "1"의 값인 결정비트를 출력한다. 한편, 사이클 타임 $k-1$ 의 각 상태 $s_{j,k-1}$ 는

$$s_{k-1} = (x_{j1,k-1}, x_{j0,k-1}) \quad (2)$$

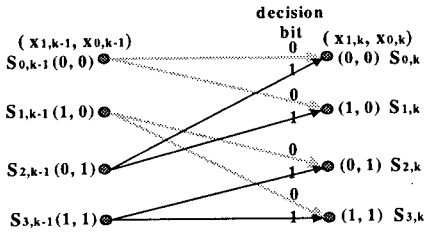


그림 3. 연속되는 사이클 타임에서의 트렐리스도에 의한 상태간 연결

이고, 사이클 타임 k 의 각 상태 $s_{j,k}$ 는

$$s_{j,k} = (x_{j1,k}, x_{j0,k}) = (u_k, x_{j1,k-1}) \quad (3)$$

이므로 $x_{j0,k-1}$ 은 사이클 타임 k 로 진행함 따라 길쌈 부호기의 레지스터에서 천이되어 빠져나가는 정보이다. 이 정보는 트렐리스도에서 상부가지 및 하부가지에 관한 정보를 나타낸다. 즉, 상부가지의 경우에는 $x_{j0,k-1} = 0$ 에 해당 (상태 (0,0) 및 (1,0))되고, 하부가지의 경우에는 $x_{j0,k-1} = 1$ 에 해당 (상태 (0,1) 및 (1,1)) 된다. 따라서 사이클 타임 k , 상태 j 의 생존경로를 나타내는 결정비트 d_k^j 는 부호기의 레지스터로부터 천이되어 빠져나가는 정보 $x_{j0,k-1}$ 과 동일한 값이 된다.

$$d_k^j = x_{j0,k-1} \quad (4)$$

이상의 과정으로부터 생존 메모리에 저장된 결정비트를 기반으로 역추적에 의한 복호는 상태간의 역방향 변화를 연속적으로 추적함으로써 가능하다. 즉, 사이클 타임 k 의 j 번째 상태 $s_{j,k}$ 에서 사이클 타임 $k-1$ 의 i 번째 상태 $s_{i,k-1}$ 로의 역방향 상태천이는 식 (3)과 (4)로부터

$$s_{i,k-1} = (x_{i1,k-1}, x_{i0,k-1}) = (x_{j0,k}, d_k^j) \quad (5)$$

의 관계가 되는 것을 알 수 있다. 이 과정을 복호값이 $L \geq L_{\min}$ 이상 반복하게 되면 사이클 타임 $k-L$ 에서 하나의 상태로 통합되게 되고, 이 때 각 상태는 동일한 비트 정보를 갖는다.

그림 4는 본 논문에서 제안하는 역방향 상태천이의 연속제어에 의한 역추적 비터비 복호기의 구조를 블록도로 나타낸 것이다. 제안방법에서의 SMU의 구성은

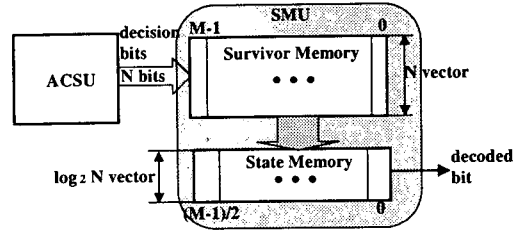


그림 4. 제안방법에 의한 역추적 디코더의 구성

결정비트를 저장하는 사이즈 $N \times M$ 의 생존 메모리와 $\frac{M+1}{2} \times \log_2 N$ 사이즈의 역방향 상태정보를 저장하는 상태 메모리로 구성된다. 이들 메모리는 ACU 처리 사이클 타임에 따라 메모리의 번지를 제어하는 별도의 제어회로를 요구하지 않는다. 따라서 천이 레지스터나 어드레스를 단순 감소 또는 증가시키는 RAM과 같은 외부 메모리를 사용해서 구성할 수 있다.

IV. 구현 및 실험 결과

3절에서 기술한 역방향 상태천이의 추적에 의한 비터비 디코더의 구체적인 성능을 검증하기 위해 초고속 무선 랜 규격인 IEEE 802.11a PHY 계층의 채널 부호화 및 복호에 적용했다. IEEE 802.11a PHY 계층에서는 채널 부호화로 구축장 $K=7$, 생성다항식 $G_0 = 133_8, G_1 = 171_8$ 인 길쌈부호기를 사용하고 있다. IEEE 802.11a WLAN에서는 다양한 통신 속도에 적응적으로 대응할 수 있도록 3종류의 부호율 R 과 8종류의 데이터 전송율을 규격으로 정의하고 있다. 데이터 전송율과 부호율의 관계를 표 1에 나타낸다.

표 1. IEEE 802.11a PHY 계층의 부호율과 데이터 전송율과의 관계

Data Rate [Mbps]	Modulation	Coding Rate (R)
6	BPSK	1/2
9	BPSK	3/4
12	QPSK	1/2
18	QPSK	3/4
24	16QAM	1/2
36	16QAM	3/4
48	64QAM	2/3
54	64QAM	3/4

채널 코덱의 구현에서 사용한 각종 메트릭의 word-length는 다음과 같다.

- 수신 부호어 : 4 비트 (부호비트 포함)
- Radix-2 가지 메트릭 : 부호를 갖지 않는 5비트
- Radix-4 가지 메트릭 : 부호를 갖지 않는 5비트
- 경로 메트릭 : 부호를 갖지 않는 8비트

또한, 역방향 상태천이의 제어에 의한 역추적 복호 수행을 위한 복호깊이 L 은 $L=25$ 의 값을 부호율에 관계없이 일정하게 사용했다.

HDL에 의한 모의실험에서 PN 시퀀스 생성기로부터 발생된 데이터를 길쌈부호기의 입력으로 사용하고, 채널 잡음은 인위적으로 생성시켜 부가되는 것으로 했다. IEEE 802.11a PHY 계층에서 정의된 전체 데이터 전송률 중에서, 본 알고리즘의 유효성을 검증하기 위해 3종류의 부호율 1/2, 2/3, 3/4과 이들 각각에 대한 데이터 전송률 24Mbps, 48Mbps, 54Mbps 등의 실험을 수행하고 그 결과를 그림 5에 나타낸다. 벡터파일의 입출력 신호는 다음 표 2와 같다. 이들 결과로부터, 디코더의 출력파형(t_sig_viterbi_out)은 복호깊이에 해당하는 지연시간 후 길쌈부호기의 입력신호(t_sig_psdu_in)와 일치되어 있음을 볼 수 있다.

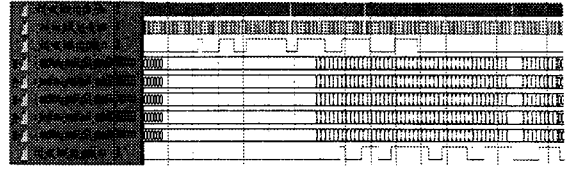
표 2. 벡터파일의 입출력 신호

입출력 신호명	설명
t_sig_ck_72m	길쌈 부호기의 출력 클럭
t_sig_ck_rate	비터비 디코더 클럭
t_sig_psdu_in	길쌈부호기 입력 데이터 파형
stateXX	SMU 역방향 상태천이 메모리의 최종 상태값 (전체 64 상태 중 XX = 00, 08, 16, 32, 63 만을 표시함)
t_sig_viterbi_out	비터비 디코더 출력

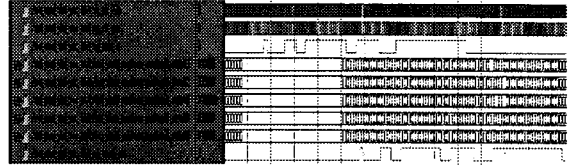
V. 결론

본 논문에서는 비터비 알고리즘에 의한 복호과정에서 생존 메모리의 제어에 의한 새로운 역추적 복호 알고리즘을 제시했다. 각 상태의 생존경로를 나타내는 결정비트는 ACS 사이클 타입에 동기되어 단순 천이 동작만으로 생존 메모리에 저장되고, 동시에 최적 생존경로를 따라 역방향의 상태추적이 이루어지면서 최종 단계에서의 상태정보로부터 복호 데이터가 출력되는 것을 입증했다.

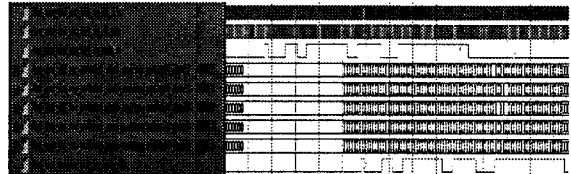
이와 같은 역방향 상태천이의 연속적인 제어에 의한 복호는 기존 역추적 방법에 비해, 전체 메모리 사용량이 적고 회로구성이 간단하다. 단일 Clock만으로 전체 복호과정이 이루어지고 메모리 제어를 위한 별도의 회로구성이 요구되지 않는 특성을 갖는다. 또한, 시스템력 어레이 구조에 의한 파이프라인 병렬구조에 의한 구성으로 고속연산이 가능해 통신 throughput을 향상시킬 수 있다. 구체적인 응용의 예로, IEEE 802.11a



(a). 24Mbps, R=1/2



(b). 48Mbps, R=2/3



(c). 54Mbps, R=3/4

그림 5. IEEE 802.11a 고속 무선랜 채널 코덱에 대한 HDL 코딩결과

고속 무선 랜 시스템에 적용해서 24Mbps 및 54Mbps에 대한 VHDL 코딩 결과를 제시했다.

참고 문헌

- [1] D. J. Costello, Jr, H. Hegenaur, H. Imai, and S. B. Wicker, "Applications of error control coding," IEEE Trans.Information Theory, Vol. 44, no.6, pp. 2531-2560, Oct. 1988.
- [2] A. Sabanmaria and F. J. Lopes-Hernandez, Wireless LAN : Standards and application, Artech House, 2001.
- [3] A. J. Viterbi and J. K. Omura, *Principles of digital communication and coding*, McGraw-Hill, NY, 1979.
- [4] H. Dawid, O. J. Joeressen, and H. Meyr, "Viterbi decoders: High performance algorithms and architectures," *Digital Signal Processing for Multimedia Systems* edited by K. Parhi and T. Nishitani, Marcel Dekker 1999.
- [5] H. Liou, "Implementing the Viterbi algorithm," *IEEE Signal Processing Mag.*, pp. 42-52, Sept. 1995.