

공진현상을 감소시키기 위한 효율적인 파워/그라운드 네트워크 디자인

류순걸, 어영선, 심종인
한양대학교 전자컴퓨터공학부
전화: 031-400-4086 / 팩스: 031-406-2974

An Effective Power/Ground Network Design of VLSI Circuits to Suppress RLC Resonance Effects

Soonkeol Ryu, Yungseon Eo, and Jongin Shim
Hanyang University, Dept. of Electrical and Computer Engineering, Ansan, Kyungki-do, Korea
E-mail : soonkeol@giga.hanyang.ac.kr

Abstract

This paper presents a new analytical model to suppress RLC resonance effects in power/ground lines due to a decoupling capacitor. First, the resonance frequency of an RLC circuit which is composed of package inductance, decoupling capacitor, and output drivers is accurately estimated. Next, using the estimated resonance frequency, a suitable decoupling capacitor size is determined. Then, a novel design methodology to suppress the resonance effects is developed. Finally, its validity is shown by using 0.18 μm process-based-HSPICE simulation.

I. 서론

최근 CMOS 공정기술의 발달로 인하여 회로가 점점 고속, 고집적화 되어감에 따라 파워/그라운드의 안정화가 주요한 문제로 대두되고 있다[1]. 이들 노이즈의 주요한 구성요소는 인덕티브 노이즈이며, 빠른 클럭 속도와 다량의 입/출력 드라이버는 동시 스위칭으로 인하여 노이즈(SSN)를 증가시킨다[2]. SSN을 줄이기 위하여 디커플링 커패시터를 사용하는 것이 잘 알려져 있지만[3], 이는 인덕턴스와 공진회로를 형성하여서 LC공진의 원

인이 된다[1]. 일반적으로, 공진주파수가 낮고 동작주파수가 증가하게 되면 SSN에 의한 노이즈가 장시간에 걸쳐서 중첩되기 때문에 더욱 큰 스위칭 노이즈를 유발시킬 수 있으므로, 고속회로 설계에서 매우 중요한 문제가 된다. 따라서, 설계의 초기단계에서 공진을 피하기 위한 설계를 하지 않으면 안 된다.

기존의 논문에서는 패키지 회로에서 공진 노이즈의 시뮬레이션을 위한 모델을 해석하였지만[4], 공진 노이즈를 줄이기 위한 구체적인 방법을 제시하진 못했다. 또한, [5]에서는 공진현상을 최소화 시키기 위한 설계방법 중의 하나로 디커플링 커패시터에 저항을 직렬로 연결시켜 주어서 댐핑을 이용하는 방법을 연구하였다. 하지만, 이것은 추가된 저항으로 인하여 IR drop을 증가시키게 되므로 노이즈 마진을 감소시키고 성능을 저하시킨다.

따라서, 본 논문에서는 효과적으로 공진현상을 최소화 시키기 위해서, 공진 노이즈의 주파수를 정확하게 예측하기 위한 회로모델을 세우고, 이를 해석한다. 예측한 공진주파수를 통하여 디커플링 커패시터를 계산하여 파워/그라운드를 안정화시킬 수 있는 새로운 설계방법을 제안하고, 타당성을 HSPICE 시뮬레이션을 통하여

입증한다.

II. SSN 노이즈 및 공진

일반적으로 패키지 회로에 디커플링 커패시터가 있는 경우는 근사적으로 그림1과 같이 등가회로로 모델 할 수 있다.

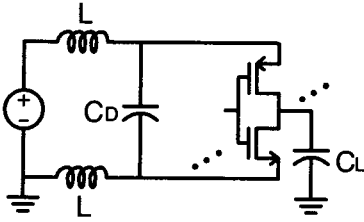


그림1. 패키지 모델에서 디커플링 커패시터가 존재할 때 등가모델.

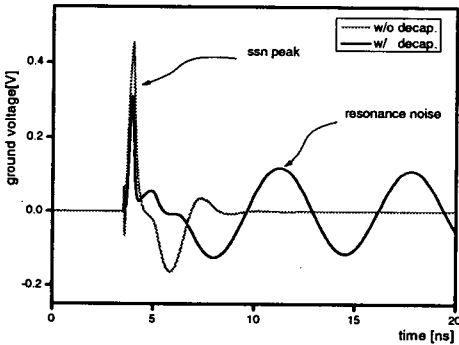


그림2. 디커플링 커패시터의 유무에 따른 SSN과 공진 오실레이션 노이즈 $W_p/W_n = 44/20 [\mu m]$.

$L=1[nH]$, $C_D=500[pF]$, $C_L=10[pF]$, n (동시 스위칭 개수)=16, $t_s=0.5[ns]$

그림1의 모델을 디커플링 커패시터(C_D)의 유무에 따라 시뮬레이션 해보면, 그림2와 같으며 회로 내부에 디커플링 커패시터가 존재하면, SSN의 피크값은 줄어들지만 스위칭 노이즈가 긴 시간 동안 발생하게 된다. 이 파형은 두 개의 성분, 즉 피크 노이즈(peak noise)와 공진 노이즈(resonance noise)로 구성되며[4], 피크 노이즈는 짧은 시간 동안 발생하지만 뒤따르는 공진 노이즈는 긴 시간 동안 유지된다. 따라서, 출력 드라이버가 임의의 동작주파수(f_{op})를 갖고 있을 때, 동시 스위칭에 의한 노이즈

가 증폭되는 것을 피하기 위해서는, 노이즈가 서로 더해지지 않도록 디커플링 커패시터(C_D)의 값을 변화시켜서 공진주파수를 이동시켜 주어야 한다.

III. 공진주파수 예측 모델

디커플링 커패시터가 존재하는 패키지 모델(그림1)에서, ac analysis를 위해서 공급전압은 virtual short이라고 가정하면 LC회로가 형성되며,

$$f = \frac{1}{2\pi\sqrt{2LC_D}} \quad (1)$$

의 공진주파수를 갖는다[3]. 0에서 V_{dd} 로 천이하여서 생기는 공진 노이즈는 NMOS는 선형영역, PMOS는 컷 오프 영역에 있을 때 발생한다고 가정하면, NMOS는 저항으로 모델 할 수 있으므로, 등가회로는 그림3(a)와 같다. ω 의 값을 식(1)에서 언급한 공진주파수의 근사값을 이용하면,

$$R_p = R_r \left(1 + \frac{1}{\omega^2 R_r^2 C_L^2} \right), \quad C_p = \frac{C_L}{\omega^2 R_r^2 C_L^2 + 1} \quad (2)$$

이 되며[6], R_p 와 C_p 는 각각 더해주고, L 과 C_i 를 하나의 리액턴스(reactance)로 표시하면,

$$R_i = R_p/n, \quad C_i = nC_p, \quad L_x = \frac{L}{1 - \omega^2 LC_i} \quad (3)$$

이 된다(그림3(b),(c),(d)). 그림3(d)는 파라미터,

$$L_{eff} = \frac{L_x}{1 + \frac{\omega^2 L_x^2}{R_i^2}}, \quad R_{eff} = \frac{R_i}{1 + \frac{R_i^2}{\omega^2 L_x^2}} \quad (4)$$

를 포함하는 근사화 된 직렬 RLC회로로 구성 될 수 있다. 따라서, 근사화 된 직렬 RLC회로가 underdamped response를 한다고 가정하면, 공진주파수(f_{res})는 다음과 같다.

$$f_{res} = \frac{\omega_d}{2\pi}, \quad \omega_d = \sqrt{\omega_0^2 - \alpha^2}, \quad \omega_0 = \frac{1}{\sqrt{(L + L_{eff})C_D}}, \quad \alpha = \frac{R_{eff}}{2(L + L_{eff})} \quad (5)$$

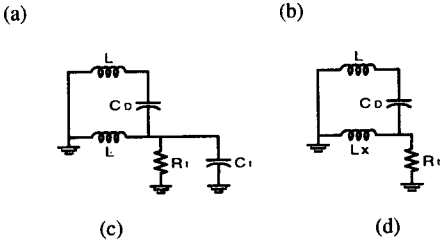
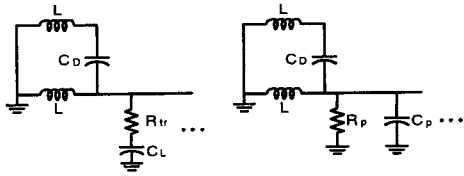


그림3. 디커플링 커패시터가 존재하는 패키지 모델의 2nd order 근사화

IV. 설계 방법

일반적으로 디지털 신호는 구형파로 근사화되기 때문에, 50%의 duty cycle이 있는 주기적인 구형파는 푸리에 시리즈(Fourier series)를 통하여 다음과 같이 표현 할 수 있다[7].

$$f(t) = \frac{2}{\pi} \sum_{n=1,3,5,\dots} \frac{1}{n} \sin 2\pi n F t \quad (6)$$

동작주파수의 한 주기(T_{op}) 동안 출력 드라이버는 상승 시간 천이와 하강시간 천이가 교대로 일어나기 때문에, 동작주파수(f_{op})의 기본주파수 혹은 기함수 고조파가 공진주파수(f_{res})와 같게 되면, 상승시간 천이로 인하여 NMOS 트랜지스터가 스위칭 할 때 발생한 공진 노이즈와 하강시간 천이로 인하여 PMOS 트랜지스터가 스위칭 하면서 발생한 공진 노이즈가 서로 위상이 어긋나게 되어 노이즈가 상쇄된다. 한편, 동작주파수의 우함수 고조파가 공진주파수와 일치하는 경우에는 한 주기 동안 상승시간 천이와 하강시간 천이가 한번씩 교대로 일어난다면, 공진 노이즈가 서로 위상차가 없어서 공진 노이즈가 선형적으로 더해지게 된다. 따라서, 가능한 한 우함수 고조파와 공진주파수가 일치하는 것은 피해야 하며, 공진주파수를 동작주파수의 기본주파수 혹은 그것의 기함수 고조파에 가깝게 이동시켜서 공진 노이즈가 서로 상쇄되도록 해야 한다.

V. 검증

실제로 패키지의 종류에 따라 인덕턴스(L_p, L_s)는 다양한 값을 갖는다. 여기서는 0.1~1 [nH]의 플립칩 본딩(flip-chip bonding)을 가정하였다.

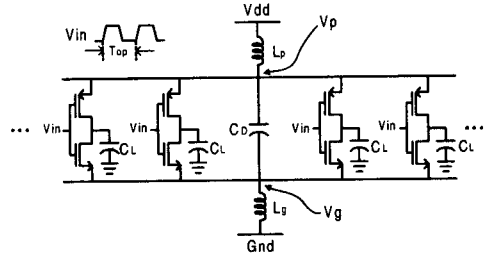


그림4.

디커플링 커패시터가 존재하는 출력 드라이버 회로

공진 노이즈로 인하여, 시간에 따라 유효한 공급전압의 값이 변하므로, 공진 노이즈의 크기를 $effective_V_{dd}$ (V_{dd_eff})로 정의하면 다음과 같다.

$$V_{dd_eff}(t) = V_p(t) - V_g(t) \quad (7)$$

따라서, 공진 노이즈에 의한 공급전압의 변화량은 다음과 같다.

$$\Delta V(t) = V_{dd} - V_{dd_eff}(t) \quad (8)$$

V_m 이 $V_{dd} \rightarrow 0 \rightarrow V_{dd}$ 천이를 하고 난 직후부터 다음 천이가 일어나기 전까지의 $\Delta V(t)$ 의 최대치를 측정된 결과를 표 1에 나타내었다.

표 1. 공진 노이즈 크기의 최악의 경우와 최상의 경우 각각에 상응하는 예측한 디커플링 커패시터에 의한 시뮬레이션 결과비교

$$C_L = 10 [pF], W_p / W_n = 44 / 20 [\mu m], t_r = 0.5 [ns]$$

f_{op} [MHz]	L [nH]	n	no		$f_{res} = 2f_{op}$		$f_{res} = 3f_{op}$		$f_{res} = f_{op}$		
			decap.								
			ΔV_{MAX} [V]	C_D [pF]	ΔV_{MAX} [V]	C_D [pF]	ΔV_{MAX} [V]	C_D [pF]	ΔV_{MAX} [V]	C_D [pF]	ΔV_{MAX} [V]
100	0.1	5	0.02	3160	0.03	1400	0.01	12650	0		
		10	0.03	3150	0.05	1390	0.02	12640	0		
		20	0.07	3130	0.11	1370	0.04	12620	0.01		
	0.5	5	0.09	620	0.13	270	0.05	2520	0.01		
		10	0.17	610	0.26	260	0.08	2510	0.03		

	1	20	0.32	590	0.49	250	0.12	2490	0.05
		5	0.17	310	0.26	130	0.08	1260	0.03
		10	0.32	300	0.49	120	0.12	1240	0.05
		20	0.53	270	0.84	120	0.19	1220	0.1
200	0.1	5	0.02	790	0.05	350	0.01	3160	0.01
		10	0.03	780	0.1	340	0.02	3150	0.01
		20	0.07	770	0.18	340	0.04	3130	0.03
	0.5	5	0.09	150	0.22	70	0.05	620	0.03
		10	0.19	150	0.37	70	0.12	610	0.07
		20	0.35	140	0.53	80	0.31	590	0.12
	1	5	0.19	70	0.37	30	0.11	310	0.07
		10	0.35	70	0.53	40	0.31	300	0.12
		20	0.75	80	0.59	60	0.56	270	0.19

공진주파수가 동작주파수의 두번째 하모닉과 같아 지도록($f_{res} = 2f_{op}$)하는 디커플링 커패시터를 사용하면 공진 노이즈가 선형적으로 더해져서, 큰 공진 노이즈가 발생함을 알 수 있으며, 동작주파수의 기본주파수, 혹은 세번째 하모닉과 같아지도록($f_{res} = f_{op}$, $f_{res} = 3f_{op}$)하는 디커플링 커패시터를 사용하면 공진 노이즈를 상쇄시킬 수 있다는 것을 알 수 있다. 따라서, 예측한 모델을 사용하면, 피해야 하는 디커플링 커패시터를 계산할 수 있으며, 동시에 공진 노이즈를 극소화시킬 수 있는 디커플링 커패시터를 계산할 수 있다.

VI. 결론

고속 고집적 회로에서 발생하는 인덕티브 노이즈인 동시 스위칭 노이즈(SSN)를 줄이기 위하여 디커플링 커패시터를 사용하지만, 이는 공진 노이즈를 발생시킨다. 본 논문에서는 공진현상을 최소화 할 수 있는 모델을 제시하였다. 제시한 모델을 사용하면 공진 노이즈를 예측할 수 있고, 이를 통하여 디커플링 커패시터를 선정해 줄 수 있다. 선정된 디커플링 커패시터를 사용하면, 공진현상을 극소화 할 수 있다는 것을 0.18 μm 공정에서 HSPICE 시뮬레이션을 통하여 검증하였다.

VII. 참고문헌

[1] S. Lin, and N. Chang, "Challenges in power-ground

integrity," Proc. IEEE/ACM Int. Conf. Computer-Aided Design, pp. 651-654, Nov. 2001.

[2] P. Heydari, and M. Pedram, "Ground Bounce in Digital VLSI Circuits," IEEE Trans. VLSI Syst., vol. 11, no. 2, April 2003.

[3] H. B. Bakoglu, Circuits, Interconnections and Packaging for VLSI, Addison-Wesley, 1990.

[4] K. Bathey, et al., "Noise computation in single chip packages", IEEE Trans. Comp. Packag. Manufact. Technol. B, vol. 19, pp. 350-360, May 1996.

[5] P. Larsson, "Resonance and damping in CMOS circuits with On-Chip Decoupling Capacitance," IEEE Trans. Circuits Syst., vol. 45, pp. 849-858, Aug. 1998.

[6] Artice M. Davis, Linear Circuit Analysis, PWS Publishing Company, 1998.

[7] S. H. Hall, et al., High-Speed Digital System Design, John Wiley & Sons, 2000.