

자성반도체의 가변 히스테리시스 특성 모델링 회로

황원석, 조충현, 김범수, 이갑용, 이창우, 김동명, 민경식, 김대정
국민대학교
전화 : 02-910-5173

The variable hysteresis modeling circuit for spintronic device

Won Seok Hwang, Chung-Hyun Cho, Bumsoo Kim, Gab Yong Lee,

Chang

Woo Lee, Dong Myong Kim, Keung-Sik Min, Daejeong Kim

Kookmin university
E-mail : kimdj@ kookmin.ac.kr

Abstract

The modeling circuit becomes more important in developing various magnetic devices regarding the fact that the competitive architecture and circuitry should be developed simultaneously. In this paper, we introduce a modeling circuit for hysteresis characteristic of a magnetic device, which is a major characteristic in the spin dependent magnetic material. This transistor-level model is conspicuous in that it can be usefully embodied in real circuits rather than conventional SPICE models are only for simulations.

뒷받침하는 스핀의존 현상 등의 분석에 기인해 왔다. 이에 따라 자성체 소자의 물리적 특성 분석의 도구인 모델화는 그 의미를 더해가고 있으며, 사용용도 또한 단순 등가의 의미를 넘어서 소자의 개발 단계와 더 나아가 소자를 이용한 회로 구현 단계에 이르기 까지 널리 활용되고 있다.

본 논문에서는 자성 반도체 소자의 스핀 의존 현상인 hysteresis 특성곡선을 효율적으로 모델화 하였으며, 또한 보다 정확한 특성 구현을 위하여 variable hysteresis loop 기법을 제안하였다.

I. 서론

자기방향을 나타내는 스핀(spin)과 반도체로 대표 되는 전자기술(electronics)의 합성어인 스핀트로닉스 자성반도체는 스핀업(spin-up)과 스핀다운(spin-down)을 구분하여 제어하는 신 개념의 포괄적인 기술이다[1][2]. 이들 자성반도체 분야는 빠른 속도, 높은 효율, 보다 나은 안정성 등의 장점을 바탕으로 자기 recording, 자기 메모리(MRAM), 자기 트랜지스터(FET, BJT), 양자 컴퓨터 분야에 이르기 까지 그 연구 영역을 확대해 가고 있다. 이러한 자성 반도체 분야의 눈부신 성장은 신소재의 개발과 이를

II. 본론

자성반도체 소자의 전자전달 현상은 스핀 방향에 의존하는 channel의 형성에 달려 있다. 스핀 방향에 따라 channel의 형성정도가 결정되고 channel 형성 시를 낮은 저항으로, 또 볼 형성 시를 높은 저항으로 나타내어 전자의 전달 정보를 표현한다[1][2]. 이러한 spin 방향의 조절 수단으로는 전류가 사용된다. 전류의 방향과 세기에 의존하여 스핀의 방향이 전환되고 이로서 나타나는 현상이 hysteresis 특성이다[1]. 제안된 모델에서는 이러한 특성들을 고려하여 구동부와 구현부로 나누어 설계하였다. 구동부에서는 전류의 방향과 크기를 인식하여 channel의 형성 여부, 스핀 방향의 전환 여부 등을 나타내었으며,

구현부에서는 구동부의 정보를 이용하여 실제 channel의 상태정보를 저항모델로서 나타내었다.

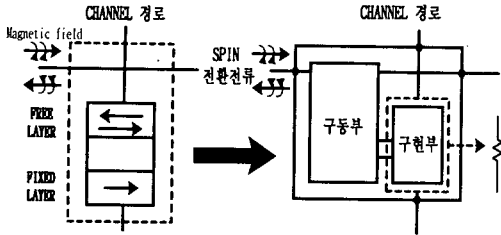


그림 1. 자성반도체 소자[2] 및 모델 블록도

2.1 Hysteresis model

그림 2의 node A 또는 node B의 방향으로 channel 조절용 spin 전환전류가 인가되면, 저항 R1은 전류의 방향과 세기를 전압 값으로 변환하여 트랜지스터 M1과 M2로 전달한다. PMOS인 M1과 M2의 게이트와 소스단으로 인가된 전압 값은 그 크기와 전위 방향에 의존하여 M1과 M2 중 하나의 트랜지스터를 구동하여 전류경로를 형성한다. 형성된 경로를 통하여 흐르는 전류는 N 배의 전류증폭을 거친 후, spin 방향에 따라서 channel의 상태 정보를 저장하는 latch를 구동한다. latch의 S, Sb node는 각각 channel의 유무 상태를 나타내어 구동부의 channel 모델 저항인 R_{HIGH} , R_{LOW} 저항의 선택

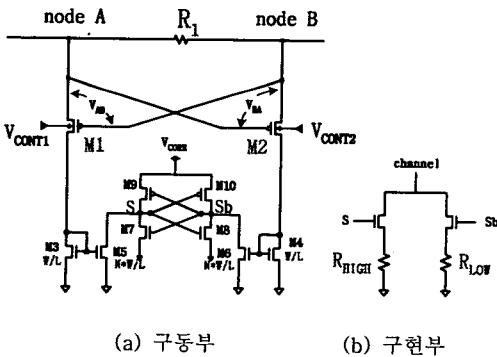
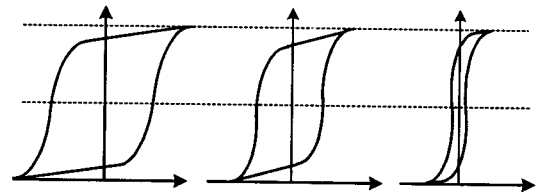


그림 2. 제안하는 hysteresis modeling 회로

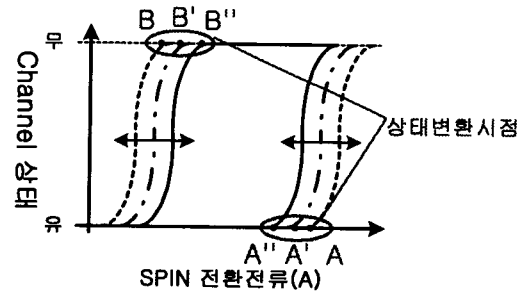
스위치로 인가된다. 이때 선택된 구현부의 저항은 channel을 대체하여 channel 경로에 연결된다.

2.2 Variable hysteresis loop 기법

자성반도체는 free magnetic layer의 spin 전환 시점에 의해 그림 3.(a)와 같이 hysteresis loop를 형성한다. 또한 loop는 spin 전환 전류의 방향에 의존하여 $R_{HIGH} \rightarrow R_{LOW}$, $R_{LOW} \rightarrow R_{HIGH}$ 의 2 가지 상태 변환 시점을 가지며, 자성물질의 종류에 따라 그 위치를 달리한다[3]. 본 논문에서는 이러한 특성을 반영하고자 variable hysteresis loop 기법을 제안한다.



(a) 자성물질에 따른 hysteresis loop의 변화



(b) hysteresis loop 변화 해석모델

그림 3. 자성물질에 따른 특성 및 해석모델

그림3.(b)의 A와 B는 각각 3가지 자성물질의 고유한 상태 변환 시점을 나타내고 있다. 이들 상태는 spin 전환전류의 방향과 세기에 따른 channel의 상태로서 해석 가능하고, 그림2.(a)의 모델회로에서 트랜지스터 M1, M2의 turn on에 의한 latch의 상태변화 시점으로 표현될 수 있다. 즉 $A(R_{LOW} \rightarrow R_{HIGH})$, $B(R_{HIGH} \rightarrow R_{LOW})$ 는 상태변환 시점에 서의 전류의 방향과 세기로서 다양한 자성소자의 모델화를 위해서는 그림2.(a)의 트랜지스터 M1과 M2의 turn on 조절 방법이 필요하다. 본 모델에서는 body effect를

적용하여 트랜지스터 M1과 M2의 body 전압을 조절한다. 이를 통해 트랜지스터의 문턱전압 V_{TP1} , V_{TP2} 를 조절하며 M1과 M2의 turn on 시점을 변화시킬 수 있다. 이들 turn on 메커니즘의 상세한 표현을 위하여 수식으로 유도 하였고, 이로부터 상태변환 시점을 조절하기 위한 body bias 수식을 유도 하였다.

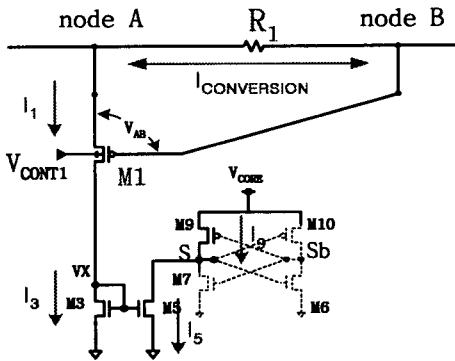


그림 4. 제안된 회로의 상태변환 매커니즘

그림 4 의 S node는 high(=channel 불 형성 상태), V_{TN} 은 모두 동일하다 가정한다.

$$V_Z = V_A - V_B = R_{BIT} \cdot I_{CONVERSION} \quad (1)$$

초기 latch 구동시 전류 $I_5 = I_9$ 이다.

$$\left(\frac{W}{L}\right)_9 \left[(V_{GS9} - V_T)V_{DS9} - \frac{V_{DS9}^2}{2} \right] = \frac{1}{2} \left(\frac{W}{L}\right)_5 (V_{GS5} - V_T)^2 \quad (2)$$

$$V_X = V_{GS5} = \sqrt{\frac{2(W/L)_9}{(W/L)_5} \left[(V_{GS9} - V_T)V_{DS9} - \frac{V_{DS9}^2}{2} \right]} + V_{TN} \quad (3)$$

I_1 과 I_3 는 같다.

$$K_{P1} \left(\frac{W}{L}\right)_1 \left[(V_A - V_B) - |V_{TH}| \right]^2 = K_{N3} \left(\frac{W}{L}\right)_3 (V_{XZ} - V_{TN})^2 \quad (4)$$

$$K_{P1} \frac{1}{2} \left(\frac{W}{L}\right)_1 \left[V_Z - |V_{TH}| \right]^2 = K_{N3} \frac{(W/L)_3 (W/L)_9}{(W/L)_5} \left[(V_{GS9} - V_{TN})V_{DS9} \right] \quad (5)$$

V_Z 의 식으로 유도하면

$$V_Z = \sqrt{\frac{2K_{N3} (W/L)_3 (W/L)_9}{K_{P1} (W/L)_1 (W/L)_5} (V_{GS9} - V_{TN})V_{DS9} + |V_{TH}|} \quad (6)$$

body effect 로 부터 수식 정의

$$V_{TP} = V_{TP0} - \gamma \left(\sqrt{|2\Phi_F| + V_{CONT} - V_A} - \sqrt{|2\Phi_F|} \right) \quad (7)$$

식 (1), (6), (7)로 부터 $I_{CONVERSION}$ 와 V_{CONT} 의 관계를 정리할 수 있다.

$$V_{CONT} = \left(a - \frac{R_{BIT} \cdot I_{CONVERSION}}{\gamma} \right) + b \quad (8)$$

$$a = \sqrt{|2\Phi_F|} + \frac{1}{\gamma} \left(\sqrt{\frac{2K_{N3} (W/L)_3 (W/L)_9}{K_{P1} (W/L)_1 (W/L)_5} (V_{GS9} - V_{TN})V_{DS9} + |V_{TP}|} \right)$$

$$b = V_A + |2\Phi_F|, \quad \gamma = \sqrt{2q\epsilon_{si} N_{sub}} / C_{OX}$$

2.3 시뮬레이션 결과 및 해석

제안한 hysteresis model 회로를 검증하기 위하여 0.35 μ m 표준 CMOS 공정에서 Hspice 를 사용하여 시뮬레이션 하였다. 그림5는 body bias 전압인 V_{CONT1} , V_{CONT2} 를 동일전압 1V, 2V, 3.3V로 sweep시 구동부 latch의 S node 상태 변화를 나타낸 것이다. 시뮬레이션 결과를 통해 body bias에 따른 hysteresis loop의 형성을 검증할 수 있다.

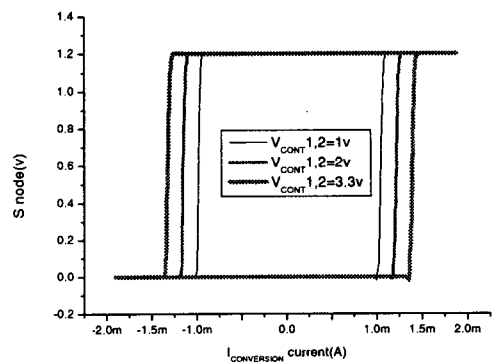


그림 5. hysteresis loop 구현

그림6은 V_{CONT1} 과 V_{CONT2} 의 전압을 달리 하여 sweep 한 결과이다. 그림5의 대칭적인 loop 와 달리 상태변환 시점을 자유로이 조절할 수 있다.

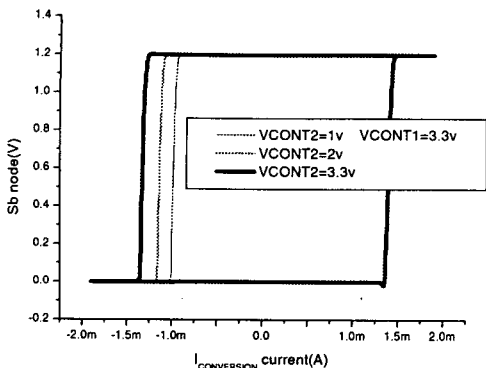


그림 6. Body effect 를 통한 hysteresis 구현

III. 결론

본 논문에서는 자성반도체의 spin 의존 현상인 hysteresis 특성을 모델화하였으며, variable hysteresis loop 기법을 제안하여 정밀한 모델화가 가능토록 구현하였다.

제작된 모델화 회로는 기존에 구현된 SPICE 모델들[4][5]과 달리 transistor level로 간략히 설계되어 검증에 위한 시뮬레이션 뿐만 아니라 소자를 이용한 회로의 설계, 구현에 이르기 까지 유용하게 사용될 수 있다[6].

Acknowledgment

본 논문은 한국과학재단의 특정기초 연구지원에 의한 것이며 IDEC(IC design center)의 디자인 소프트웨어 지원에도 감사를 드립니다.

참고문헌(또는 References)

[1] Michael Ziese, Martin J. Thornton,

Spin Electronics, Springer, 2001

- [2] Wolf S.A., Treger D., " Spintronics: a new paradigm for electronics for the new millennium ", *Magnetics*, IEEE Transactions on , Volume: 36 , Issue: 5 , Sept 2000 pp. 2748 - 2751
- [3] D'Alessandro, L., Ferrero, A., " A method for the determination of the parameters of the hysteresis model of magnetic materials", *Instrumentation and Measurement*, IEEE Transactions on , Volume: 43 , Issue: 4 , Aug. 1994 pp. 599 - 605
- [4] Das B, Black W.C., " A generalized HSPICE macro-model for pinned spin-dependent tunneling devices", *Magnetics Conference*, 1999. Digest of INTERMAG 99. 1999 IEEE International , May 18-21, 1999 pp. EC06 - EC06
- [5] 홍순균, 송상현, " Macro modeling for magnetic tunnel junction ", *대한전자공학회 하계종합학술대회* 2003, pp.943-946
- [6] Cho C. H., Ko J. H, Kim D. J., " A CMOS Macro-Model for MTJ resistor of MRAM cell" , *International Symposium on Magnetic Materials*, SOMMA 2003, Dec 3-6, 2003