

단일화된 게이트 프리징, 사이징 및 버퍼삽입에 의한 저 전력 최적화 알고리즘

이 형 우, 신 학 건, 김 주 호
서강대학교 컴퓨터학과
전화 : 02-706-3997 / 핸드폰 : 011-1761-1267

Gate Freezing, Gate Sizing, and Buffer Insertion for reducing Glitch Power Dissipation

Hyungwoo Lee, Hakgun Shin, Juho Kim
Dept. of Computer Science, Sogang University
E-mail : scpark@mail.kyungwon.ac.kr

Abstract

We present an efficient heuristic algorithm to reduce glitch power dissipation in combinational circuits. In this paper, the total number of glitches are reduced by replacing existing gates with functionally equivalent ones and by gate sizing which classified into three types and by buffer insertion which classified into two types. The proposed algorithm combines gate freezing, gate sizing, and buffer insertion into a single optimization process to maximize the glitch reduction. Our experimental results show an average of 67.8% glitch reduction and 32.0% power reduction by simultaneous gate freezing, gate sizing, and buffer insertion.

호천이에 의해 발생하는 동적 전력 소모가 회로 전체 전력소모에 있어서 지배적인 양을 차지한다. 신호 천이는 기능성 천이와 기능에 영향을 미치지 않는 불필요한 천이인 글리치로 나누어진다. 글리치에 의한 전력 소모가 전체 전력 소모의 20% - 70%를 차지한다. 따라서, 본 논문에서는 전력소모의 최적화를 이루기 위해서 글리치를 제거한다.

글리치를 감소를 위한 방법으로 동시에 단일화된 과정에서 게이트 프리징, 게이트 사이징, 버퍼 삽입의 세 가지 기법을 적용하는 알고리즘을 제안한다. 표준 셀 라이브러리를 사용하여 주어진 네트워크를 기술패용 한 후, 신호지연은 라이브러리 모델 정보를 통해 얻어지며, 정확한 글리치의 측정을 위하여 주 입력에 직접 입력 벡터를 가하는 event-driven simulation 방법으로 글리치를 측정한다.

I. 서론

개인용 계산기기와 디지털 비디오와 멀티미디어와 같은 무선 통신 시스템들은 빠른 속도의 계산 능력과 복잡한 기능을 요구한다. 많은 양의 데이터를 빠른 시간 내에 처리해야 하므로 더 많은 전력을 요구하며, 휴대용 기기의 증가에 의해서 저 전력 설계에 대한 중요성이 증가되고 있다. CMOS 회로의 전력 소모는 신

II. 게이트 프리징, 게이트 사이징과 버퍼삽입

2.1 게이트 프리징

Event-driven simulation 수행을 통해 자세한 글리치 활성화의 통계를 얻고, 회로에 존재하는 각 게이트들에 대한 도착시간과 요구시간을 계산하기 위해 정적 시간 분석을 수행한다. 두 과정을 통해 상대적으로 높

은 글리치의 발생 빈도를 갖거나 많은 팬 아웃을 갖는 게이트를 선택하고, 그 선택된 게이트는 추가적인 제어입력을 갖고 함수적으로 동일한 프리징 게이트로 대체한다. 프리징 게이트는 n-네트워크와 직렬로 해서 n-타입 트랜지스터를 삽입하는 것으로 구성되고, 이 n-타입 트랜지스터는 제어입력 C에 의해 구동된다. 글리치를 제거하기 위한 목적으로 제어입력을 '0'으로 유지함으로써, 가장 늦게 도착하는 입력신호 이전에 발생하는 모든 글리치들을 제거할 수 있게 된다. 게이트 프리징을 위한 수정된 라이브러리 셀의 기본 형태는 그림 2.1과 같다.

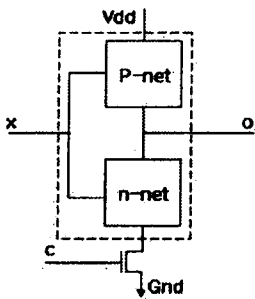


그림 2.1 게이트 프리징 라이브러리 셀의 기본 형태

2.2 게이트 사이징

글리치를 제거하기 위한 게이트 사이징에서는 사이징이 필요한 게이트를 찾는 세 가지 모델로 구분하여 찾게 된다. Type 1 게이트 사이징은 경로불균등화를 이루었을 때 게이트 다운 사이징을 통해 상대적으로 빨리 도착한 입력에 지연을 주어 경로균등화를 이루어 글리치를 제거한다. 그림 2.2 에서, $t_a(a) < \text{Max}(t_a(b), t_a(c)) - d_i(G_D)$ 일 때 노드 d상에 글리치가 생성될 수 있다. 만약 게이트 G_A 를 $t_a(a) \geq \text{Max}(t_a(b), t_a(c)) - d_i(G_D)$ 를 만족하는 작은 게이트로 사이징 한다면 노드 d상의 글리치는 제거된다. Type 2 게이트 사이징은 경로균등화를 위한 게이트 업사이징이다. $t_a(c) < \text{Min}(t_a(a), t_a(b)) + d_i(G_D)$ 일 때 노드 d에 글리치가 생길 가능성이 있다. 만약 게이트 G_C 가 $t_a(c) < \text{Min}(t_a(a), t_a(b)) + d_i(G_D)$ 를 만족하는 큰 게이트로 사이징 된다면 글리치가 제거될 수 있다. Type 3 게이트 사이징은 다운사이징을 통해 inertial delay를 증가시켜 글리치를 제거하는 방법이다.

2.3 버퍼삽입

버퍼를 삽입할 위치를 찾기 위한 버퍼삽입 기법은 두 가지 모델로 구성된다. Type 1 버퍼 삽입은 경로균

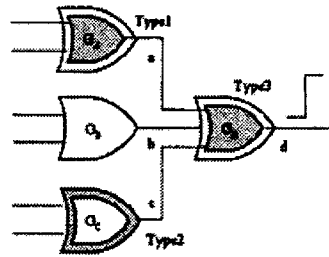


그림 2.2 게이트 사이징

등화를 위해 지연 버퍼를 삽입하는 것이다. 그림 2.3에서, $t_a(b) < \text{Max}(t_a(a), t_a(c)) - d_i(G_D)$ 면 노드 g상에 글리치가 생성될 수 있다. 이러한 경우 경로균등화를 위해 Type 1 버퍼삽입을 선택한다. Typw 2 버퍼삽입은 글리치가 발생하여 전파되는 글리치일 경우 게이트 소자 내부지연의 범위 안에서 신호천이가 발생하게 하는 버퍼 게이트를 삽입하여 줌으로써 삽입된 버퍼의 출력단에서는 더 이상 글리치가 전파되지 않게 한다.

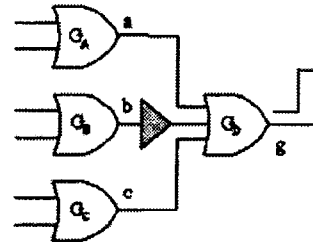


그림 2.3 Type 1 버퍼 삽입

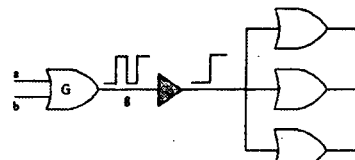


그림 2.4 Type 2 버퍼 삽입

III. 글리치 제거 알고리즘

정적 시간 분석을 수행하여 회로 내 각 게이트의 신호 도착시간과 요구시간, 슬랙 등의 정보를 얻는다. 그런 후 event-driven simulation을 통해 전력 측정과정을 거친다.

event-driven simulation을 통해 전력을 측정하는 동안 각 노드에서 발생한 기능성 천이 회수가 기록되고 글리치에 대해서 전력 이득측정, 전력 비용측정, 이득 계수측정을 순차적으로 수행한다. 전력 비용 측정과정 동안 게이트 프리징, 사이징 및 버퍼 삽입 조건을 만

족하는 프리징 게이트 후보와 리사이징 후보, 버퍼 삽입 후보가 각각 채택되고 세 가지 기법이 혼합된다. 모든 게이트들을 기준으로 전력 이득측정과 전력 비용 측정을 통해 얻은 이득 계수들 중 가장 큰 이득 계수를 갖는 게이트를 선택하여 전력 비용 측정과정 동안 세 가지 기법이 혼합된 글리치 제거과정이 적용된다. 전체적인 수행과정은 이득계수를 갖는 게이트가 존재하지 않을 때까지 반복한다.

게이트 사이징과 버퍼 삽입 및 게이트 프리징에 의해서 게이트 G의 출력에서 발생하는 글리치가 제거되었을 때, 감소되는 전력의 양이 전력이득이다. 전력 이득은 event-driven simulation 동안 생성된 event들에 관한 정보를 통해 측정되어 진다. 비록 시뮬레이션을 수행하여 얻은 event들을 통해 전력 이득 측정을 수행하지만 event들 사이의 복잡한 관계 때문에 전력 이득의 정확한 측정은 매우 어렵다. 시뮬레이션을 통해 얻어진 게이트 G 출력 단의 event들에 대해서 글리치 인지 아닌지를 가리는 검사가 다음과 같이 수행된다. 글리치는 일반적으로 노드 상에서 짝수개의 신호천이를 만들게 된다. 따라서 만약 게이트 G 출력 단에 짝수개의 event들이 존재하면 모든 event들은 글리치가 된다. 홀수 개의 event들 중에서는 처음 event 혹은 마지막 event 중 하나는 글리치가 아닌 가능성 천이이다. 게이트 사이징과 버퍼 삽입 및 게이트 프리징에 의해서 글리치가 제거될 때, 게이트 업사이징을 제외한 게이트 프리징, 게이트 다운 사이징과 버퍼 삽입은 신호지연을 증가시키게 된다. 따라서 대부분의 경우, 글리치가 아니니 가능성 천이는 노드상의 event들 중 가장 늦은 도착 신호를 갖는 event가 된다. 임의의 한 event가 글리치로 판명되는 경우 이 event에 의해 영향 받는 모든 event들의 전력소모가 전력이득에 추가된다.

전력 비용 $\Delta FP(G)_{cost}$ 은 게이트 G의 출력 단의 글리치를 제거하기 위해 게이트 사이징과 버퍼 삽입을 적용할 경우 소모되는 전력의 양이고, 전력비용 $\Delta FP(G)_{cost}$ 는 글리치를 제거 하기 위해 게이트 프리징을 적용할 경우 소모되는 전력의 양이다. 전력 비용 측정 과정에서 게이트 사이징과 버퍼 삽입 및 게이트 프리징 기법을 혼합되어진다. 게이트 다운 사이징을 제외한 게이트 업사이징과 버퍼 삽입 및 게이트 프리징을 사용하는 경우, 글리치를 제거하기 위한 추가적인 전력 소모가 요구된다. 생성 글리치는 게이트를 통해 전파되어 또 다른 글리치를 유발시키기 때문에, 생성 글리치를 전파 글리치 보다 먼저 제거하는 것이 더욱 좋은 결과를 산출한다. 제안된 알고리즘에서 computecost 함수는 선택된 후보 게이트가 프리징 게이트로 대체되거나 사이징 또는 삽입 되었을때의 추가

적인 전력 소모를 계산한다. 이때 계산되는 전력 비용은 event-driven simulation을 통해 얻어진 신호 천이 밀도와 라이브러리로부터 얻은 용량성 부하를 통해 계산되어진다. 게이트 다운 사이징을 적용하면 용량성 부하의 감소로 인해 전력 비용은 음의 값을 갖게 된다. 반대로 게이트 업사이징과 버퍼 삽입, 게이트 프리징을 적용하는 경우 용량성 부하의 증가로 전력 비용은 양의 값을 갖게 된다. 따라서 전력 비용 측면에서 비용을 절감할 수 있는 첫 번째 형태의 게이트 사이징을 수행하여 생성 글리치를 제거하고 만약 생성 글리치가 발생하지 않는다면 전파 글리치를 제거를 위해 세 번째 형태의 게이트 사이징을 수행한다. 첫 번째와 두 번째 형태의 게이트 사이징은 다운 사이징으로서 용량성 부하를 감소시키기 때문에 오히려 전체전력을 줄이는 효과를 볼 수 있다. 그러나 첫 번째 형태의 게이트 사이징에 의해 생성 글리치를 제거하고, 여전히 글리치가 생성된다면 첫 번째 형태의 버퍼 삽입을 병행하여 수행한다. 그리고 전파 글리치를 제거하기 위해 세 번째 형태의 게이트 사이징을 수행하고, 만약 적절한 사이즈의 게이트가 라이브러리에 존재하지 않는다면 두 번째 형태의 버퍼 삽입을 수행한다. 글리치가 발생하는 게이트에 대해 게이트 프리징을 적용한다면 추가되는 하나의 n-트랜지스터에 의해 면적이 증가되어 전력 비용이 증가되고, 추가되는 n-트랜지스터의 입력 신호에 따른 복잡도가 증가된다. 따라서 게이트 프리징 기법을 적용하여 생성 글리치와 전파글리치를 제거 함으로서 얻을 수 있는 전력이득을 상대적으로 크게 하기 위해서는 많은 팬 아웃을 갖는 게이트 또는 글리치 발생 빈도가 높은 게이트를 선택하여야 한다. 이득 계수는 전력 이득과 전력 비용의 차가 된다. 상대적으로 이득 계수의 값이 큰 경우는 적은 전력 비용으로 많은 글리치를 제거함을 의미한다. 이득 계수의 값이 음수인 경우는 글리치 제거를 통한 전력 감소보다 글리치 제거를 위한 전력 비용이 더 큰 것을 의미한다. 따라서 비록 글리치는 제거 될 수 있으나 이것으로 인한 회로의 전체 전력은 증가하게 된다. 이득 계수의 값이 음수인 경우 게이트 프리징, 게이트 사이징 및 버퍼 삽입을 포함하는 글리치 감소과정은 제한되어야 한다.

IV. 실험결과

제안된 알고리즘은 Ultra Sparc 60 workstation 상에서 C언어로 구현되었으며 LGSynth91 벤치마크 회로를 사용해 검증되었다. 회로들의 초기 매핑은 SIS를 이용하였고 실제공정에서 사용되는 $0.5\mu m$ 표준 셀 라

Circuit Name	Gate Sizing		Buffer Insertion		F-Gate		Gate Sizing + Freezing + Buffer Insertion	
	Glitch reduction	Power reduction	Glitch reduction	Power reduction	Glitch reduction	Power reduction	Glitch reduction	Power reduction
C632	4.7	2.2	63.4	24.3	14.7	7.2	73.1	29.4
C280	21.4	9.0	48.5	16.0	19.1	8.4	60.2	22.1
C699	14.0	7.9	5.3	2.7	31.5	12.1	52.6	26.8
C908	41.2	21.0	36.1	15.3	16.2	6.0	60.3	26.9
C1355	59.6	32.8	44.4	23.3	10.0	6.1	62.7	35.1
C2607	58.1	23.0	60.5	18.6	19.3	11.5	79.4	27.0
C3540	56.8	31.9	29.3	14.7	31.2	19.7	76.9	43.0
C3915	54.1	27.9	58.9	26.0	13.6	3.9	66.8	28.6
data	71.6	47.7	67.0	37.4	23.7	4.2	78.2	47.3
Average	42.4	22.6	45.9	19.8	19.9	8.8	67.8	32.0

표1 실험 결과

이브러리를 target으로 하였다. 표 1에서 게이트 사이징, 버퍼삽입, 게이트 프리징 기법을 각각 적용 했을 때와 본 논문에서 제안한 단일화된 세 가지 기법 통합 알고리즘에 의한 글리치 감소 비율과 전력 감소비율의 결과이다. 제안된 알고리즘에 의해 평균적으로 67.8%의 글리치가 감소되었으며 32.0%의 전력감소 결과를 얻을 수 있었으며 이것은 독립적으로 적용된 게이트 프리징, 게이트 사이징, 버퍼삽입 알고리즘에 의한 것보다 좋은 결과이다.

V. 결론

본 논문에서는 게이트 프리징, 게이트 사이징, 버퍼삽입에 의한 글리치 감소 알고리즘을 제안하였다. 논문의 알고리즘은 단일화된 최적화 과정 안에서 세 가지 기법을 혼합한다. 세 가지 기법을 혼합한 알고리즘에 의해서 67.8%의 글리치 감소와 32.0%의 전력감소를 얻을 수 있다. 게이트 프리징, 게이트 사이징, 버퍼삽입을 각각 적용했을 때는 혼합했을 때보다 결과가 좋지 않았다. 적은 수의 입력 벡터를 갖는 event-driven simulation과 빠른 전력 이득 측정 방법을 사용함으로써 빠른 실행시간을 얻을 수 있었다.

참고문헌(또는 Reference)

- [1] D. Sheng Chen, and M. Sarrafzadeh, "An Exact Algorithm for Low Power Library-specific Gate Re-Sizing", in Proceedings of the 33rd Design Automation conference, pp. 783-788, June 1996.
- [2] M. Hashimoto, H. Onodera, and k. Tamaru, "A Power Optimization Method Considering Glitch Reduction by Gate Sizing", in Proceedings of the International Symposium on Low Power Design,

pp.221-226, August 1998.

- [3] L. Benini, G. de micheli, "Glitch Power Minimization by Gate Freezing" Design, Automation and Test in Europe, pp.163, March, 1999.