

# 높은 펌핑 이득을 갖는 저전압 차지 펌프 설계

최 동 권, 신 윤 재, 최 향 화, 곽 계 달  
한양대학교 전자통신전파공학과  
전화 : 02-2290-0357 / 핸드폰 : 016-258-5645

## Design of Charge Pump with High Pumping Gain

Dong-Kwon Choi, Yoon-Jae Shin, Xiang-Hwa Cui, Kae-Dal Kwack  
Division of Electrical and Computer Engineering, Hanyang University  
E-mail : iami1126@ihanyang.ac.kr

### Abstract

AS supply voltage of DRAM is scaled down, voltage circuit that is stable from external noise is more important.  $V_{PP}$  voltage is very important, it is biased to gate of memory cell transistor and possible to read and write without voltage down. It has both high pump gain and high power efficiency therefore charge pump circuit is proposed. The circuit is simulated by 0.18 $\mu$ m memory process and 1.2V supply voltage. Compare to CCTS, it is improved 0.43V of pump gain, 3.06% of power efficiency at 6 stage.

### I. 서론

메모리의 수요처가 PC(personal computer)뿐 아니라 정보통신 기기로 저변이 확대되고 있다. PC의 데이터 처리량이 증가하고 정보통신 기기의 정보량이 증가하면서 많은 양의 데이터를 저장하기 위한 고집적 메모리가 요구 되고 있다. 메모리가 고집적화 되고, 모바일용(mobile) 정보통신 기기에 사용되기 위해서 저전압, 저전력 시스템이 연구되고 있다. 메모리의 고집적화를 위해서는 소자의 크기가 스케일링(scaling) 되어야 한다. 스케일링으로 인한 게이트 옥사이드의 breakdown

특성을 좋게 하기 위해서 공급 전압을 낮추어 옥사이드에 인가되는 전기장을 줄여야 한다. 휴대용 전화기, 디지털 카메라, PDA (personal digital assistant)와 같은 배터리로 동작하는 모바일 제품에 사용되는 메모리도 동작 시간을 늘리기 위해서 저전압으로 동작하는 저전력 시스템이 필요하다[1,2].

본 논문에서는 메모리 전압원 시스템 중 가장 높은 전압을 공급하는 승압 전원 전압( $V_{PP}$ )의 가장 중요한 블록인 차지 펌프에 대해 다룬다. 낮은 공급 전압으로 높은  $V_{PP}$  전압과 높은 전력 효율을 갖는 차지 펌프를 제안하고, 그 특성을 시뮬레이션을 통해 비교하였다.

### II. 메모리 내부의 $V_{PP}$ 전압 시스템

#### 2.1 $V_{PP}$ 전압 시스템의 구조

그림 1은 일반적인  $V_{PP}$  전압 시스템의 구조이다. 그 동작을 살펴보면,  $V_{PP}$  전압이 비교기인 level detector로 피드백 된다. level detector에서는  $V_{PP}$  전압이 원하는 값( $V_{CORE}+V_{T-CELL}$ )보다 큰 값인지 작은 값인지를 비교한다. 원하는 값보다  $V_{PP}$  전압이 작으면 level detector에서는  $V_{LD}$  신호를 보내게 된다. 이 신호는 oscillator 및 제어 신호 발생 회로를 동작시켜  $V_{PP}$  pumping 회로(차지 펌프)에 필요한 신호를 만들게 된다. 제어 신호에 의해 차지 펌프를 동작시켜  $V_{PP}$ 에 전하를 공급하여  $V_{PP}$  전압을 올려 원하는  $V_{PP}$  전압을 얻는다.

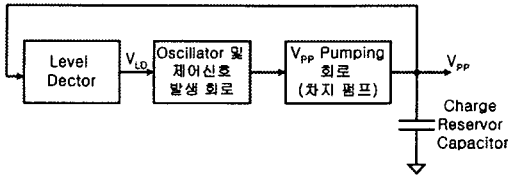


그림 1. 일반적인 V<sub>PP</sub> 발생기 구조

2.2 일반적인 차지 펌프

그림 2는 CCTS(cross-coupled charge transfer switch)의 구조이다. 커패시터의 커플링(coupling) 현상에 의해 승압된 전압 ΔV는

$$\Delta V = V_{CLK} \frac{C_{PUMP}}{C_{PUMP} + C_S} - \frac{I_{PP}}{f(C_{PUMP} + C_S)} \quad (1)$$

로 표현 된다. 여기서 C<sub>PUMP</sub>는 각 노드의 펌핑(pumping) 커패시터이고 C<sub>S</sub>는 각 노드의 기생(stray) 커패시터 성분, V<sub>CLK</sub>는 펌핑 클럭(colck)의 전압, f는 펌핑 클럭의 주파수 이고, I<sub>PP</sub>는 출력의 부하 전류이다 [3].

펌프 이득과 차지 펌프 동작을 하기위한 조건은

$$G_V = \Delta V \text{ 와 } \Delta V > V_{TN} \quad (2)$$

이다. 여기서 V<sub>TN</sub>은 NMOS의 문턱 전압이다. 공급 전압이 감소하면 V<sub>CLK</sub>이 감소하고 ΔV 전압도 감소하여 MOS 트랜지스터의 body-effect에 의한 문턱 전압이 증가하는 영향을 무시할 수 없게 된다. 따라서 V<sub>PP</sub>의 최대값은 body-effect에 의해 커패시터 커플링 현상에 의해 승압된 ΔV와 V<sub>TN</sub>이 같은 값일 때까지로 제한된다[4].

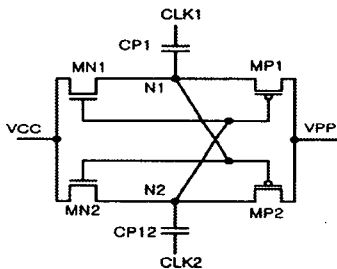


그림 2. Cross-Coupled Charge Transfer Switch

CCTS의 동작 중 클럭이 'High'에서 'Low'로, 'Low'에서 'High'로 변하는 과도 상태에 있을 때, reverse charge sharing이 일어나고, 기생 커패시터가 증가하여 펌프 이득을 떨어뜨린다. 식 (1)에서 I<sub>PP</sub>와 f가 들어간 부분이 클럭이 변하는 구간에서의 손실이다.

2.3 제안된 차지 펌프

본 논문에서 소개하고자 하는 제안하는 차지 펌프는 NMOS와 PMOS를 별개로 제어하여 앞에서 살펴본 문제점들을 해결하였다. 이로써 reverse charge sharing을 없애고, 주파수에 무관하게 높은 펌프 이득과 높은 효율을 얻기 위한 방법을 제시한다.

그림 3은 제안된 차지 펌프 회로이다. 이를 MCCTS (Modified Cross-Coupled Charge Transfer Switch)이라 하겠다.

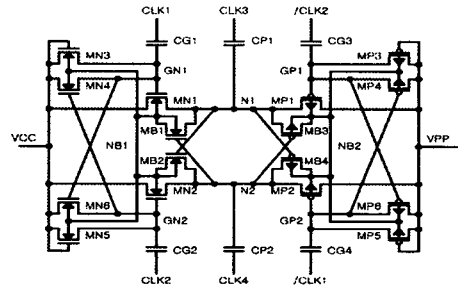


그림 3. 제안된 차지 펌프 (MCCTS)

MCCTS의 구성은 NMOS 게이트를 제어하기 위한 CG1, CG2 커패시터와 PMOS 게이트를 제어하기 위한 CG3, CG4 커패시터가 있다. 그리고 노드 GN1, GN2에 V<sub>CC</sub>-V<sub>TN</sub>의 초기값을 정하는 MN3, MN5의 MOS와 노드 GP1, GP2에 V<sub>PP</sub>의 높은 전압으로 초기 값을 정하는 MP4, MP6의 MOS가 있다. MP3과 MP5는 V<sub>PP</sub>를 precharge 한다. 그림 4에서 보듯 PMOS를 사용함으로써 발생하는 junction bias에 의한 래치 업 현상은 PMOS 벌크를 높은 전압으로 바이어스 하여 해결한다. 즉 그림 3에서 MB3, MB4를 통하여 MP1, MP2 PMOS에 노드 N1과 N2의 높은 전압을 벌크에 인가함으로써 래치 업을 방지 할 수 있다[5].

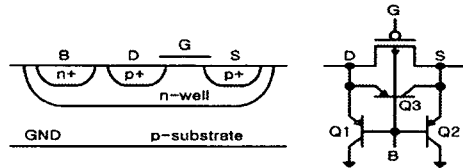


그림 4. PMOS 단면과 등가회로

그림 5는 제안한 차지 펌프의 타이밍도 이다. CLK1이 'High'가 되면 GN1이 V<sub>CC</sub>+ΔV가 되어 MN1을 'ON'시켜 노드 N1에 V<sub>CC</sub>를 전달한다. 이때 MN6을 통하여 GN2는 V<sub>CC</sub>로 precharge 된다. CLK1이 'Low'가 되면 MN1은 OFF가 되고 이후 CLK3이 'High', /CLK2가 'High'가 되면 N1은 완전히 floating 노드가 되어 노드 N1이 CP1 커패시터의 커플링 현상에 의해 V<sub>CC</sub>+ΔV 전압이 된다. 이후 /CLK2가 'Low', CLK2가

'High'가 되면 노드 N1의 전압이  $V_{PP}$ 에 전달되고, GN2는  $V_{CC} + \Delta V$  Level이 되어 노드 N2에  $V_{CC}$  전압을 전달한다. 이후 위의 동작을 되풀이 하면서  $V_{PP}$  전압을 발생시킨다.

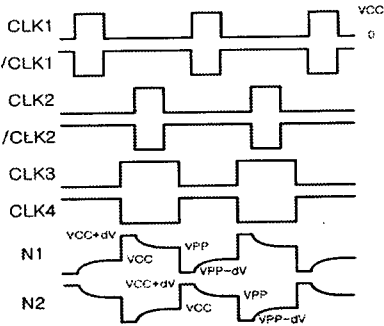


그림 5. 제안된 차지 펌프의 타이밍도

다단으로 차지 펌프를 구성하였을 때, 기존 회로의 구성은 그림 6과 같다. NMOS의 벌크와 소스 사이의 전압 차 때문에 body effect가 발생하여 문턱 전압이 상승한다. 이로 인해 펌프 이득이 줄어들게 된다. 이는 그림 7과 같이 PMOS뿐 아니라 NMOS의 벌크도 bias하여 다단으로 차지 펌프를 구성 하였을 때 발생하는 body effect에 의해 증가한 NMOS의 문턱 전압 손실을 개선하였다[6].

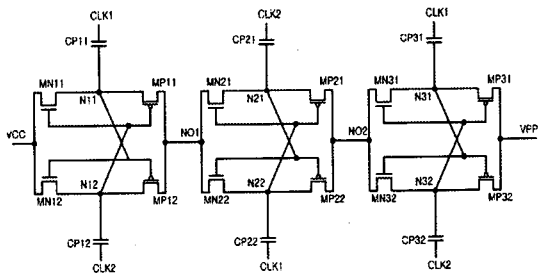


그림 6. 3단으로 구성된 CCTS

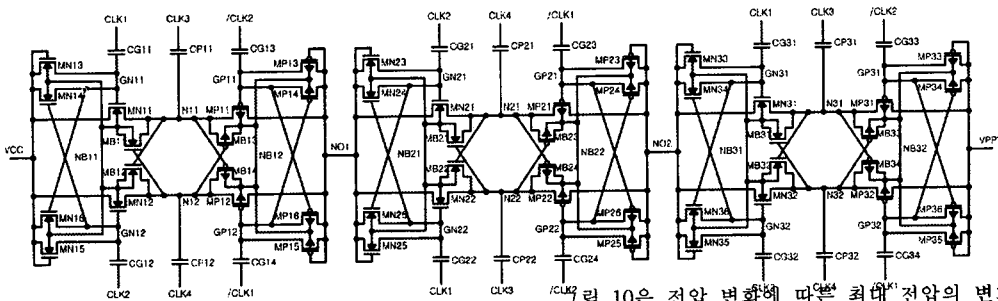


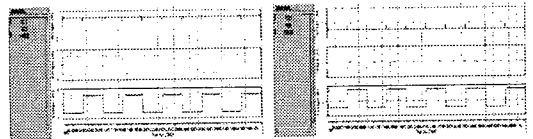
그림 7. 3단으로 구성된 제안된 차지 펌프

### III. Simulation 결과 및 분석

본 논문에서 제안한 차지 펌프의 성능을 평가하기 위해 0.18 $\mu$ m Process를 이용하여,  $V_{CC}$ 는 1.2V, CP는

20pF, CG는 5pF, CL은 1nF, CLK주기는 100ns (10MHz)로 시뮬레이션 하였다.

그림 8은 MCCTS의 PMOS와 NMOS의 벌크 전압을 보여준다. PMOS는 N21, N22중 높은 전압을 선택적으로 인가하여 래치 업 현상을 줄이고, NMOS는 N31, N32중 낮은 전압을 선택적으로 인가하여 다단으로 차지 펌프를 구성하였을 때 발생할 수 있는 body effect를 줄여 문턱 전압 증가를 방지하였다.



(a) PMOS 벌크 전압 (b) NMOS 벌크 전압  
그림 8. 벌크 전압

그림 9는 다단으로 차지 펌프를 구성하였을 때  $V_{PP}$  전압을 보여주고 있다. 일반적인 차지 펌프에서는 단수가 늘어날수록 body effect에 의해  $V_{PP}$  전압이 포화되지만, MCCTS에서는 다단으로 구성하였을 때 발생할 수 있는 body effect가 개선되어 선형적인  $V_{PP}$ 를 얻을 수 있다.

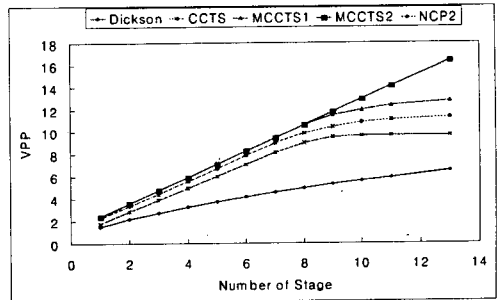


그림 9. 다단 차지 펌프의  $V_{PP}$  비교

그림 10은 전압 변화에 따른 최대 전압의 변화를 보여준다. 제안된 회로는 낮은 전압에서 높은 전압까지 높은  $V_{PP}$  전압을 얻을 수 있다.

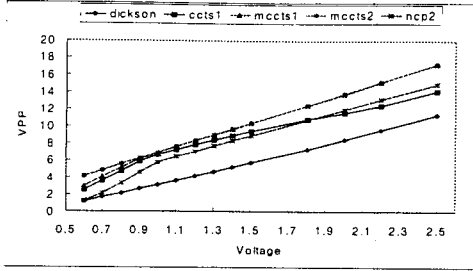


그림 10. 6단 차지 펌프의  $V_{CC}$  변화에 따른  $V_{PP}$

그림 11은  $V_{PP}$  변화에 따른  $I_{PP}/I_{CC}$  특성곡선을 나타내고 있다. MCCTS에서 높은  $V_{PP}$  전압까지 일정한 펌프 효율을 얻을 수 있음을 보인다.

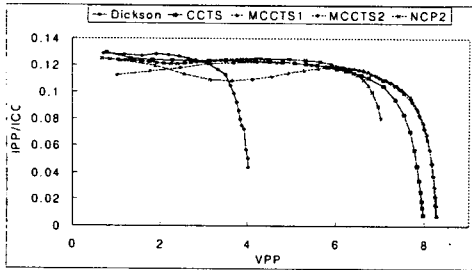


그림 11. 6단 차지 펌프의  $V_{PP}$ 와  $I_{PP}/I_{CC}$ 의 관계

그림 12는 클럭의 주파수 별  $V_{PP}$  전압을 나타낸다. 천이 구간에서의 reverse charge sharing이 없기 때문에 주파수에 무관하게 높은  $V_{PP}$  전압을 얻고 있다.

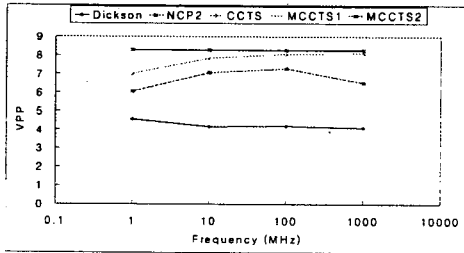


그림 12. 6단 차지 펌프의 주파수별  $V_{PP}$  전압

#### IV. 결론

본 논문에서는 다단 구성에서도 문턱 전압의 손실이 없이 높은 펌프 이득을 유지하고, 저 전압에서도 높은 펌프 효율을 보이는 차지 펌프를 제안하였다. CCTS와 비교 하였을 때 6 Stage에서 0.43V의 Gain 향상과 3.06%의 전력 효율이 향상 되었다. 이를 실현하기 위해 트랜지스터의 게이트를 제어 하기위해 8개의 MOS와 4개의 커패시터, 벌크 전압을 제어하기 위해 4개의 MOS가 사용되었고, 펌프 커패시터가 2개, 트랜지스터의 게이트를 제어하기 위한 커패시터가 4개 쓰

였다. 기존 회로에 비해 크기는 커지기는 했으나, 이는 사용하는 목적에 따라 펌프 단 수가 달라지고, 게이트를 제어하기 위한 커패시터와 MOS, 그리고 bias를 위한 MOS의 크기는 아주 작으므로 그 비중은 무시 할 만 하다.

#### 참고문헌(또는 Reference)

- [1] Y.Nakagome, "An Experimental 1.5V 64Mb DRAM", J.Solid-State Circuits, IEEE Journal of, Vol. 26, PP. 465-472, Apr. 1991.
- [2] T.Yamagata, "Low Voltage Circuit Design Techniques for Battery Operated and/or Giga-Scale DRAM's", J.Solid-State Circuits, IEEE Journal of, Vol. 30, PP. 1183-1188, Nov. 1995.
- [3] J.-T. Wu, and K.-L. Chang "MOS Charge Pumps for Low-Voltage Operation", IEEE Journal of, Vol. 33, PP. 592-597, Apr. 1998.
- [4] Palumbo,G, Pappalardo,D, "Charge-Pump Circuit : Power-Consumption Optimization", IEEE Transaction on, Vol.49, PP. 1535-1542, Nov. 2002.
- [5] P. Favrat, P. Deval, and M. J. Declercq, "A High-Efficiency CMOS Voltage Doubler", IEEE Journal of Solid-State Circuit, vol. 33, N). 3, March 1998.
- [6] K.-S. Min, Y.-H. Kim, J.-H. Ahn, J.-Y. Chung, and T. Sakurai, "CMOS Charge Pumps Using Cross-Coupled Charge Transfer Switches With Improved Voltage Pumping Gain and Low Gate-Oxide Stress For Low-voltage Memory Circuit", IEEE Journal of Solid-State Circuits, vol. 5, pp. 546-548, 2002.