SMPS 용 PWM IC 설계

최 인 철, 임 동 주, 조 한 주, 구 용 서
서경 대학교 전자공학과
전화 : 02-940-7163 / 핸드폰 : 019-418-5820

The study of PWM IC design for SMPS

In-Chul Choi, Dong-Jo Lim, Han-Jo Cho, Yong-Seo Koo
Dept. of Electronics, Seokyeong University
E-mail : redmoon1052@hotmail.com

Abstract

In this study, we design the one-chip PWM IC for SMPS (Switching Mode Power Supply) application.

We determine the IC spec. and simulated each block of PWM IC (Reference, Error amp., Comparator, Oscillator) with Smart Spice (SILVACO Circuit Simulation Tool).

Reference circuits generate constant voltage(5V) in the various of power supply and temperature condition. Error amp. is designed with large DC gain (≃65dB), unity frequency (≃190kHz) and large PM(75°).Saw tooth generators operate with 20K oscillation frequency (external resistor, capacitor).

I. 서론

SMPS (Switching Mode Power Supply) 의 설계에 있어서 계속되는 이슈는 보다 더 작고, 더 가볍게 제작하는 것이다. 가능한 한 작은 크기에서 높은 효율을 유지하는 Power Supply를 제작하는 것이, 실제 Designer 에게 있어 중요한 과제 이다.

SMPS는 두 개의 효율적인 상태를 빠르게 스위칭 하는 방식으로 동작하게 된다. 두 동작 상태는 cutoff 와 saturation 이라 하는데, cut off 상태에서는 높은 전압이 pass unit에 걸리게 되고, 전류는 거의 흐르지 않는다. saturation 상태에서는 높은 전류가 pass unit 을 통해 흐르고 전압은 거의 걸리지 않게 된다.

이러한 두 가지 동작 상태를 가능한 빠르게 switching 해 주는 방식으로 전압을 변하게 해준다. 또한 SMPS 는 직접적인 스위칭 방식으로 AC-DC converting이 일어나게 되므로, linear power supply에서 1차 전압 강하를 위해 사용되는 변압기를 사용하지 않거나 그 크기를 크게 줄일 수 있다. 이 SMPS 방식은 앞서 말했지만, switching을 통한 AC-DC 혹은 DC-DC의 과정으로 이해될 수 있으므로, 이 회로에서 중요한 것은 어떻게 switching을 해주는가 하는 문제가 매우 중요하다. 즉, 필연적으로 SMPS에서는 switching을 위한 제어부가 필요한데, 이 회로의 제어 방식으로 가장 일반적인 것이 바로 PWM을 이용하는 것이다.

II. PWM IC

PWM IC 는 saw tooth generator (삼각파 발생기) error amp, comparator, reference circuit 으로 구성된다. 본 연구에서 설계한 고 내압 전력소자 내장형 PWM IC 의 구성은 다음과 같다.

1장. PWM IC 각 모듈별 설계

1-1 Oscillator

Oscillation frequency(20K) swing 폭 (3.5V) 급을 얻기 위해서 IC 외부에서 resistor, capacitor를 조절하여 다양한 system 에 맞게 Oscillation frequency를 조정할 수 있도록 설계하였다.

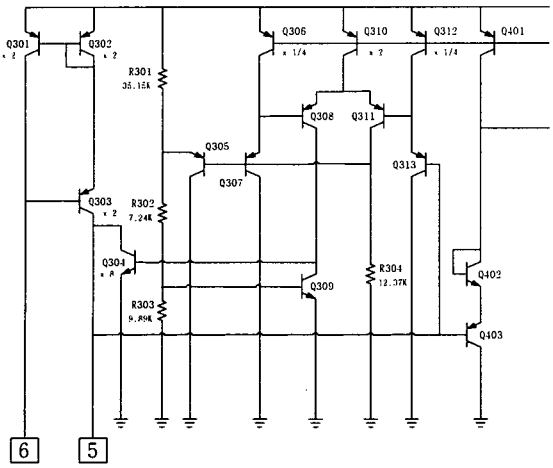

그림 1. Oscillator circuit

Oscillator 동작원리를 살펴보기로 한다. Oscillator 의 동작은 Q308 transistor 와 Q311 transistor(pnp 트랜지스터)의 입력을 각각 high, low로써 가정을 한다. 이 경우 Q311 transistor가 on 되어 collrector 단 쪽으로 current가 흐르게 된다.

Q311 transistor 의 collector 단 쪽에서 high 의 값으로 동작을 하게 되면 Q305 transistor 와 Q307 transistor 는 off 가 된다.

Q306 transistor, Q310 transistor, Q312 transistor ,Q41 transistor 는 current source 로써 동작을 하게 된다. Q305 transistor 와 Q307 transistor 가 off가 되면 Q308 transistor 은 처음에 가정했던 high 값이 계속 유지 할 수 있는 값을 가지게 된다.

Q304 transistor 와 Q309 transistor 는 bias 가 잡히지 않기 때문에 off 상태가 된다. 이런 상태가 되면 current source 형태로 쓰이는 Q301 transistor, Q302 transistor, Q303 transistor를 통해서 흐른 current는 5번 pin 으로 흐르게 된다.

Q403 transistor 와 Q313 transistor 는 off 가되기 때문에 V_{ref} 의 값은Q312 transistor를 통해 Q311 transistor 의 base 단 쪽으로 들어가게 된다.

처음에 low로 가정했던 Q311 transistor 가 high로써 동작을 하게 된다. 이런 일련의 과정들이 반복됨으로써 oscillator 가 동작을 하게 된다.

우리가 원하는 Oscillator frequency(20k) swing 폭 (3.5V) 급을 얻기 위해서 IC 외부에서 resistor(20K), capacitor(0.001μ) 를 조절해서 Oscillation frequency 를 얻을 수 있다.

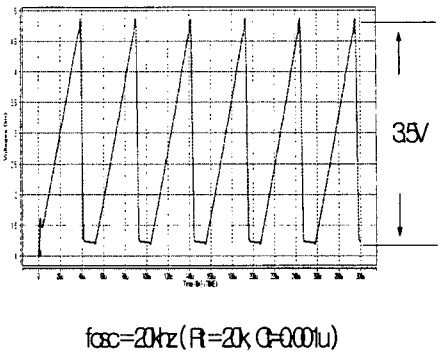

그림 2. 삼각파 발생기 simulation 결과

1-2 Reference 설계

BJT 의 V_{be} 및 V_{th}, V_t 를 기준전압으로 하는 공급전압 변화에 무관한 바이어스 회로에서는 출력전압의 온도 의존성이 비교적 크게 나타난다. PWM IC 전체 회로에서 Bandgap Reference 회로는 V_{CC}를 입력받아서 5V의 일정한 출력을 Comparator 나 Oscillator 부분에 공급한다. Bandgap 회로는 기본적으로 전압원 회로로서, 공급전압 및 온도에 모두 무관한 전압 V_O를 출력시킨다.

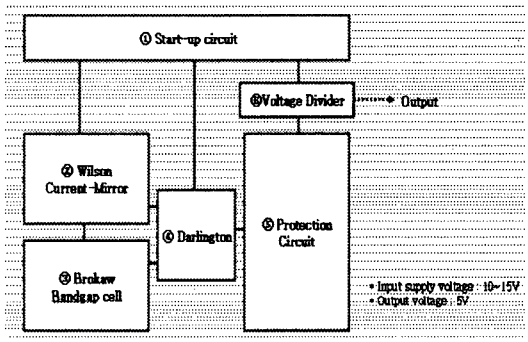

그림 3. Bandgap reference 블락도

Bandgap reference 회로는 Start-up circuit, Wilson current mirror, Brokaw bandgap cell, Darlington 등으로 구성되어 있다.

Wilson current mirror는 아래쪽의 Brokaw bandgap cell에 같은 양의 전류를 공급하며 bandgap cell의 두 transistor의 base-emitter전압의 차이 △Vbe가 출력으로 흐르게 된다. 이 △Vbe는 Darlington의 base-emitter voltage의 출력과 합해지고, 다른 인자들과 곱해져 Vout으로 나오게 되며, 이때 이 회로는 5V의 출력을 갖게 된다.

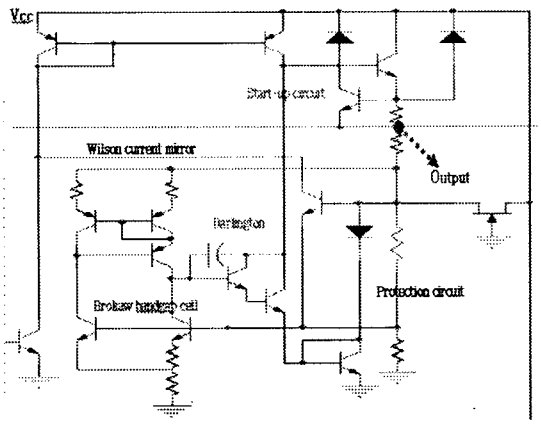

그림 4. Bandgap reference 회로도

좌측 하단의 Protection circuit은, 회로에 Noise가 인가되는 것을 막는데, 임의의 Noise가 JFET의 입력부분에 인가되면, JFET의 Source-gate voltage가 음의 값을 갖게 되어 OFF되고, 이 Noise는 JFET에 의해 차단된다. 위쪽의 Start-up회로는 회로의 operating point를 잡아주는 역할을 한다.

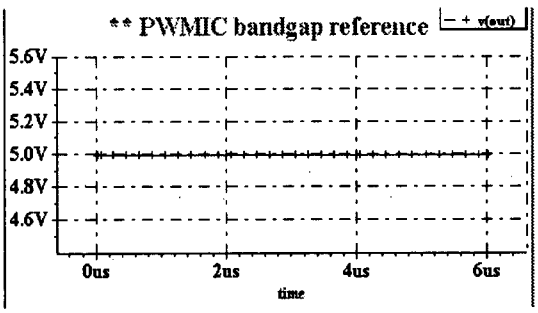

그림 5. simulation 결과

Input supply voltage는 10~15V이며, 이 회로는 5V에 가까운 출력을 갖는다.

1-3 comparator 설계

Low Speed Comparator는 two stage 구조이며, First Stage는 Differential amp. Second Stage는 Common Emitter 구조로 구성되어 있고, 입력으로는 DTC(Dead Time Control), Error amp.의 Output, 삼각파 신호가 인가되어 있다. Comparator의 특성은 open-loop 상태에서 high level(5V) 또는 low level (0V) 두 가지의 상태를 점유해야 하기 때문에 큰 DC gain (우수한 meta stability 특성) 과 원하는 bandwidth 보다 큰 3-dB frequency를 가져야하는데, 선형적인 증폭기를 사용할 경우 gain과 3-dB frequency는 Trade-off 관계를 가지므로, 좋은 주파수 특성을 얻기가 어렵다. 그러나, 본 과제의 PWM IC에서는 삼각파의 파형의 Oscillation frequency가 20kHz이하의 low frequency application이기 때문에 두 단의 증폭기를 이용하여 Comparator를 설계 할 수 있었다.

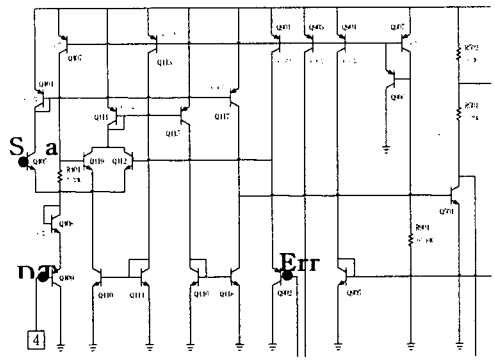

그림 6. Low Speed Comparator의 회로도

Low Speed Comparator의 Simulation은 DTC는 ground로 설정하고, 삼각파 발생회로를 통한 삼각파와 error amp. 두 가지 신호에 대한 비교를 수행하였다.

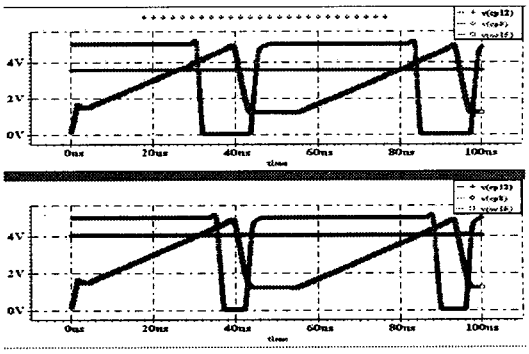

그림 7. simulation 결과

1-4 Error Amplifier 설계

Error amp는 높은 dc gain(65.7dB)를 가지고, 적절한 Phase Margin(76 degree)을 갖도록 설계 하였고, 입력 저항을 늘리기 위해, cascade 방식으로 입력 부를 설계하였다.Error Amp.는 SMPS의 output 단의 출력을 voltage divider를 통해 나온 출력이 reference voltage (5V)와 비교 되고, 그 오차가 증폭되는 형태로 동작한다. Error Amp.는 negative feedback을 사용하고, negative feedback에 의해 Error Amp.의 Input 저항이 R_{in}, feedback 저항R_f라 하면, Input이 reference voltage 보다 작은 경우

output은 $-R_f/Rin$ 으로 증가하게 되고, Input이 reference voltage 보다 큰 경우 $-R_f/Rin$로 감소하는 동작을 한다.

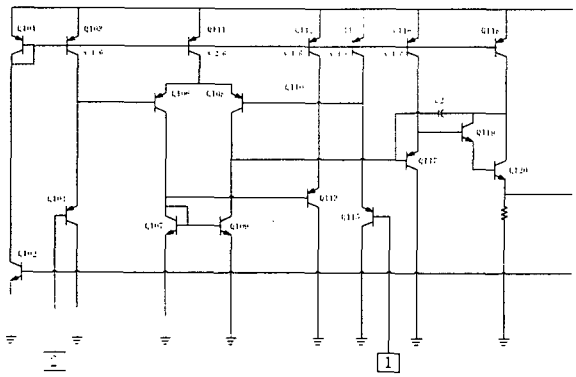

그림 8. error amp 회로도

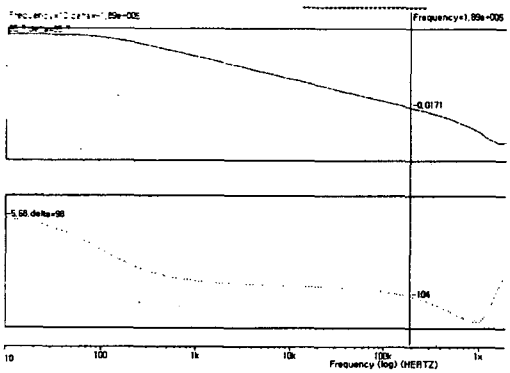

그림 9. Error amp. 의 AC Simulation 결과

Ⅲ. 결론

본 연구에서는 Oscillation frequency 가 20KHz, swing폭 3.5V를 갖게끔 외부에서 resistor 와 capacitor를 조절하였고,Reference circuit은 15V의 Supply voltage에서 5V의 reference voltage 생성하도록 설계하였다.Comparator는 2stage 형태로 구성하였다. Error amp는 높은 dc gain(65.7dB)를 가지고, 적절한 Phase Margin(76 degree)을 갖도록 설계 하였고, 입력 저항을 늘리기 위해, cascade 방식으로 입력 부를 설계하였다.

Ⅳ. 참고 문헌

[1] David A.Johns, and Ken Martin, " Analog Integrated Circuit Design,"John Wiley & Sons, Inc, pp317-321,1997

[2] "Low voltage low power Comparator design technique," 서강대학교,pp3-7,1995

[3] Michael J.Demler "High-speed Analog-to-Digital Conversion"
Academic Press,inc 1991

[4] R.Jacob Baker, Harry W.Li, David E. Boyce " CMOS circuit design, layout, and simulation ' IEEE Press Series on Microelectronic systems