

RLC 연결선의 지연시간 예측을 위한 효율적인 계산법

정문성, 김기영, 김석윤

승실대학교 컴퓨터학과
전화 : 02-813-0682 / 핸드폰 : 016-631-2985

An efficient method for delay estimation in RLC interconnects

Mun-Sung Jung, Ki-Young Kim, Seok-Yoon Kim

Dept. of Computer, Soongsil University
E-mail : jms@ic.ssu.ac.kr

Abstract

This paper proposes effective method for delay estimation in RLC interconnects. This method is simple, but precise. The results using the proposed method for RLC circuits show that absolute average relative error is within 7% with the exception of first node in comparison with HSPICE results .

I. 서론

VLSI system의 고속/집적화 경향에 따라 관심을 끌고 있는 분야의 하나는 회로 연결선이다. 칩 내부 및 외부 연결선들의 구조 및 배치 문제는 신호의 충실성과 직결되므로 설계자들에게는 중요한 관심사다. 앞에서 말한 것처럼 연결선의 구조 및 배치를 최적화할 수 있게 하기 위해서는 먼저 이를 정확히 해석할 수 있어야 한다. 연결선의 해석을 위해서는 크게 특성화, 모형화, 해석의 3 단계를 거친다고 볼 수 있다[1]. 제 1 단계인 특성화 단계는 연결선의 구조 및 매체 정보로부터 전자기적 특성을 추출(extraction) 해내는 과정을 말한다. 제 2단계인 모형화에서는 특성화 단계에서 얻어진 변수를 근거로 회로 모형(circuit model)을 구성

하는 단계를 말한다. 제 3단계인 회로 해석은 특성화 및 모형화 과정에서 얻어진 회로 모형을 해석하는 작업을 일컫는다. 결국 해석단계에서는 모형화 단계에서 발생한 많은 양의 회로 요소들은 다시 간편화 시키면서 연결선의 특성을 보존하고자 하는 것이 해석단계의 주 관심사다. 그래서 모형화 단계에서 복잡한 회로 모형을 구성하는 것보다 연결선의 특성을 잘 나타낼 수 있는 간단한 모형이 제시하고 해석한다면 효율적인 방법이 될 수 있다. 공정 기술이 발달함에 따라 VLSI 회로 내 시간 지연에서 연결선 지연이 차지하는 비중이 증가하고 있다. 그러므로 정확하면서도 효율적으로 연결선 지연을 해석할 수 있는 모형이 필요하게 되었다. 가장 간단한 연결선 모형화 방법은 전체 연결선의 총 커패시턴스로 모형화하는 것이다. 그러나 이 모형화 방법은 저항 차폐효과(resistance shielding effect)를 무시했기 때문에 연결선의 저항이 커지는 경향에 비추어 볼 때 부적합하다. 그래서 증가되는 연결선의 저항 성분을 고려한 RC 연결선 모형이 사용되고 있다. 그러나 논리 소자의 스위칭 속도는 점점 빨라지고 동작 주파수 역시 높아지고 있다. 또 연결선의 길이도 증가하고 있다[2]. 이에 따라 인덕턴스의 영향이 상대적으로 중요시 되고 있다. 인덕턴스는 VLSI 설계에서 빠져서는 안 될 중요한 요소가 되었다.

본 논문에서는 RLC 연결선 지연시간을 간단하고 정확하게 계산할 수 있는 방법을 제안한다.

본 논문의 구성은 다음과 같다. 서론에 이어 2장에서는 RLC 연결선의 시간지연을 계산을 위한 새로운 방법을 제시한다. 3장에서는 제안한 방법과 SPICE 시뮬레이션 비교결과를 보인다. 마지막으로 4장에서는 결론을 맺는다.

II. 새로운 지연시간 계산 방법

많은 수의 연결선 구성요소들을 간단한 축소모형으로 시뮬레이션을 수행하고 근사화 된 해석 결과를 얻을 수도 있지만, 보다 정확한 지연시간 계산을 필요로 하는 경우가 생긴다. 가장 널리 알려진 연결선의 지연시간 계산법으로는 elmore delay[5]가 있다. elmore delay는 오차는 크지만 가장 쉬운 계산을 수행할 수 있다는 장점이 있다. 이외 에도 h-gamma[7] 방법 등 모멘트를 이용한 지연계산 법이 있다. 또 다른 방법 중 ECM(effective capacitance metric)[2] 계산법은 모멘트 계산 없이 수행할 수 있다. i 노드를 중심으로 그 이하의 회로들을 π 모형으로 구하고 다시 저항과 뒷단의 커패시터 성분을 단일 커패시터(ECM)로 모형화하여 순수한 커패시터의 합들로 뒷단을 모형화 하는 방법이다. 하지만 ECM 방법 또한 축소모형을 구하기 위한 단계에서 모멘트 계산을 수행하고 있어서 간편한 계산법이라 볼 수 없다. ECM 방법을 개선한 방법 중 MD_ECM[6]이 있다. MD_ECM 방법은 moment를 전혀 고려하지 않고도 지연시간을 쉽게 계산할 수 있다.

$$ECM_i = ECM_{p(i)} + R_i(C_i + C_{ni} + C_{eff}) \quad (1)$$

$$MD_ECM_i = MD_ECM_{p(i)} + R_i(C_{nmi} + C_{eff}) \quad (2)$$

위의 식에서 $ECM_{p(i)}$ 와 $MD_ECM_{p(i)}$ 는 이전 단계까지의 지연시간이다.

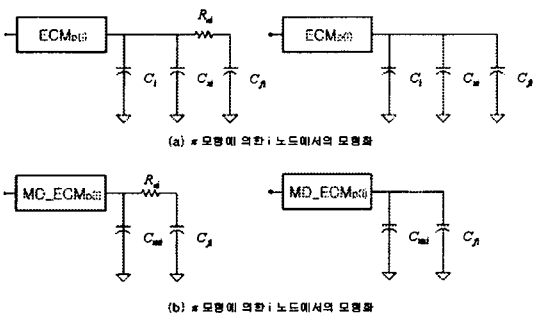


그림 1. ECM 과 MD_ECM 방법

그러나 위의 방법들은 연결선의 RC 성분만을 고려

한 지연시간 계산식이다. 논리 소자의 스위칭 속도가 점점 빨라지고 동작 주파수가 높아지고 있는 현 시점에서 인덕턴스의 영향이 상대적으로 중요시 되고 있다.

본 논문에서는 앞에서 제시한 MD_ECM 계산법을 응용하여 RLC 연결선의 지연시간을 쉽게 계산하는 방법을 제안하고자 한다.

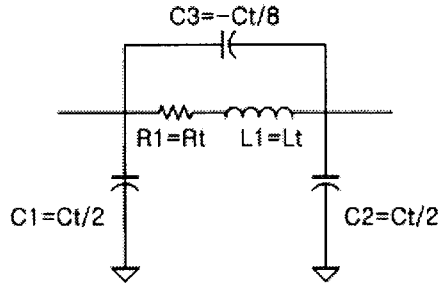


그림 2. Xu 제시 모형

Xu모형[3]을 사용하여 제안하는 유효 커패시턴스 계산 방법으로 계산하면 지연시간을 계산할 수 있다. 식 (2)에서의 소자값 C_{nmi} 는 Xu 모형에서 C1에 해당한다. 문제는 C_{eff} 를 구하는 것이다. C_{eff} 를 계산하는 방법은 다음과 같다

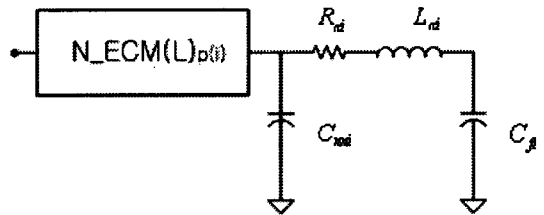


그림 3. L을 고려한 N_ECM(L) 방법

그림 3에서 저항 R_{ni} 와 인덕턴스 L_{ni} 그리고 커패시턴스 C_f 에 흐르는 전류는 $V(s)$ 가 단위스텝인 경우 다음과 같다

$$I(s) = V(s)Y(s) = \frac{C_{fi}}{s^2 L_{ni} C_{fi} + s R_{ni} C_{fi} + 1}$$

$$= \frac{1/L_{ni}}{s^2 + s R_{ni}/L_{ni} + 1/L_{ni} C_{fi}}$$

$$q(t) = \int_0^T i(t) dt = \int_0^T \frac{1}{L_{ni}(a-b)} (e^{at} - e^{bt}) dt$$

$$= \frac{1}{L_{ni}(a-b)} \left(\frac{1}{a} e^{aT} - \frac{1}{b} e^{bT} - \frac{1}{a} + \frac{1}{b} \right)$$

그리고, 단위 스텝입력인 경우에 $q(t) = C_{eff}$ 이다. 따라서 정리하면

$$C_{eff} = \frac{1}{L_{ii}(a-b)} \left(\frac{1}{a} e^{aT} - \frac{1}{b} e^{bT} - \frac{1}{a} + \frac{1}{b} \right) \quad (3)$$

로 주어진다. 여기서 T값은 해당하는 노드에서의 elmore delay값이고 a,b 값은 I(s)식의 pole이다. 그러나 T값을 elmore delay로 계산할 경우 회로에 있는 인덕턴스의 특성이 고려되지 않았기 때문에 실제 지연시간과는 오차가 생길 수 밖에 없다. 따라서 본 논문에서는 elmore delay값 대신 Equivalent Elmore delay[4] 값을 대입한다.

I(s)의 pole값은 간단한 moment 식으로 계산할 수 있다. 일반적인 RLC 회로에서 i번째 노드에서의 첫 번째, 두 번째 모멘트는 다음과 같은 방법으로 구할 수 있다[4].

$$m_1^i = - \sum_k C_k R_{ik}$$

$$m_2^i = \sum_k \sum_j C_k R_{ik} C_j R_{kj} - \sum_k C_k L_{ik}$$

pole은 근의 공식을 사용하여 구할 수 있다.

$$P_1, P_2 = \frac{1}{\sqrt{m_1^2 - m_2}} \left(\frac{m_1}{2\sqrt{m_1^2 - m_2}} \pm \sqrt{\frac{m_1^2}{4(m_1^2 - m_2)} - 1} \right) \quad (4)$$

이렇게 구한 pole을 식 (3)에 대입해서 한 후 간단한 수식계산만으로 RLC 연결선의 지연시간을 구할 수 있다.

III. 시뮬레이션 결과

실험을 위해 그림 4의 RLC 회로를 사용하여 시뮬레이션을 수행한다.

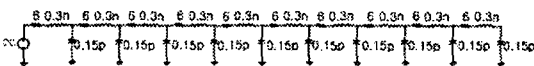


그림 4. RLC 회로

표 1은 본 논문에서 제시한 새로운 방법에 의한 delay 계산 방법과 elmore delay, 그리고 equivalent

elmore delay[5] 방법을 SPICE 시뮬레이션 결과와 비교한 것이다.

표 2는 SPICE에서 구한 지연시간을 기준으로 각 방법별로 각 노드에서의 지연시간을 SPICE 결과에 대한 상대오차의 절대값을 나타낸 것이다.

equivalent elmore delay[4]계산방법은 마지막 노드에서 정확한 결과값을 보이지만 마지막 노드를 제외한 나머지 노드에서는 상당한 오차를 보인다. 반면 새롭게 제안한 방법은 첫 번째 노드를 제외한 전 노드에서 평균 7%이내의 상대오차를 보이고 있다. 따라서 Xu π 모형을 사용한 N_ECM(L) 방법으로 각 노드에서의 정확한 지연시간을 계산할 수 있다.

표 1. 지연시간 비교

노드	지연시간(s)			
	elmore delay	equivalent elmore delay	proposed method	spice
1	6e-12	2.3560e-11	4.8283e-12	3.1155e-12
2	1.71e-11	3.3588e-11	9.9397e-12	9.0578e-12
3	2.43e-11	4.1106e-11	1.5318e-11	1.5406e-11
4	3.06e-11	4.7114e-11	2.0929e-11	2.1927e-11
5	3.6e-11	5.1985e-11	2.6741e-11	2.8561e-11
6	4.05e-11	5.5896e-11	3.2721e-11	3.5285e-11
7	4.41e-11	5.8945e-11	3.8837e-11	4.2068e-11
8	4.68e-11	6.1195e-11	4.5055e-11	4.8912e-11
9	4.86e-11	6.2674e-11	5.1341e-11	5.5762e-11
10	4.95e-11	6.3412e-11	5.7661e-11	6.1418e-11

표 2. 지연시간 상대오차

노드	지연시간 상대오차의 절대치(%)		
	elmore delay	equivalent elmore delay	proposed method
1	188.88	656.22	54.83
2	88.79	270.82	9.74
3	57.73	166.82	0.57
4	39.55	114.87	4.55
5	26.05	82.01	6.37
6	14.78	58.41	7.27
7	4.83	40.12	7.68
8	4.32	25.11	7.89
9	12.84	12.4	7.93
10	19.40	3.25	6.12

IV. 결론

본 논문에서는 간단한 π 모형을 이용하여 RLC 연결선의 정확한 지연시간을 예측할 수 있는 간단하고 효율적인 RLC 연결선 지연시간 계산방법을 제시하였다.

제안된 방법은 elmore delay 계산 수준의 간단한 수식을 통해 연산을 수행할 수 있기 때문에 손쉽게 계산할 수 있고 정확도를 보장한다.

참고문헌

- [1] 김석윤, VLSI 시스템 회로 연결선의 모형화 및 해석, 시그마 프레스, 1999년
- [2] C.J. Alpert, A. Devgan, and C. Kashyap, "RC delay metrics for performance optimization", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol 20, pp571-582, May 2001.
- [3] Qinwei Xu, Mazumder, P., "Novel macromodeling for on-chip RC-RLC interconnects", IEEE
- [4] Y.I. Ismail, E.G. Friedman, "Equivalent elmore delay for RLC trees", IEEE Trans, computer-aided design, vol.19, no 1, Jan 2000
- [5] W.C. Elmore, "The transient response of damped linear network with particular regard to wide band amplifier", J. Appl. Phys, vol.19, pp55-63, 1948
- [6] 김승용, 김기영, 김석윤, "RC-class 연결선의 축소 모형을 이용한 대수적 지연시간 계산법" 대한전기학회 논문지 52C권 5호, pp193-200, May 2003
- [7] T. Lin, E. Acar and L. Pileggi, "h-gamma: An RC delay metric based on a gamma distribution approximation to the homogeneous response", in Proc. IEEE/ACM Int. Conf. Computer-Aided Design of Integrated Circuits and Systems, vol 20, pp571-582, May 2001.