

# 전류 축척기와 분배기를 사용한 12Bit D/A변환기 설계

윤 건 식, 박 청 용, 하 성 민, 윤 광 섭  
인하대학교 전자공학과  
전화 : 032-860-7419 / 핸드폰 : 017-295-0721

## Design of a 12Bit Digital to Analog converter Using Current Scaler and Divider

GunShik Yune, Cheong Yong Park, Sung Min Ha and Kwang Sub Yoo

Dept. of Electronics Engineering, InHa University  
E-mail : g2022014@inhavision.inha.ac.kr

### Abstract

This paper presents a 12-Bit 250MHz CMOS current-mode Digital to Analog Converter(DAC) with current scalers and dividers. It consist of 4 MSB current scaler, 4 MLSB current divider, and 4 LSB current divider.

The simulation results show a conversion rate of 250MHz, DNL/INL of  $\pm 5\text{LSB}/\pm 7\text{LSB}$ , die area of  $0.55\text{mm}^2$  and power dissipation of 27mW at 3.3V

### I. 서론

무선 통신시스템에 있어서 HDTV, xDSL, WLAN, 등의 확연한 기술진보로 인해서 고해상도, 고속 D/A 변환기에 대한 수요는 꾸준히 늘어가고 있다.

고해상도, 고속 D/A의 경우 일반적으로 혼합구조의 D/A변환기가 좋은 선형성과 큰 회로의 면적과 비교적 큰 전력 소모를 가지고 있지만 사용되고 있다. 따라서 큰 면적을 가진 일반적인 혼합구조의 D/A변환기는 현재의 SoC(System On a Chip)형태에 적용하는데 있어서 큰 면적과 많은 전력소모로 인해 불편함이 있을 수도 있다.

본 논문에서는 이러한 큰 면적과 많은 전력 소모를 줄일 수 있는 전류 축척기와 분배기를 사용한 설계 방

법을 제안하고 있다. II장에서는 전류 축척기와 분배기에 대한 소개와 전체 구조에 대한 설명을 한다.

III장에서는 레이아웃 및 모의 실험결과에 대해 설명하고 IV장에서는 이에 따른 결론을 내렸다.

### II. 12비트 D/A변환기 설계

#### 2.1 전체 구조에 대한 순서도.

12비트 D/A변환기를 설계함에 있어서 제일 처음 해야 할 것은 출력 범위에 대한 설정이다. 본 설계에서는 출력 임피던스를 50옴으로 설정한 상태에서 1.25V로 출력전압범위를 설정하였다. 이로서 본 설계에서 사용한 전류 축척기 4비트, 중간 전류 분배기 4비트, 최종 전류 분배기 4비트를 사용한 12비트 D/A변환기를 설계를 할 수 있다. 맨 처음 전류 축척기를 사용해서 전체 출력 전압범위인 1.25V를 4비트 이므로 16등분한 값을 출력할 수 있도록 전류 축척기를 설계했다. 설계한 전류 축척기의 각 단계를 다시 4비트 해상도인 전체 전류량의 16등분을 하기 위해서 중간 전류 분배기를 4비트에 해당하는 전체전류량의 256등분을 위한 전류량을 계산하여 설계했다. 마지막으로 최종 전류 분배기의 4비트 전체 전류량의 4096등분에 해당하는 전류량을 계산하여 최종 전류 분배기를 설계했다.

이를 간단히 수식으로 설명하면 수식(1)~(4)로 표현할 수 있다.

$$I_{MSB} = \sum_{j=0}^3 \frac{I_{REF}}{2^j} \quad (1)$$

$$I_{MLSb} = \sum_{k=0}^3 \frac{I_{MSB}}{2^k} \quad (2)$$

$$I_{LSB} = \sum_{l=0}^3 \frac{I_{MLSb}}{2^l} \quad (3)$$

$$I_{OUT} = I_{MSB} + I_{MLSb} + I_{LSB} \quad (4)$$

그림 1은 전체 회로 구성에 대한 순서도이다. 입력비트를 레지 회로 배열로 동기화 한 다음에 각 최상위 비트와 최하위 비트의 입력에 따라 축척기와 분배기를 동작시키게 한다. 전체 입력에 대한 최종 전류량은 하나의 노드에서 합산되어 전체 12비트 D/A 변환기 출력으로 나타난다.

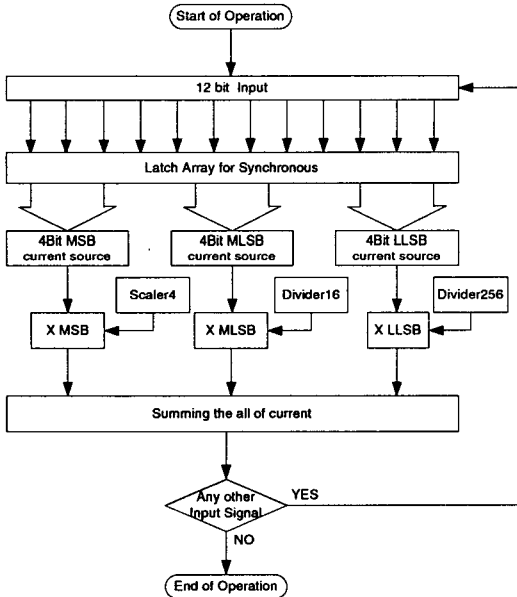


그림 1. 전류 축척기와 분배기를 사용한 12비트 D/A 변환기

### 2.2 전류 축척기와 분배기

전류 축척기와 분배기는 비안정 믹서를 응용하여 만들었다. 전류 축척기는 MSB단의 입력을 받아 12비트 D/A 변환기의 전체 출력전압범위를 정하는데 사용한다. 전류 분배기는 전류 축척기의 출력을 받아 이를 분배하는데 사용한다. 설계한 12비트 D/A 변환기에서는 MSB의 전류를 16등분하는 MLSB단과 MLSB단의 출력을 다시 16등분하는 LSB단에서 두 차례 전류를 분

배한다.

그림 2는 전류 축척기와 전류 분배기의 회로와 기호이다.

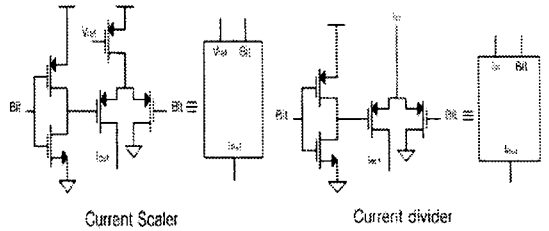


그림 2. 전류 축척기와 분배기의 회로와 기호

### 2.3 전류 축척기와 분배기를 사용한 12비트 D/A 변환기

전체 12비트 D/A 변환기의 구조는 그림 2에 설명한 전류 축척기와 전류 분배기를 사용하여 만들었다.

비슷한 구조를 가지고 있는 이진 가중치 방식의 D/A 변환기의 경우 전체 출력 전류량을 설정한 뒤 이를 최하위 최하위비트에서 최상위비트까지  $2^V$  배로 트랜지스터의 비를 늘여가며 설계하여야 한다. 이는 전체 면적의 선형적인 증가를 가져오게 만든다. 또한 이진가중치 방식을 사용할 경우 고해상도 D/A 변환기를 만들 경우 최하위 비트의 게이트의 넓이와 폭의 비가 너무 작아질 수 밖에 없어 설계에 어려움을 느낄 수도 있다.

전류 축척기와 전류 분배기를 사용할 경우 전체 출력 전압범위에 따라 두 번 혹은 한번의 분배를 통해 고해상도 D/A 변환기를 만드는데 있어서 설계상의 용이점이 있다.

그림 3의 12비트 D/A 변환기 구조에서 최상위 4비트는 전류 축척기를 각각  $2^V$ 로 입력비트에 반응하게 만들었다. 오른쪽 상단의 전류 축척기는 최상위비트의 전류 축척기의 기준이 되는 축척기로서 전류축척기들의 전류 출력량을 조절하고 하단의 중간 4비트에 전류를 공급해준다. 중간단의 전류 분배기는 상위 비트의 전류 축척기로부터 전류를 공급받아 중간단 전체 분배기들의 기준으로서 중간 전류 출력단의 전류량을 조절한다. 또한 최하위 비트의 전류 분배기에 전류를 공급한다. 최하위 비트의 전류 분배기는 중간단의 전류 분배기의 전류 출력을 받아 이를 각 최하위 비트 전류 분배기 배열에 기준 전류량을 정해준다.

이러한 구조를 그림 3으로 나타내었다.

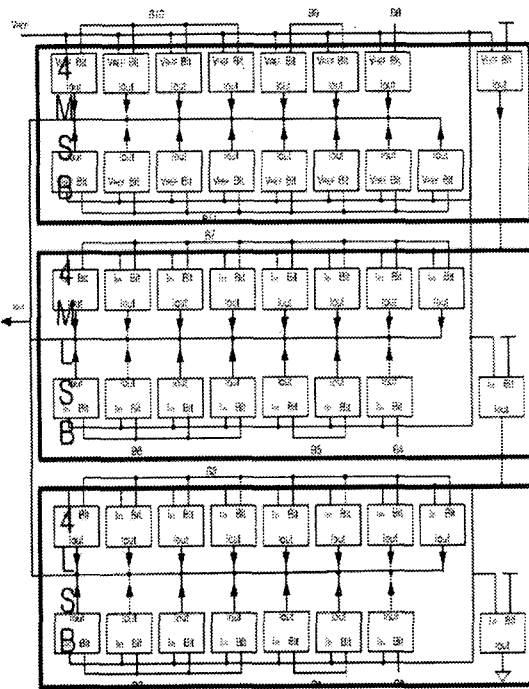


그림 3. 전류 축척기와 전류 분배기를 사용한 전체 12비트 D/A 변환기의 구조

### III. 레이아웃 및 모의실험결과

#### 3.1 레이아웃

설계한 회로를 제작하기 위해 CMOS 1P4M 0.35um 공정을 사용하여 그림 4의 레이아웃을 하였다. 그림 4를 보면 전체 전류원의 크기 중 절반가량을 전류 축척기가 차지하고 전류 분배기는 거의 같은 크기를 사용하고 있다. 그림 4의 전체 12비트 D/A 변환기 레이아웃을 한 결과 0.55mm<sup>2</sup>를 사용하였다.

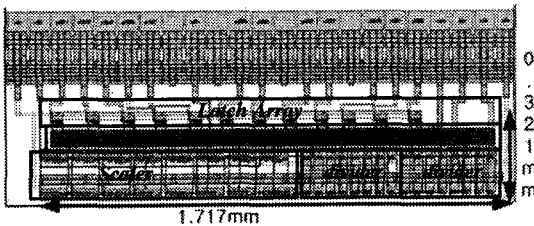


그림 4. 12비트 D/A 변환기의 레이아웃

#### 3.2 모의실험 결과

그림 5, 그림 6과 그림 7은 설계한 D/A 변환기에 카

운터로 입력신호를 주었을 때의 결과 파형이다.

전체 출력전압은 설계한 의도와 같이 1.25V 출력범위를 만족하고 있으나 회로가 가진 부정합과 입력 신호의 잡음에 따른 클리치가 상당히 많이 떠 있음을 확인할 수 있다.

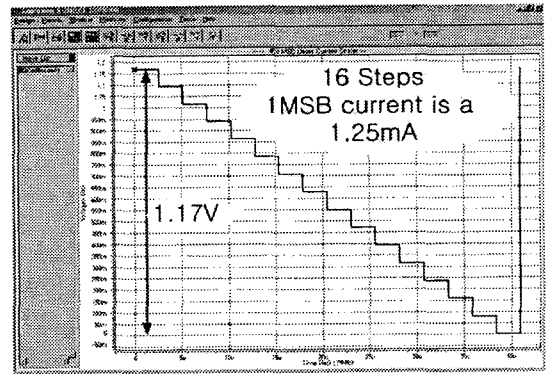


그림 5. 상위 4비트 D/A 변환기의 출력

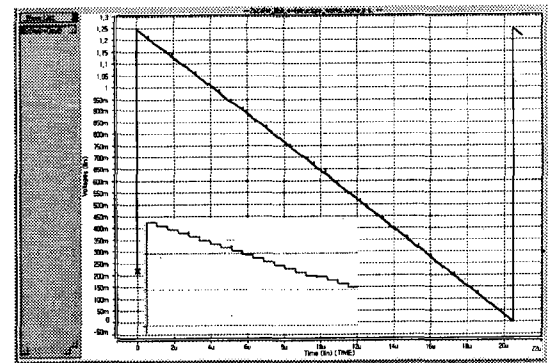


그림 6. 상위 8비트 D/A 변환기의 출력

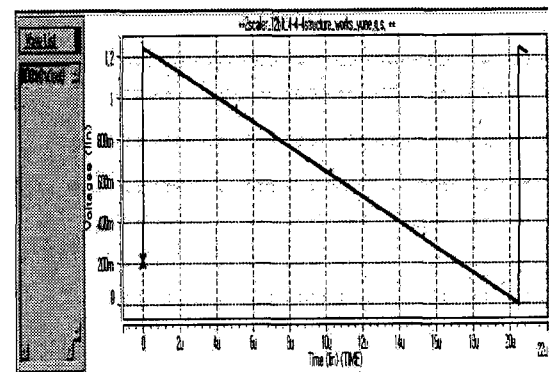


그림 7. 전체 12비트 D/A 변환기의 출력

그림 8과 9는 설계한 12비트 D/A 변환기의 DNL과 INL이다. DNL은 ±5LSB이고 INL은 ±7LSB임을 보이고 있다. 일반적인 상용 D/A 변환기의 DNL, INL과 비교 할 경우 10~15배정도의 거친 특성을 보이고 있다.

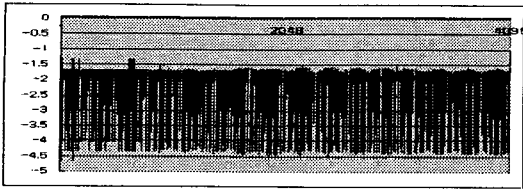


그림 8. 전체 12비트 D/A변환기의 DNL

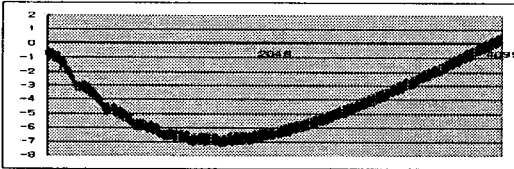


그림 9. 전체 12비트 D/A변환기의 INL

표 1. 전체 12비트 D/A변환기의 성능

Resolution	12-Bit
Conversion rate	250 MHz
Die Size	0.55mm <sup>2</sup>
DNL/INL	± 5 LSB/± 7 LSB
Power consumption	27mW
Apply Voltage	3.3V
Process	CMOS n-well 0.35um 1P/4M

#### IV. 결론

본 논문에서는 전류 축척기와 배분기를 사용한 12비트 D/A 변환기를 제안하였다. 구조는 4비트의 전류 축척기를 사용한 최상위 비트와 전류 배분기를 사용한 4비트의 중간비트와 4비트의 최하위비트로 이루어져있다. 제안한 설계 방법을 사용할 경우 일반적인 D/A 변환기에 비해 60%의 크기를 줄일 수 있으며, 저전력으로 동작하는 고해상도 D/A 변환기를 제작할 수 있다.

#### 후기

본 연구는 한국과학재단 목적기초연구 R05-2003-000-10353-0 지원으로 수행하였습니다.

#### 참고문헌

- [1] Mika P. Tiilikainen., "A 14-bit 1.8V 20-mW 1-mm<sup>2</sup> CMOS DAC", Journal of Solid State Circuits, Vol. 36, no. 7, pp 1144-1147, Jul. 2001
- [2] Alex R Bugeja, Bang-Sup Song, "A Self-Trimming 14-b 100-MS/s CMOS DAC", Journal of Solid State Circuits, Vol. 35, no.12, pp.1841-1852, Dec. 2000
- [3] Geert A. M. Van der Plas, et at., "A 14-bit Intrinsic Accuracy Q2 Random Walk CMOS DAC", journal of Solid State Circuits, Vol. 34, no.12 pp 1708-1718 Dec, 1999
- [4] Arman Hematy and Gordon W. Roberts, "A Fully-Programmable Analog Log-Domain Filter Circuit", Proceedings of the 1998 IEEE International Symposium on Circuits and Systems Vol.1, pp.309-312, May. 1998