

전역탐색 알고리즘을 이용한 움직임 추정 보상부

설계 및 검증

진군선, 강진아, *임재윤

제주대학교 통신공학과, *제주대학교 통신컴퓨터 공학부
전화 : 064-754-3635

Design and Verification of the Motion Estimation and Compensation Unit Using Full Search Algorithm

Jin Goon Seon, Kang Jin Ah, *Lim Jae Yoon

Dept. of Telecommunication engineering Cheju National University
E-mail : mpeg99@ hotmail.com

Abstract

This paper describes design and verification of the motion estimation and compensation unit using full search algorithm. Video processor is the key device of video communication systems. Motion estimation is the key module of video processor. The technologies of motion estimation and compensation unit are the core technologies for wireless video telecommunications system, portable multimedia systems. In this design, Verilog simulator and logic synthesis tools are used for hardware design and verification. In this paper, motion estimation and compensation unit are designed using FPGA, coded in Verilog HDL, and simulated and verified using Xilinx FPGA.

I. 서론

최근 들어 정보통신 시스템은 이미지, 동영상, 3D 그래픽, 음성, MP3 등 복잡한 멀티미디어 정보의 신호처리를 요구하고 있다. 특히 멀티미디어 영상처리에 있어 디지털 영상신호는 방대한 데이터를

가지고 있기 때문에 데이터의 저장, 처리 및 전송을 위해서는 보다 많은 데이터의 압축이 필요로 한다. 이에 따라 ITU-T 등의 국제 표준화 기구에서는 영상신호 부호화에 대한 표준을 제정하고 있는데 디지털 저장매체에의 적용을 목적으로 한 MPEG-1, 방송 및 통신용에 적용할 MPEG-2, MPEG-4가 국제표준으로 완성을 보았다. MPEG-4는 기존의 모든 표준을 포함할 수 있을 정도로 넓은 전송률 범위를 가져서 저속 개인이동통신에서부터 네트워크, 대화형 TV 등 광범위한 응용에 적용할 수 있다. 이러한 표준을 구현하기 위한 영상신호 처리용 ASIC은 정보통신의 핵심역할을 하고 있다.

본 논문은 MPEG-4 영상 코덱의 핵심이 되는 움직임 추정 보상부 ASIC 설계를 목표로 하는 것으로 연산량이 매우 많은 핵심 기능 모듈을 하드웨어로 구현하여 성능을 극대화하여 설계하는 것이다. 2 장에서는 움직임 추정 보상의 알고리즘과 구현 아키텍처에 대해 살펴본다. 3 장에서는 움직임 추정 보상부의 각 모듈의 기능에 대해서 살펴보고 4 장에서는 움직임 추정 보상부의 구현에 대해 살펴보고 마지막 5 장에서 결론을 내린다.

II. 움직임 추정 알고리즘 및 아키텍처

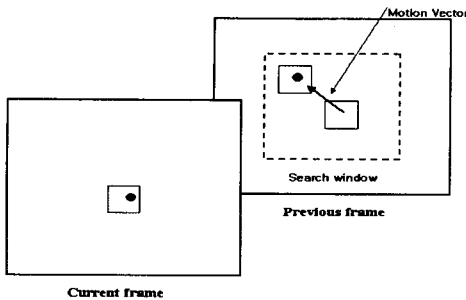


그림 1. 움직임 추정 알고리즘

일반적으로 동영상 신호처리에는 픽처간 시간상의 상관 관계를 이용하여 움직임 예측을 수행하며 시간상의 중복성을 제거하여 데이터를 압축하는 방법이 사용된다. 대부분의 영상시스템에서 움직임 추정 보상 방법으로 블록 정합 알고리즘을 많이 사용하는데 이는 두 블록간의 최소 차이 절대값을 기반으로 사용하고 있다. 그림 1은 블록 정합 알고리즘을 나타내는 그림이다. 블록 단위로 추정하는데 있어 이전화면에서는 탐색영역을 정하고 이 탐색범위 안에서 현재화면의 기준블록과 비교하여 가장 근접한 위치를 찾아 움직임 벡터를 생성한다. 전역탐색 알고리즘은 탐색 영역이 클 경우 필요로 하는 연산량이 증가하는 문제점이 있지만 개인이동통신에 사용하는 동영상의 픽처 사이즈는 그리 크지 않으므로 실시간으로 영상을 복원하는 데는 문제가 되지 않는다.

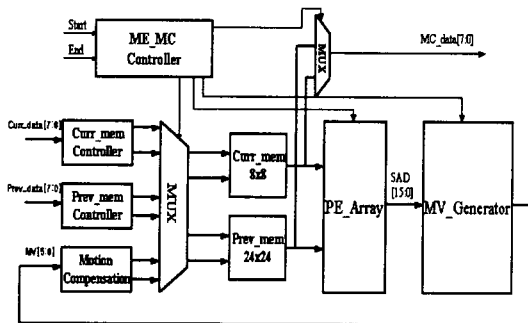


그림 2. 움직임 추정 보상부 상위 구조

그림2는 전역탐색 알고리즘을 이용한 움직임 추정 보상부 구현을 위한 아키텍처이다. 현재 고속의 DSP를 이용하여 소프트웨어적으로 구동시킬 수도 있지만 전력소모가 많고 시스템의 부하가 하드웨어로 구현한 시스템에 비하여 많이 걸린다. 따라서 실시간 처리와 작은 전력소모를 요하는 개인이동통신에서는 하드웨어로 구현하는 것이 많은 면에서 효율적이라 할 수 있겠다. 본 논문에서 구현한 움직임 추정 보상부 ASIC의 구성은 현재 프레임과 이전 프레임을 저장하고 데이터를 읽어오는 등의 역할을 수행하는 메모리 인터페이스 컨트롤러 블록, SAD 연산을 고속으로 수행하는 PE_ARRAY 블록, 움직임 벡터를 생성하는 움직임 벡터 생성 블록, 움직임 벡터를 입력값으로 받아들여 SAD가 최소가 되는 이전 데이터를 생성하는 움직임 보상 블록으로 크게 나눌 수 있다.

III. 중요 모듈 기능 연구

3.1 메모리 컨트롤러

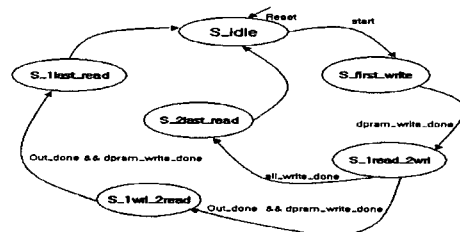


그림 3. 메모리 컨트롤러 상태 천이도

메모리 컨트롤러 블록은 쓰기 주소값과 쓰기 데이터 값을 받아들여 프레임 메모리로 보내며 움직임 추정 시작 신호가 들어오면 읽기 주소값을 발생시켜 메모리로부터 PE_ARRAY로 데이터값이 들어갈 수 있도록 하는 블록이다. PE(Processing Element)의 연산효율을 위해 8x8 현재 MB 데이터를 저장하기 위한 64x8 비트의 단일 포트 메모리와 24x24의 이전프레임 데이터를 저장하기 위한 576x8 비트의 듀얼

포트 메모리로 구성하였다. 그림 3은 탐색영역 데이터 메모리 컨트롤러의 상태 천이도를 나타낸다. S_idle 상태에서 시작신호가 입력되면 S_ifirst_write 상태로 천이된다. 첫번째 메모리 포트를 통하여 탐색영역 데이터를 저장하게 된다. 저장이 완료되면 첫번째 포트 메모리에 저장된 데이터는 PE_ARRAY로 나가게 되고 두번째 포트에는 새로운 탐색 영역 데이터가 저장되게 된다.

3.2 PE(Processing Element)

PE 블록은 그림 4와 같이 구현하였다. 메모리로부터 기준 MB 데이터와 이전 MB 데이터를 받아들여 화소값의 감산을 수행하고 절대값으로 출력한다. 이 값은 레지스터에 저장되어 있다가 제어신호에 의해 이전의 SAD 값과 합하게 된다. 그리고 다음 클럭에 하나의 PE에 해당하는 SAD 값을 출력하게 된다.

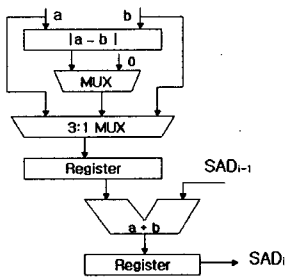


그림 4. PE(Processing Element) 구조

3.3 PE_ARRAY 구조

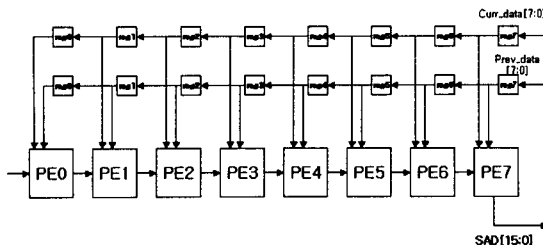


그림 5. PE_Array 구조

PE_ARRAY는 실시간 처리를 위하여 어레이 형태로 구현하였다. 그림 5는 PE_ARRAY 구조를 나타내는 그림이다. 움직임 추정부의 PE_ARRAY는 그림 5와 같은 구조의 PE가 8개 배열된 구조이며 기준 블록의 첫번째 행과 탐색영역 블록의 첫번째 행 사이의 부분합을 계산한다. 움직임 벡터 생성부에서는 PE_ARRAY 블록에서 출력된 SAD 값을 토대로 최소가 되는 SAD 값을 결정하게 되며 최소가 되는 SAD의 위치를 X축 Y축 정수값으로 출력시키게 된다. 움직임 보상부는 움직임 추정부에서 출력된 움직임 벡터와 이전 프레임(I 또는 P) 데이터를 가지고 움직임 보상된 영상을 재구성 하게 된다.

IV. Verilog HDL 구현

4.1 메모리 컨트롤러 구현

메모리 컨트롤러 블록은 외부에서 dpram_addr와 dpram_write 데이터를 받아들이고 첫번째, 두번째 포트중 하나를 선택하여 메모리에 주소값과 데이터값을 전달한다. PE_ARRAY로 데이터를 전달할 경우에는 읽기주소값을 발생시키야 하는데, 탐색범위를 -8 ~ +8로 정하였으므로 행과 열 17픽셀로 주소값을 생성하도록 구현해야 한다.

메모리 컨트롤러에서 발생하는 신호는 dpram0_addr, dpram0_write, dpram1_addr, dpram1_write 등이 있다.

그림 6은 메모리 컨트롤러의 시뮬레이션 결과를 나타낸다. 클럭에 동기되어 적절한 주소값과 데이터를 발생시킴을 볼 수 있다.



그림 6. Memory Controller 블록 시뮬레이션

4.2 PE_ARRAY 구현

PE_ARRAY 블록에서는 현재 MB 데이터와 이전 MB

데이터를 받아들인다. 그림 7을 살펴보면 현재 MB의 데이터와 이전 MB 데이터가 순차적으로 들어오는 것을 볼 수 있으면 한 행에 대한 SAD 값을 출력하는 것을 볼 수 있다.

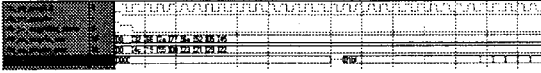


그림 7. PE_ARRAY 블록 시뮬레이션

4.3 움직임 벡터 발생기 구현

움직임 벡터 발생기는 PE_ARRAY로부터 한행에 대한 SAD를 넘겨받고 하나의 MB에 대한 SAD를 계산하기 위해 8번째까지 SAD를 저장한다. 이것이 한 MB SAD 값이 된다. 움직임 벡터 발생기는 탐색 범위 내의 모든 MB SAD를 계산하고 최소가 되는 SAD 값을 추출하게 된다. 그림 8을 보면 PE_ARRAY로부터 SAD 값이 들어오고 이 값을 바탕으로 최소 SAD를 산출하고 그 위치 벡터 MVx, Mvy 값을 생성함을 볼 수 있다.



그림 8. MV_Generator 블록 시뮬레이션

4.4 움직임 보상부 구현

움직임 보상부는 움직임 벡터 발생기로부터 추출된 움직임 벡터를 바탕으로 현재 MB와 가장 매칭되는 MB를 보상한다. 그림 9의 시뮬레이션 결과를 보면 최소가 되는 MB의 주소값을 발생시킴을 볼 수 있다.

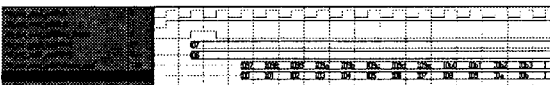


그림 9. Motion Compensation 블록 시뮬레이션

4.5 FPGA 구현

표 1은 움직임 추정 보상부를 Xilinx FPGA 타겟 디바이스에서의 자원 이용률 결과를 나타낸다.

Target Device	X2vp2
Speed	-6
Total equivalent gate count	11,457
4 Input LUTs	759
Slice Flip Flop	600

표 1. Xilinx

FPGA 자원 이용률

V. 결론

본 논문에서는 영상통신 시스템의 핵심이 되는 움직임 추정 보상부를 구현하였다. 전역탐색 알고리즘에 기반하여 움직임 추정을 수행하고 이 결과를 바탕으로 움직임 보상 기능을 행하는 중요 모듈을 설계하였다. Xilinx FPGA에 구현하여 전체 기능과 각 기능 블록들이 설계된 대로 정상 동작함을 확인하였다. 추후 연구 과제로는 전역탐색 알고리즘 보다 효율적으로 움직임 추정을 수행하는 알고리즘을 선택하여 움직임 추정 모듈을 구현할 예정이다.

References

- [1] Peter Kuhn, "Algorithms, Complexity Analysis and VLSI Architectures for MPEG-4 Motion Estimation", Kluwer Academic Publishers 1999
- [2] S. H. Nam and M. L. Lee, "Flexible VLSI architecture of motion estimator for video image application," IEEE Trans. Circuits Syst. Vol. 43, pp. 467-470, June 1996
- [3] IEEE AP-ASIC Conference "A Novel motion Estimation Algorithm and Its VLSI Architecture"