

FIB 밀링을 이용한 나노스텐실 제작

김규만*(경북대 기계공학부), 정성일, 오현석(LG 생산기술원)

Nanostencil fabrication using FIB milling

G. M. Kim (School of Mech. Eng. KNU), S.I. Chung, H.S. Oh (LG-PRC)

ABSTRACT

Fabrication of a high-resolution shadow mask, or called nanostencil, is presented. This high-resolution shadowmask is fabricated by a combination of MEMS processes and focused ion beam (FIB) milling. 500 nm thick and 2x2 mm large membranes are made on a silicon wafer by micro-fabrication processes of LPCVD, photolithography, ICP etching and bulk silicon etching. Subsequent FIB milling enabled local membrane thinning and aperture making into the thinned silicon nitride membrane. Due to high resolution of FIB milling process, nanoscale apertures down to 70 nm could be made into the membrane.

Key Words : Shadow mask (샤도우마스크), nanostencil (나노스텐실), Focused ion beam (집속이온빔), Evaporation (기화증착), nanolithography (나노리소그래피)

1. 서론

최근 들어 미래 지향적 원천기술로서 나노기술(nanotechnology)에 대한 중요성이 부각되고 있는 상황이다. 나노스케일의 패턴을 기판 위에 제작하는 나노리소그래피(nanolithography) 기술은 나노기술의 기반을 제공하는 원천적인 선행기술이다. 기존의 UV 포토리소그래피(photolithography)는 최소 패턴가능 선폭이 1-2 μm 로 한계를 보인다. 최근 DUV, e-beam, X-ray 등을 이용하는 나노 패턴 기술은 최소 선폭을 μm 이하로 줄임으로써 고집적회로 제작에서 한 단계 발전할 수 있는 기반을 제공하였다. 하지만 이 기술들은 고가의 장비를 필요로 한다. 한편 최근에 생명공학의 중요성이 강조되고 기술 융합의 중요성이 강조되면서, 고기능 organic 층을 표면에 처리라든지 미세 구조를 표면 위로의 기능성 패턴 제작 등 일반 포토리소그래피로 해결할 수 없는 특수한 요구가 증가하고 있다. 위에 기술한 단점을 극복하기 위하여 여러 가지 새로운 나노패터닝 방법(immerging nanolithography technology)들이 제안되었다. polymer stamp 를 이용하여 분자층을 패터닝하는 micro-contact printing 법[1], 미세 금형을 제작하고 polymer 표면에 가열 가압하여 금형패턴

을 전사하는 nanoimprint lithography 법[2], scanning probe 를 이용하여 분자를 표면에 전이하는 dip pen lithography [3] 과 전원을 인가하여 직접 표면의 성질을 변화시키는 scanning probe lithography [4] 등을 예로 들 수 있다.

그 외 새롭게 부각되고 있는 기술로서 스텐실링(stenciling, 혹은 shadowmasking)을 들 수 있다. 스텐실링이란 스텐실(stencil 혹은 shadowmask)을 이용하여 원하는 패턴을 제작하는 방법이다. 스텐실이란 미리 정의된 패턴만이 개방되어 있고 그 나머지 부분은 막혀 있는 얇은 멤브레인(membrane)을 의미한다. 스텐실 제작을 위해서는 멤브레인에 원하는 패턴부위만을 개방하는 기술이 필수적으로 필요하다. 표면 위에 스텐실을 올려놓고 개방부위를 통과하여 물질을 증착시켜 나노패터닝이 가능하다. Si, SiN, SiO 등 solid-state membrane 위에 마이크로 사이즈의 구멍 패턴을 정의하고 이를 이용하여 마이크로 크기의 미세패턴 제작에 대한 연구가 수행되었다 [5,6,7].

본 연구에서는 MEMS 공정과 집속이온빔(Focused Ion Beam, FIB) 밀링을 이용하여 선폭 100nm 이하의 개방형 패턴을 지닌 나노스텐실을 제작하였다.

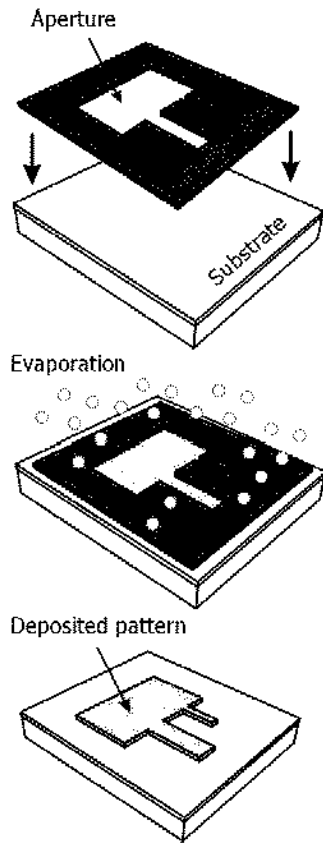


Fig. 1 Principle of patterning using shadow evaporation through stencil.

2. 나노스텐실 제작

Fig.1 에 스텐실을 이용한 리소그래피 원리를 나타내었다. 스텐실을 표면에 얹고 증착공정 후 스텐실을 제거하면 원하는 패턴을 얻을 수 있다. 이를 위해서는 원하는 패턴을 지닌 스텐실을 우선 제작하여야 한다. Fig.2 에 나노스텐실 제작공정의 개요를 나타내었다. 우선 실리콘 웨이퍼상에 500nm 두께의 질화실리콘막을 LPCVD 로 생성하였다. 이 질화실리콘막은 최종 멤브레인이 되므로 스트레스를 최소화하기 위해 저 스트레스 공정을 사용하였다. 멤브레인에 개방형 패턴을 만들기 위해서는 웨이퍼 윗면에 포토리소그래피(photolithography)공정으로 PR (photoresist)에 패터닝을 한 후 inductively coupled plasma (ICP) etching 으로 질화실리콘을 패터닝하였다. 질화실리콘막을 멤브레인으로 만들기 위하여 웨이퍼 아랫면에 동일한 공정 (photolithography, ICP etching)으로 멤브레인 윈도우를 패터닝 하고, 마지막으로 Bulk silicon etching (KOH)을 사용하여 정의된 멤브레인 윈도우를 통하여 웨이퍼 내 실리콘을

제거하여 질화실리콘 멤브레인을 제작하였다. 이때 제작된 스텐실은 질화실리콘 멤브레인에 포토리소그래피로 제작된 개방형 패턴을 가지고 그 크기는 수 μm 이다. 1 μm 이하의 패턴을 제작하기 위해서는 고레졸루션 (high resolution) 방법을 사용해야 한다. 본 연구에서는 FIB 밀링을 사용하였다. FIB 밀링을 이용하면 최소 30nm 이하의 극부적으로 정의된 영역에서 이온을 이용한 물질 제거가 가능하다. 가공하고자 하는 개방형 패턴의 폭이 100nm 이하이고 멤브레인의 두께는 500nm 이므로 구멍의 aspect ratio 가 50 이상으로 지나치게 크기 때문에 이를 통과하여 물질의 증착이 어렵게 된다. 따라서 구멍을 가공하기 전에 구멍주위의 멤브레인의 두께를 줄이기 위하여 $2 \times 3 \mu\text{m}$ 크기 영역에서 30kV, 0.3nA 조건에서 FIB 밀링하여 멤브레인 두께를 500nm 에서 약 50nm 로 얇게 만들었다. 그 후 30kV, 10pA 조건에서 FIB 밀링하여 100nm 이하의 개방형 구멍패턴을 얇아진 질화실리콘 멤브레인에 가공하였다.

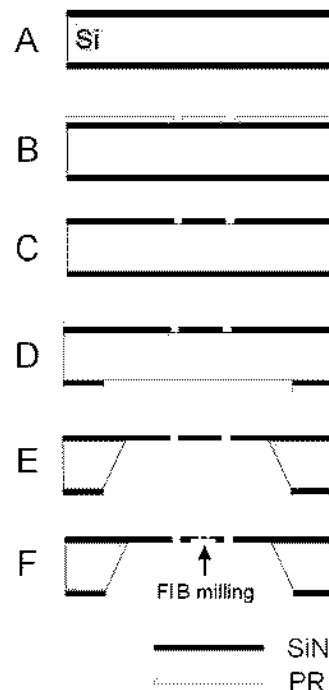


Fig. 2 Schematic overview of nanostencil fabrication process. (a) Deposition of 500-nm thick low stress SiN. (b) Photolithography of microscale pattern. (c) SiN etching of microscale pattern. (d) Photolithography and SiN etching on backside. (e) KOH etching of bulk Si from backside for 500-nm thick SiN membrane releasing. (f) FIB milling for local SiN membrane thinning into 50-nm thick, and then, nanoaperture fabrication.

3. 결과

Fig.3 에 MEMS 공정 (포토리소그래피, ICP 에칭, KOH 에칭 등)으로 제작된 스텐실의 개방형 패턴을 나타내었다. 스텐실 칩의 크기는 하나의 샤프트우마 스크에 388 개의 멤브레인이 정의되어 있고, 각각의 멤브레인의 크기는 2 mm x 2mm 이고 두께는 500 nm 이다. 실리콘 림(rim)으로 각 멤브레인 주위를 보강하여 멤브레인의 안정성을 높였다. 포토리소그래피로 제작할 수 있는 최소 패턴의 크기는 1 μ m 로 1 μ m 이상 크기의 구멍패턴은 다양하게 제작할 수 있다. 그러나 1 μ m 이하크기의 나노스케일 패턴은 제작이 불가능하므로 FIB 을 이용한 후가공이 필요하다. 적절한 위치에 나노스케일 패턴을 제작함으로써 다양한 크기(multi-scale)의 구멍패턴을 지닌 스텐실의 제작이 가능하다.

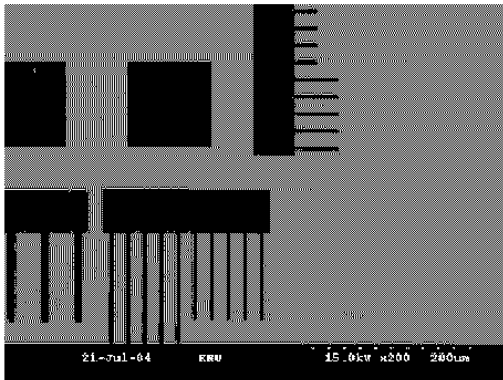


Fig. 3 SEM image of micro-scale apertures made by photolithography and SiN etching.

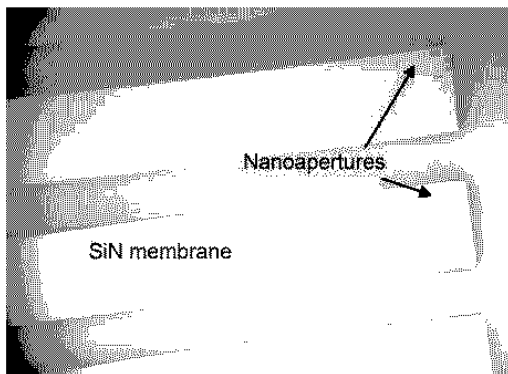


Fig. 4 Optical image of nano-scale apertures made in micro-scale patterned SiN membrane.

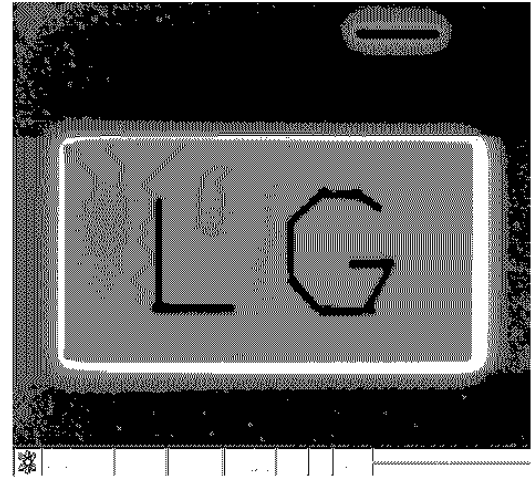


Fig. 5 Scanning ion beam image of nanostencil after FIB milling of nanoaperture.

Fig.4 에 제작된 마이크로스텐실의 멤브레인에 가공된 나노패턴을 나타내었다. 포토리소그래피로 정의된 쉐퍼트형 멤브레인에 나노스케일 패턴을 가공하였다. Fig.5 에 FIB 을 이용하여 제작된 나노스케일 글자패턴을 나타내었다. 나노글자의 폭은 최소 70nm 이고 글자 총 높이는 1 μ m이다. 글자패턴의 가공에 앞서 국부적으로 4 μ m x 2 μ m 크기로 구멍주위의 멤브레인의 두께를 약 50nm 로 줄인 영역을 볼 수 있다. 제작된 나노스텐실을 통과하여 증착공정을 이용하면 나노패턴의 제작이 가능하다.

Fig.6 에 제작된 나노스텐실을 이용하여 증착된 나노스케일 금속패턴을 나타내었다. 나노스텐실을 시편 표면에 고정된 후 Au 를 30nm 두께로 증착하였다. 나노스텐실을 이용한 나노리소그래피가 가능함을 확인하였다.

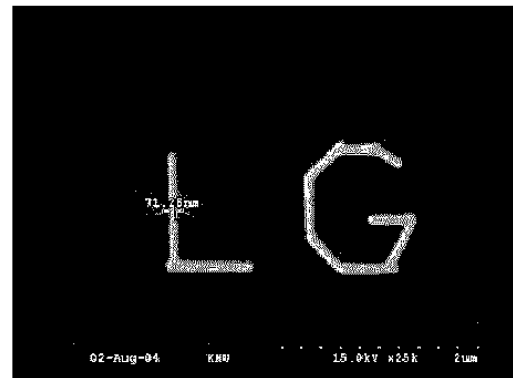


Fig. 6 SEM image of nanoscale pattern deposited through the nanostencil.

4. 결론

본 연구에서는 새로운 나노리소그래피 방법으로 사용될 수 있는 나노스텐실을 제작하였다. 우선 MEMS 공정을 이용하여 마이크로스텐실을 제작한 후 집속이온빔 (Focused Ion Beam, FIB) 밀링을 이용하여 개방형 나노스케일 패턴을 스텐실 멤브레인에 가공하였다. 본 연구에서는 선폭 70nm 의 극소형 나노패턴을 지닌 나노스텐실 제작이 가능하였다. 제작된 나노스텐실을 이용한 증착실험 결과 나노스텐실을 이용한 나노리소그래피가 가능함을 확인하였다.

참고문헌

1. A. Kumar and G. M. Whitesides, *Applied Physics Letters* 63, pp. 2002-2004, 1993
2. S.Y. Chou, P.R. Krauss, and P.J. Renstrom, *J. Vac. Sci. Technol. B* 14, pp. 4129-4133, 1996
3. K. Wilder, C.F. Quate, D. Adderton, R. Bernstein, and V. Elings, *Applied Physics Letters*, pp. 2527-2529, 1998
4. A. Boisen, K. Birkelund, O. Hansen, and F. Grey, *J. Vac. Sci. Tech. B* 16, pp. 2977, 1998
5. G.J. Burger, E.J.T. Smulders, J.W. Berenschot, T.S.J. Lammerink, J.H.J. Fluitman, and S. Imai, *Sensors and Actuators A* 54, pp. 669-673, 1996
6. J. Brugger, C. Andreoli, M. Despont, U. Drechsler, H. Rothuizen, P. Vettiger, *Sensors and Actuators* 76, pp. 329-334, 1999
7. G.M. Kim, M.A.F van den Boogaart, and J. Brugger, "Fabrication and application of a full wafer size micro/nanostencil for multiple length-scale surface patterning," *Microelectronic Engineering* 67-68, pp. 609-614, 2003