

샤도우 증착 효과를 이용한 마이크로 채널내 측벽 전극 제작

강길환*(경북대 대학원), 김규만(경북대 기계공학부)

Fabrication of electrodes on microchannel side wall using shadow evaporation effect

G.H. Kang (Mech. Eng. Dept., KNU), G.M. Kim (Mech. Eng. Dept., KNU)

ABSTRACT

A new method to fabricate metal electrodes on side wall of the microchannel is presented. Coulter counter allows to count the number of cell passing through the microchannel by detecting impedance variation between two electrodes. The relative position of two electrodes is important for sensitivity of impedance measurement. 100nm thick Al electrodes are deposited on the channel side wall by means of shadow evaporation.

Key Words : Stencil (스텐실), microchannel (마이크로채널), shadow effect (샤도우효과), electrode (전극)

1. 서론

광학적 시스템을 이용한 세포 분석기 (Fluorescence Activated Cell Sorter, FACS)는 뛰어난 성능을 가지지만 여러 부가적인 분석시스템의 필요성으로 인해 이동성에 커다란 제약이 있다. 따라서 최근에는 통신기술과 미세제작기술을 접목하여 분석 장치를 소형화함으로써 환자가 있는 곳에서 직접 검사를 할 수 있는 현장검사용(Point of Care Testing, POCT) 소형분석기기에 대한 연구가 세계 각국에서 활발히 연구 중이다.

Micro machining 기술을 바탕으로 소형화된 coulter counter는 분석 전극이 내장된 마이크로채널 내에 세포를 흘려 전극을 지나갈 때의 전기적 신호의 변화량을 기록, 분석하여 지나간 세포의 개수와 크기를 측정하는 장치이다. 이런 전기적 신호의 변화량을 탐지하는데 있어 분석 전극의 상대적 위치는 전기적 신호 검출의 성능에 영향을 미친다. 지금까지 발표된 coulter counter 관련 논문을 보면 제작하기 쉬운 마이크로 채널 바닥에 전극이 형성되어 있는 것을 알 수 있다.^{1,2} 그러나 두 전극의 상대 위치에 따른 FEM 해석 결과 마주보는 두 저극이 보다 좋은 편감도를 보임을 나타내었다.³

본 연구마이크로 채널 내 전기적 신호 변화를 효율적으로 측정하기 위하여 채널 측벽에 분석용 전극을 제작하는 새로운 방법을 제안하고, 이를 이용하여 마이크로채널을 제작하였다.

2. 원리

샤도우 효과란 금속의 진공 기화증착 시 입자의 직진성과 방향성으로 인하여 증착 표면에 스텝(step), 그루브(groove)등의 구조가 있을 때 균등(uniform)한 증착이 어려워지는 효과이다(Fig.1). 즉, 샤도우 효과는 증착면 구조형상과 증착방향에 영향을 받는다. 또한, 개방형 패턴이 새겨진 멤브레인(스텐실)을 증착면에 얹으면 샤도우 효과를 이용한 패터닝이 가능하다(Fig. 1(c)). 이러한 원리를 이용하여 마이크로 채널에 스텐실을 얹고 마이크로채널 형상에 따라서 계산된 증착방향으로 금속층을 증착하면 채널 측벽에만 전극의 제작이 가능하다. Fig. 2는 증착면 형상에 의한 샤도우 효과와 스텐실 원리를 복합적으로 이용하여 측벽에 전극을 제작하는 원리를 보여준다.

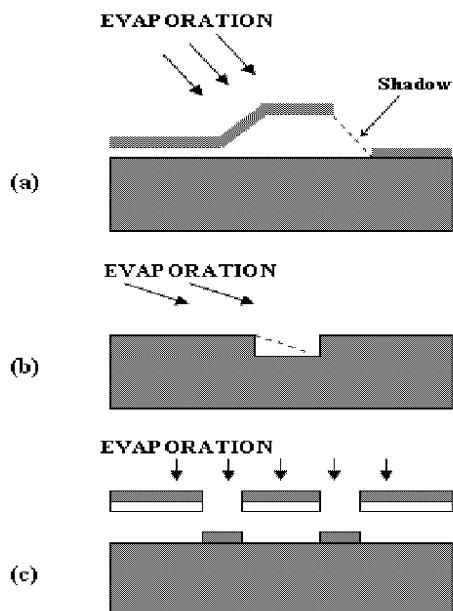


Fig. 1 schematic diagram of shadow effect (a) topographical step (b) topographical groove (c) shadow masking

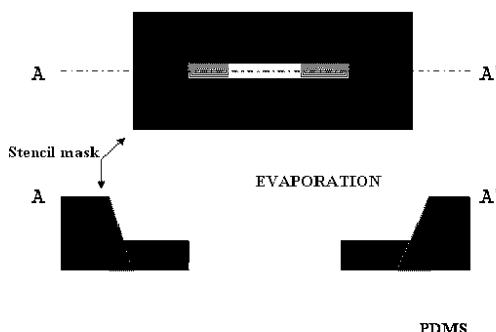


Fig. 2 composite use of shadow effect and shadow masking for fabricaion of side wall electrode

3. 제작

3.1 스텐실 마스크 제작⁴

스텐실 마스크는 샤파우 효과를 이용하여 마이크로채널 측벽에 전극을 형성하기 위해 필수적인 장치이다. 스텐실 마스크 제작 공정은 다음과 같다. 먼저 LPCVD(low pressure chemical vapour deposition)를 사용하여 500nm 두께를 가진 low-stress SiN막을 Si웨이퍼 양면에 증착한다. 포토리소그라피 공정(MA-150 alinger, Karl Süss)으로 웨이퍼 앞면에 스픬 코팅된 photoresist(S2828, Shipley)에 준비된 크롬마스크를 접촉시키고 UV를 노출시켜 20 x 2000μm의 직사각형 패턴을 새긴 후 현상(develope)을 한다.

Inductively coupled plasma (ICP) (601E, Alcatel: C2F6)를 사용한 비등방성 에칭을 통해 SiN막을 제거한다. 같은 방식으로 웨이퍼 뒷면도 1400 x 2000μm SiN막을 포토리소그라피와 ICP공정을 통해 제거한다. 남겨진 SiN부분은 Si를 제거하기 위한 에칭 마스크로 사용되어진다. 마지막으로 Si를 KOH를 사용하여 bulk etching 함으로써 앞면의 SiN 멤브레인만 남겨 스텐실 마스크를 완성한다.

3.2 마이크로 채널 제작

마이크로채널은 PDMS를 사용하여 제작하였다. PDMS는 Si웨이퍼에 비해 가격이 매우 싸고 재질이 투명하여 전기적 분석뿐 아니라 광학적 분석도 가능하게 할뿐 아니라 물덩을 통해 간단히 마이크로채널을 만들 수 있다. PDMS 마이크로채널을 제작하기 위해 우선 50μm, 100μm 의 넓이를 가진 마이크로채널 몰드를 설계한다. 마이크로채널을 위한 크롬마스크를 제작한 다음 SU-8을 웨이퍼위에 스픬 코팅한 뒤 포토리소그라피를 이용하여 SU-8몰드 마스터를 만든다. 몰드에 정의된 마이크로채널을 PDMS (Dow corning)에 전사하기 위해 Resine 과 Cross linker를 9:1로 혼합한 PDMS를 SU-8몰드에 부어 60°C에서 1시간 동안 굽는다. SU-8몰드와 굳어진 PDMS를 조심스럽게 분리시켜 PDMS 마이크로 채널을 완성한다.

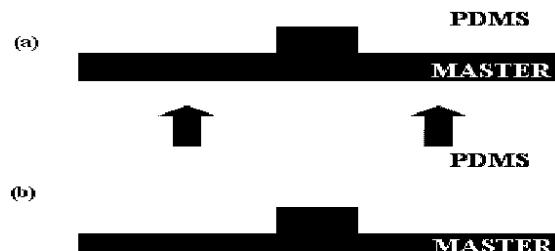


Fig. 3 (a) pouring PDMS on master and curing (b) peeling off PDMS from master

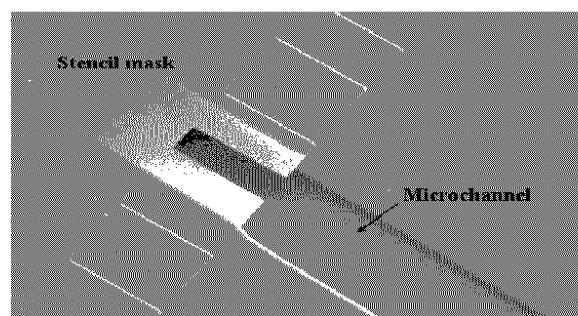
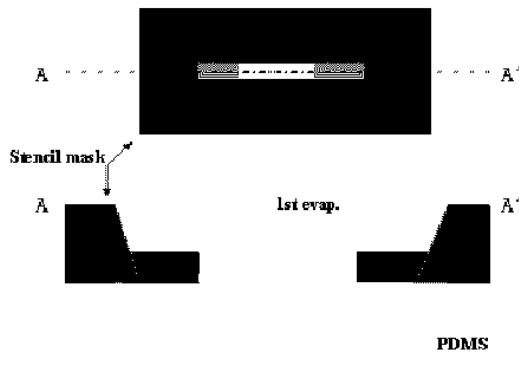
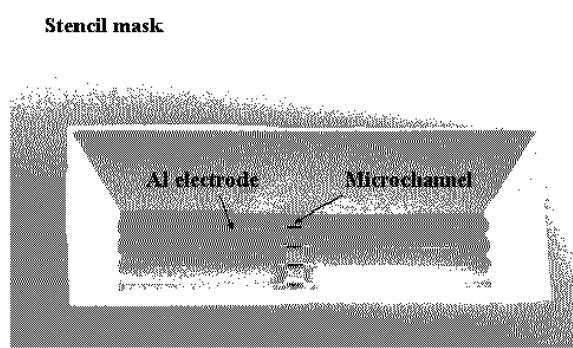


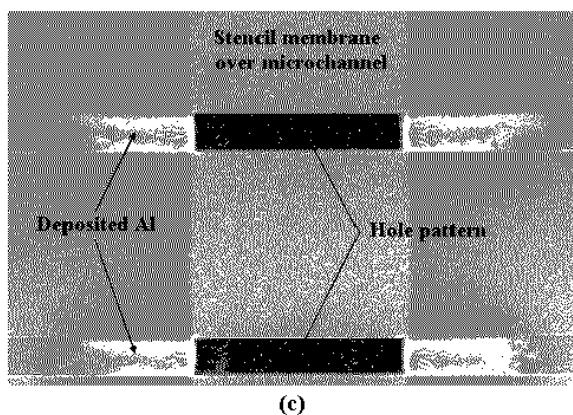
Fig. 4 test stencil mask on the microchannel



(a)

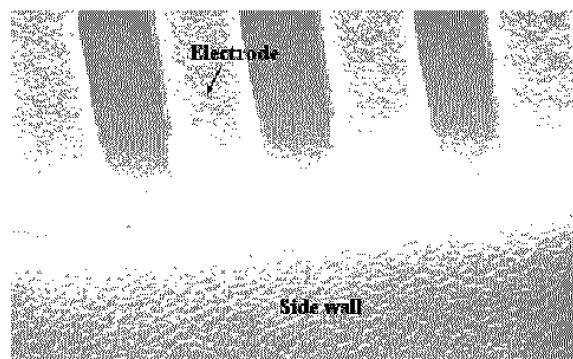


(b)

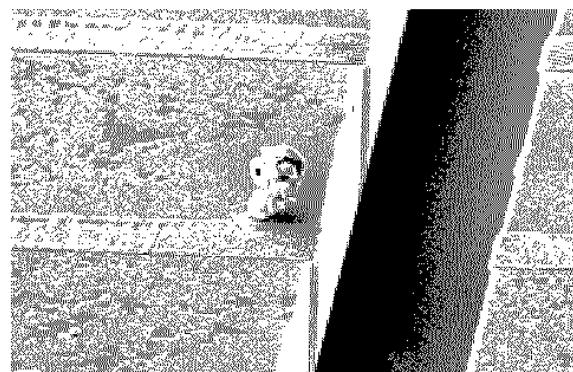


(c)

Fig. 5(a) Principle of shadow evaporation on the side wall of microchannel (b) SEM image of stencil mask after Al evaporation (c) magnification SEM image of part of fig. 5(b)



(a)



(b)

Fig. 6(a) SEM image of opposite side wall of Al deposited wall after 1st evaporation (b) SEM image of microchannel with electrodes on the side wall

3.3 색도우 증착

마이크로 채널 측벽에 전극이 형성될 위치를 선정한 후 준비된 스텐실마스크를 PDMS 마이크로 채널 위에 붙였다. Fig. 4에 마이크로 채널 위에 테스트로 만든 스템실마스크가 올려져 있는 예를 나타내었다. 스템실 마스크가 투명하여 마스크 아래에 마이크로 채널을 관찰할 수 있다. 스템실마스크를 붙인 후 마이크로 채널 측면에 전극이 증착 되도록 지그를 이용하여 미리 계산된 각도만큼 PDMS 마이크로 채널을 기울여 금속을 진공 증착함으로써 쉽게 전극을 채널 양 측벽에 올릴 수 있었다. 이는 진공증착 시 메탈입자가 가지는 직진성으로 인한 색도우 효과를 이용하는 것으로써, 증착각도를 조절하면 채널 측벽에 전극을 제작할 수 있다.

Fig. 5(a)에 스템실마스크를 이용하여 채널 측벽 양쪽에 전극을 제작하는 원리를 나타내었다. 채널 벽 양쪽에 전극을 제작하기 위해서는 증착각도를 달리 하여 증착을 2회 수행하여야 한다. Thermal evaporator(base pressure 1.5×10^{-6} Torr)를 사용하여 100nm 두께(평판면 기준)의 Al전극을 양 측벽에 증

착하기 위해 채널을 첫 번째 진공증착이 끝나고 난 후 마이크로채널을 지그에서 떼어 180°회전시켜 붙인 후 다시 한번 증착하였다. fig. 5(b)는 Al을 진공증착한 후 stencil mask를 마이크로채널과 분리시키기 전의 SEM사진이다. fig. 5(c)는 fig. 5(b)의 일부를 확대한 SEM사진으로 hole pattern 사이로 증착된 알루미늄과 아래에 놓인 마이크로채널이 보인다.

Fig. 6(a)는 첫 번째 진공증착 후 마이크로채널의 한 쪽 측면에는 샤도우 현상에 의해 Al이 증착되지 않는 모습이다. Fig. 6(b)는 두 번의 진공증착을 마친 후 스텐실마스크를 제거한 뒤의 모습이다. Al전극이 마이크로채널 측벽에 형성되었을 뿐 아니라 채널 바닥에도 전극이 형성된 것을 볼 수 있는데 이를 방지하기 위해 PDMS 채널의 위치와 기울이는 각도에 관한 정확한 계산을 필요로 한다.

4. PDMS 채널의 위치와 기울기 계산

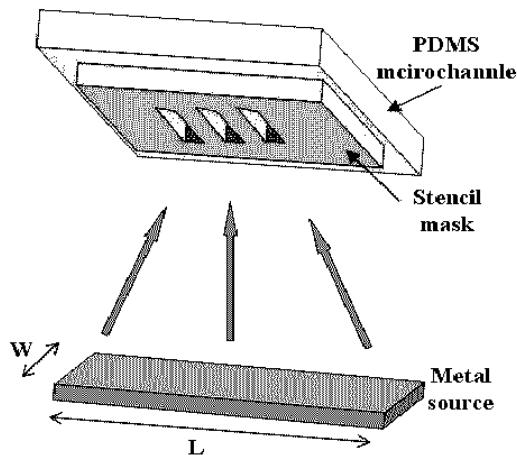


Fig. 7 overall picture of metal evaporation

PDMS 마이크로채널의 위치와 기울이는 각도는 채널의 높이와 폭뿐만 아니라 메탈소스의 크기 또한 영향을 끼친다. Fig. 7에서 메탈소스의 길이(L)는 원하는 전극의 선폭보다 조금씩 펴져 증착되는 현상에 영향을 끼치고 폭(W)은 채널의 위치에 영향을 끼친다. Thermal evaporator를 사용할 시 메탈소스는 텅스텐 보트를 따라 녹아 펴짐으로 위와 같은 긴 직사각형 메탈 소스로 가정이 가능하다. 아래 계산식은 메탈소스 길이에 따른 전극의 펴짐 현상을 계산한 식이다.

$$D = d + \frac{h}{H} (L + d) \approx d + L \frac{h}{H}$$

Fig. 8에서 L은 메탈소스의 길이, D는 증착된 전극의 폭, d는 스텐실마스크의 홀패턴(hole pattern)크기, H는 메탈소스와 스텐실마스크까지의 거리, h는

스텐실마스크에서 채널의 측벽까지의 거리이다.

PDMS 마이크로채널의 기울이는 각도는 마이크로채널 폭과 높이의 의해 결정되고 채널의 위치는 이론과 최대한 일치시키기 위하여 메탈소스 폭(W)의 끝자락에 위치시킨다.

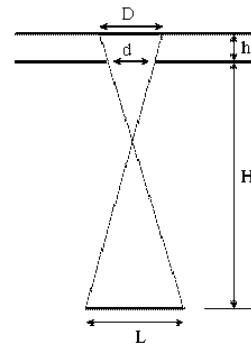


Fig. 8 diagram of evaporation through stencil mask

4. 결론

샤도우 효과를 이용하기 위해 홀패턴(hole pattern)을 지닌 스텐실 마스크를 제작하였고, 제작된 스텐실 마스크를 이용하여 두 번의 진공증착으로 간단히 마이크로채널 측벽에 전극을 형성하는 방법에 대해서 제시하였다. 추후 측벽에 증착한 분석 전극을 이용하여 coulter counter를 만들어 전극의 성능을 테스트하려고 한다.

참고문헌

1. O.A. Saleh., L.L Sohn., "Quantitative sensing of nanoscale colloids using a microchip coulter counter", Review of Scientific Instruments, vol. 72, no. 12, pp. 4449-4451, December 2001.
2. M Koch., A.G.R Evans., A Brunschweiler., "Design and fabrication of a micromachined coulter counter", Journal of Micromechanics and Microengineering, vol. 9, pp. 159-161, 1999.
3. S. Gawad, L. schild and Ph. Renaud., "Micromachined impedance spectroscopy flow cytometer for cell analysis and particle sizing," lab on a chip, Vol. 1, pp. 76-82, 2001.
4. G.M. KIM, M.A.F van den Boogaart, J. Brugger., "Fabrication and applicaton of a full wafer size micro/nanostencil for multiple length-scale surface patterning," Microelectronic Engineering, Vol. 67-68, pp. 609-614, 2003.