

# 최적 정합 알고리즘을 사용한 실시간 마킹/표면 비전검사 시스템 개발

노영동\*, 주효남\*\*, 김준식\*

\*호서대학교 전기정보통신공학부, \*\*호서대학교 디지털디스플레이공학과

## 초록

반도체 소자의 마킹 / 표면 검사에 대한 적응적 reference 데이터 자동 획득 알고리즘과 검사에서의 실시간 정합 알고리즘을 개발하여, 모든 반도체 소자의 마킹 / 표면 검사에 대한 오류를 검출할 수 있는 마킹 / 표면 검사 시스템을 개발한다.

## 1. 서론

반도체 제조 공정에서의 머신 비전 검사 분야 중 반도체 제조 공정의 마지막 단계에서 수행되는 마킹 검사는 생산자의 신뢰를 높이는 수단 중 하나이다. 과거의 검사 방식은 작업자가 직접 육안으로 확인하는 과정이었다. 이로 인해 정확도가 떨어짐은 물론 생산 시간이 많이 소요되었다. 현대의 검사 방식은 머신 비전을 사용하여 자동화 시스템으로 구축되어 있어, 정확도를 높이고 생산시간을 단축시키고 있다[1][2].

본 논문에서는 여러가지 반도체 소자의 샘플을 획득하여 반도체 소자의 마킹 검사에 대한 적응적 reference 데이터 자동 획득 알고리즘과 검사에서의 고속 정합 알고리즘을 개발하여, 모든 반도체 소자의 마킹/표면 검사에 대한 오류 검출을 할 수 있는 마킹/표면 검사 시스템을 개발한다.

## 2. 실험 방법

### 가. 마킹 검사 항목

IC 패키지 표면에 기록된 반도체 제품의 상표 및 이력에 대한 마크를 카메라로 영상 획득 후 여러 가지 영상 처리 및 분석을 통하여 이상 유무를 자동으로 판별하는 과정으로 전기적 특성 및 기능에 합격한 IC 패키지 표면에 제작사명, 제품명 등의 위치, 방향, 굵김, 뒤틀림, 스크래치 등을 검사하게 된다. 그림 1 은 마킹 검사의 종류이다[3].

### 나. 전체 처리 과정

그림 2 는 마킹/표면 검사 시스템의 전체 처리 과정이다. 이미지를 적응적으로 처리하여 필요영역을 자동으로 추출하여 모델 영상을 생성한다. 생성된 모델은 전체 영역, 심볼, 문자를

정합하여 이상 유무를 판단하게 된다.

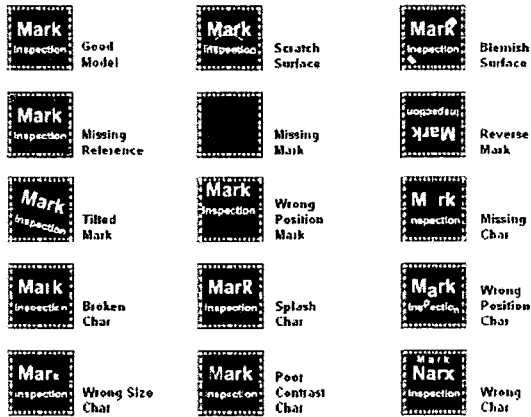


그림 1. 마킹 검사 종류

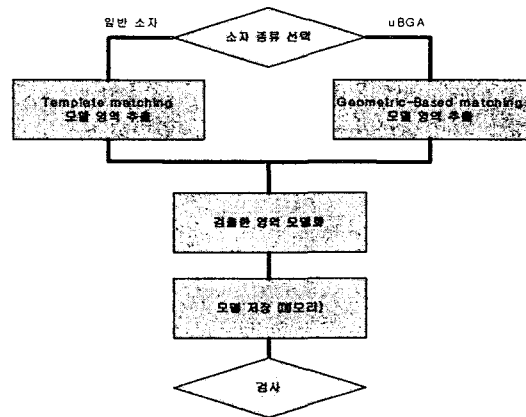


그림 2. 전체 처리 과정

다. 모델 획득 과정

그림 3 은 모델 자동 획득 과정이다. 영역 검출을 하기 위해 Nobuyuki Otsu 가 제안한 분산 최대 이분할법을 사용하여 이진화 과정을 하고 필요 없는 영역을 제거하기 위해 opening 과 closing 연산을 하였다[4][5]. 그 후 관심 영역만을 추출 하기 위해 그림 4 의 방법을 사용하여 관심영역의 정확한 위치와 크기를 검출한 후 전체 관심영역에 대한 모델을 생성한다. 또 추출된 영역을 세분화하여 심볼과 문자영역을 추출하여 각각 모델을 생성하게 된다. 추출 방법은 프로젝션을 사용하여 심볼이나 문자가 있는 부분을 나누어 놓고, 그림 4 의 검출 알고리즘을 사용하여 세부 크기를 설정하게 된다[6].

Wafer 면의 특유 무늬를 가지는 uBGA 소자에서는 전체 관심 영역 획득 후 특징점을 추출하여 모델을 생성한다.

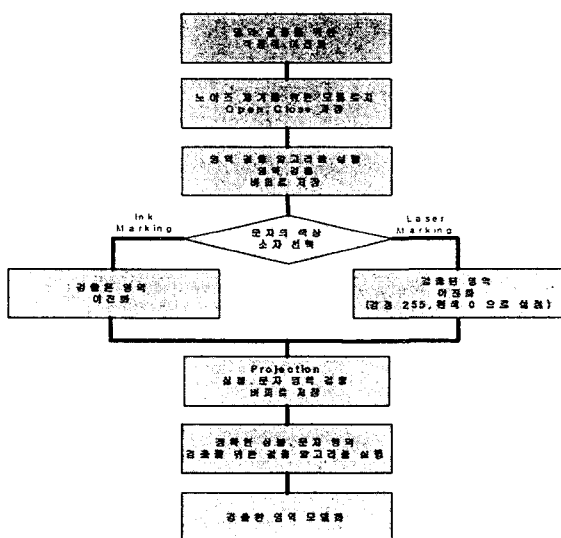


그림 3. 모델 획득 과정

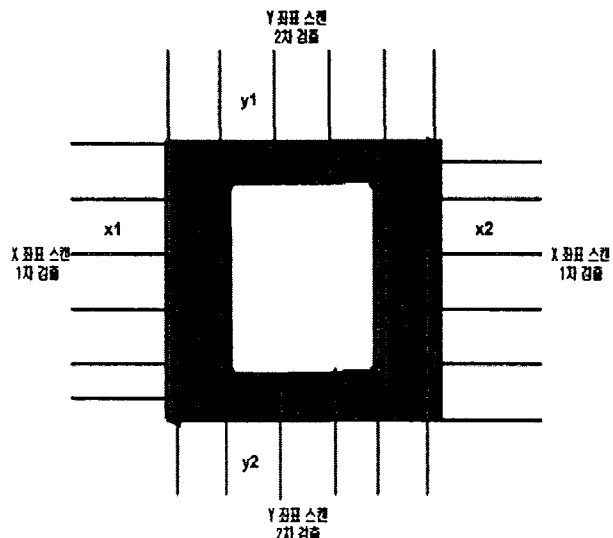


그림 4. 위치 검출 알고리즘

라. 검사 과정

그림 5 는 검사과정의 순서도 이다. 순서도를 보게 되면 전체 영역 모델이 4 개가 있는데, 정합할 때 소자가 위치한 방위와 모델과 틀리게 되면 틀린 각도만큼 검사하는데 소요되는 시간이 길어지게 된다. 그렇기 때문에 0 , 90 , 180 ,270 의 위치에서 각 모델들을 만들어 검사하게 되면 검사 소요 시간을 줄일 수 있다. 각 모델들 중에 하나와 정합이 되었을 경우 그 모델에 해당되는 세부 영역 모델과 정합을 하여, 전체 영역 정합 결과와 세부 영역 정합 결과의 점수를 사용하여 양호, 불량으로 나누게 된다.

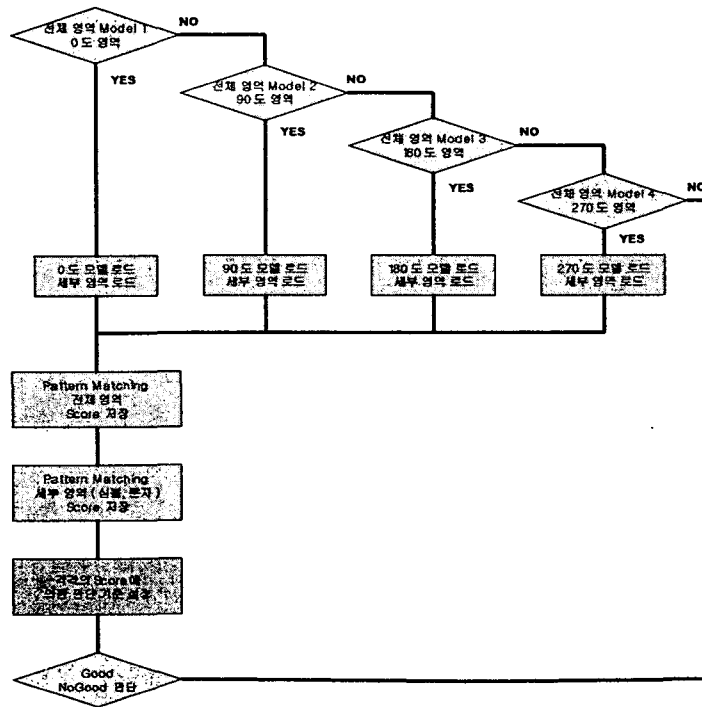


그림 5. 검사 과정

3. 실험결과 및 고찰

가. 적응적 모델 획득 결과

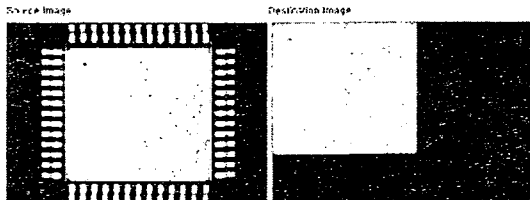


그림 6. QFP type

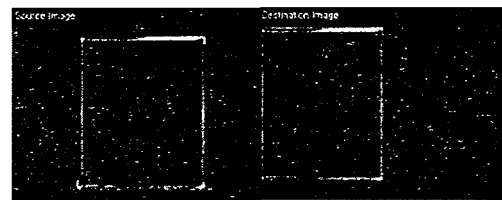


그림 7. uBGA type

그림 6 과 7 은 관심 영역 추출 과정을 실행한 결과이다. 소자가 위의 영상의 위치가 아닌 임의의 위치에 있더라도 관심 영역을 정확하게 추출 할 수 있다. 이렇게 추출한 영역으로 전체

영역 모델을 생성하게 된다. 그림 8 은 세부 영역을 추출한 결과이다. 추출된 세부 영역에 대한 각각의 모델을 생성한다. 그림 6 의 소자에서 생성되는 모델은 전체 영역 1 개, 세부 영역 6 개로 총 7 개의 모델이 생성된다. 그림 9 는 uBGA 에서의 wafer 특유의 연마된 무늬 때문에 정합과정을 수행 할 수가 없다. 무늬를 제거하여 최적 정합과정을 이룰 수 있도록 무늬를 제거하기 위해 최소값 필터링을 사용한 결과 영상이다[7].

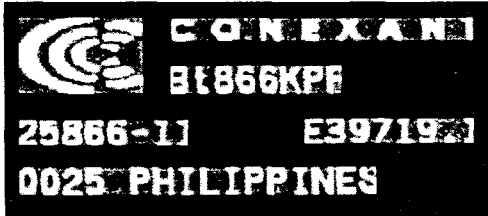


그림 8. 문자, 심볼 세부 영역 추출 결과

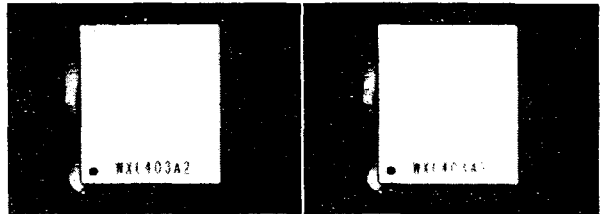


그림 9. uBGA 표면 무늬 제거

#### 나. 검사 결과

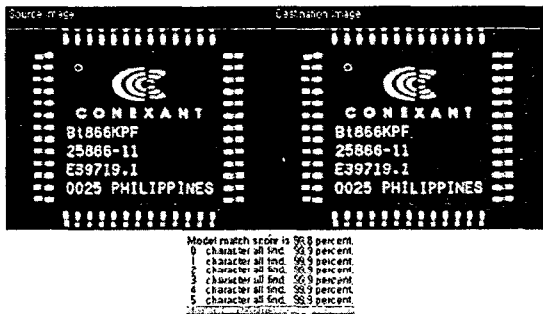


그림 10. 잉크 마킹 소자(정상) 정합 결과

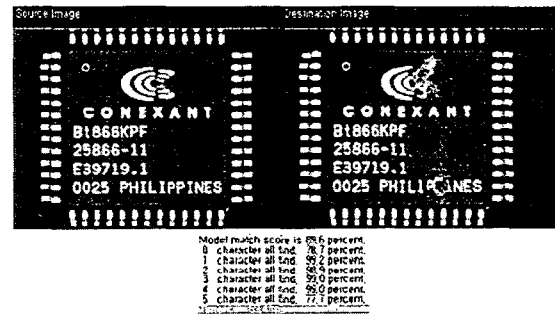


그림 11. 오류 소자 정합 결과

그림 10 은 잉크 마킹이 되어 있는 그림 6 의 전체 영역과 그림 8 의 세부영역 모델을 사용하여 정합한 결과이다. 그림 10 의 정합 결과는 전체 영역 99.8%, 각각의 세부 영역은 99.9% 그리고 걸린 시간은 66.8ms 이다. 그림 11 은 인위적으로 심볼과 문자부분에 오류를 가한 후 정합한 결과이다. 전체 영역 89.6%, 세부영역에서는 심볼 부분 78.7% 마지막 문자열 77.7%, 그리고 다른 부분은 99% 이상의 결과 나왔고 검사 시간은 69.4ms 이다.

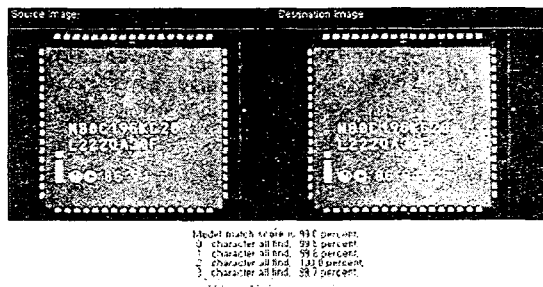


그림 12. 레이저 마킹(정상) 정합 결과

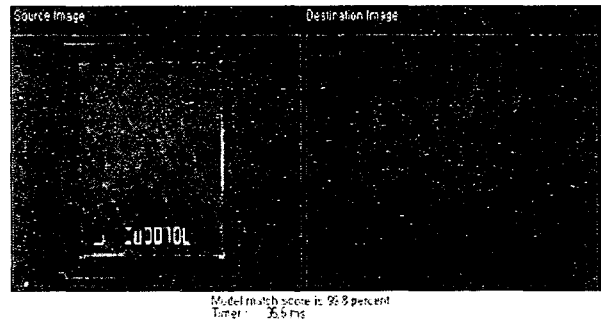


그림 13. 레이저 마킹(uBGA) 정합 결과

그림 12 는 레이저 마킹이 되어 있는 PLCC type 의 소자의 정합결과이다. 전체 영역은 99.0% 각 세부 영역은 99.8%, 99.8%, 100.0%, 99.7%이고 검사 시간은 42.1ms 이다. 그림 13 은 거울면이 있는 uBGA 의 정합 결과이다. 각 문자들의 특징을 추출하여 검사를 하게 된다. 정합 결과는 99.8%이며 검사 시간은 35.6ms 이다.

#### 다. 최근 논문과 비교

2002 년 11 월에 IEEE 에 게재된 Bernard C. Jiang 가 제안한 "Machine Vision-Based Gray Relational Theory Applied to IC Marking Inspection." 논문[8]과 비교를 하였다. Bernard 의 방법은 문자의 구조적인 특징을 추출하여 연관성을 그레이 연관 방정식을 사용하여 비교하는 방식이다. 반도체 소자에서 각각 문자 B 에 대해 특징점을 추출하여 Bernard 가 제안한 방법으로 수치를 정했을 때, reference 로 정한 B 에 대한 인식 결과는 100%가 되고, 다른 B 에 대해서는 79.12%, 73.77%, 77.45%의 인식률을 보였다. 그리고 다른 소자에서 문자 부분을 추출하여 문자 B 와 문자의 구조적 특징이 비슷한 숫자 8 에 대해서 검사 하였을 때 92.84%의 인식률 보였다. 하지만 본 논문에서 제안한 방식에서는 모델로 정한 B 에 대한 결과는 100%가 되고, 다른 B 에 대해서는 각각 96.28%, 92.34%, 99.52%의 정합 결과가 나왔고, 숫자 8 에 대해서는 모델을 찾을 수 없는 결과가 나왔다.

## 4. 결론

본 논문에서는 학습 방식이나 모델 지정 방식이 아닌 자동적인 모델을 추출하기 위한 방법과, 몇 가지 반도체 패키지가 아닌 거의 모든 반도체 패키지의 검사를 위한 정합 방법을 제시하여 실험 결과를 보였다. 검사 시간은 현재 국내에서 생산되는 마킹 / 표면 검사 장비에 비해 최소 10ms 이상 줄일 수 있었다. 이로서 반도체 제조 공정에서의 시간을 단축시켜 생산량을 더욱 높일 수 있다. 그리고, 반도체 생산 라인에서 필요한 검사 장비를 기존의 고가의 수입품에서 보다 저렴한 국산 장비를 개발함으로써 반도체 생산 비용을 절감하여 세계시장에서 우리나라 반도체 소자의 경쟁력을 높일 수 있을 것이다.

## 후기

본 논문은 한국과학재단지정 호서대학교 반도체제조장비국산화연구센터의 연구지원에 의한 것임.

## 참고문헌

- [1] 김민기, "IC 패키지 마킹검사를 위한 적응적 다단계 이진화와 정합 단위의 동적 선택," 정보처리학회논문지, 제9권, 제2호, pp. 245-254, 2002.
- [2] 김태동, "PCB에 실장된 IC의 Marking 문자의 인식에 관한 연구," 금오공과대학교 대학원.
- [3] Synapse Imaging Co., "<http://www.synapseimaging.co.kr>".

- [4] N.Otsu, "A Threshold Selection Method from Gray-Level Histograms," *IEEE Transactions on System, Man and Cybernetics*, Vol. SMC-9, No. 1, pp. 62-66, 1979.
- [5] Rafael C. Gonzalez and Richard E. Woods, "Digital Image Processing 2nd Edition", Prentice-Hall, 2002.
- [6] Matrox Electronic System Ltd, "Matrox Image Library User Guide," Matrox Electronic System Ltd.
- [7] Randy Crane, "A Simplified approach to Image Processing," Prentice-Hall, 1997.
- [8] Bernard C. Jiang, Szu-Lang Tasi, and Chien-Chih Wang, "Machine Vision-Based Gray Relational Theory Applied to IC Marking Inspection," *IEEE Trans. On Semiconductor Manufacturing*, Vol. 15, No. 4, pp. 531-539, Nov. 2002.