

트렌치 게이트를 이용하여 기생 사이리스터 래치-업을 억제한 새로운 수평형 IGBT

최영환, 오재근, 하민우, 최연익¹, 한민구

서울대학교 공과대학 전기·컴퓨터 공학부, ¹아주대학교 전자공학부

A New LIGBT Employing a Trench Gate for Improved Latch-up Capability

Young-Hwan Choi, Jae-Keun Oh, Min-Woo Ha, Yean-Ik Choi¹, and Min-Koo Han

School of Electrical Eng., Seoul National University, ¹ College of Electronics Eng., Ajou University

Abstract - 트렌치 게이트 구조를 통해 순방향 전압 강하 손실 없이 기생 사이리스터 래치-업을 억제시키는 새로운 수평형 절연 게이트 바이폴라 트랜지스터 (LIGBT)를 제안하였다. 제안된 소자의 베이스 셉트 저항은 정공의 우회로 인하여 감소하였으며, 이에 따라 기생 사이리스터 래치-업이 억제되었다. 제안된 소자의 순방향 전압 강하는 트렌치 구조에 의한 유효 채널 폭 증가로 감소하였다. 제안된 소자의 동작 원리 분석을 위해 ISE-TCAD를 이용한 3차원 시뮬레이션을 수행하였으며, 표준 CMOS 공정을 이용하여 소자를 제작 및 측정하였다. 제안된 소자의 순방향 전압 강하는 기존의 LIGBT에 비해 증가하지 않았으며, 래치-업 용량은 2배로 향상되었다. 제안된 소자의 포화 전류는 감소하였으며, 이로 인하여 소자의 강인성 (ruggedness)이 향상 되었다.

2. 본 론

2.1 소자의 구조 및 구동 원리

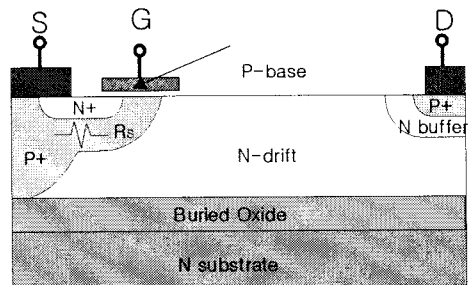
그림 1은 제안된 LIGBT의 구조이다. 순방향 전압 강하의 증가 없이 기생 사이리스터 래치-업을 억제하기 위해 제안된 LIGBT의 소스 영역은 선택적으로 식각되었다. 트렌치 구조는 다결정 실리콘의 증착 전에 건식 식각을 통해 형성되었으며, 게이트는 트렌치에 수직이 되도록 설계되었다. 트렌치의 깊이는 0.5 μm에서 2 μm사이이고, p- 이온 주입 공정과 드라이브-인 공정으로 p- 베이스가 형성되었으며, n+ 이온 주입 공정을 이용하여 트렌치 사이에 분리된 n+ 영역이 형성되었다. 소자의 설계 변수는 그림 2와 표 1에 있다. 기생 사이리스터 래치-업 특성의 향상을 위해 제안된 LIGBT에 추가적인 깊은 p+ 웰 (well) 접합이 설계되었다.

1. 서 론

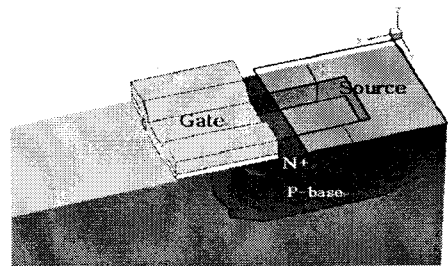
낮은 순방향 전압 강하와 높은 임피던스를 가지는 수평형 절연 게이트 바이폴라 트랜지스터 (Lateral Insulated Gate Bipolar Transistor, LIGBT)는 전력 집적 회로에서 각광을 받고 있다. LIGBT의 최대 동작 전류는 기생 사이리스터 래치-업에 의해 제한된다 [1]. 기생 사이리스터가 래치-업되면 LIGBT의 동작을 게이트 신호로 제어할 수 없기 때문에 기생 사이리스터 래치-업은 억제되도록 설계되어야 한다.

기생 사이리스터 래치-업은 NPN 트랜지스터 혹은 PNP 트랜지스터의 이득 (gain)을 감소시켜 억제할 수 있다. PNP 트랜지스터의 이득 감소는 순방향 전압 강하를 증가시키므로, NPN 트랜지스터의 이득을 줄이는 방법이 바람직하다. NPN 트랜지스터의 이득을 감소시키는 방법 중 하나는 베이스의 셉트 (shunt) 저항 (R_s)을 줄여서 p- 베이스/n+ 소스 접합의 주입 효율을 줄이는 것이다.

추가적인 깊은 p+ 접합을 설계하여 p- 베이스의 셉트 저항을 줄여 기생 사이리스터 래치-업의 용량을 증가시키는 방법은 연구되었다 [2]. 다중 표면 단락 (Multiple Surface Short, MSS) 구조를 이용해서 정공 전류를 우회 (bypass)시키는 방법은 기생 사이리스터 래치-업 특성을 향상시켜준다 [3]. 그러나 MSS 구조를 이용한 LIGBT는 유효 채널 폭이 감소하여 순방향 전압 강하가 증가하는 문제점을 가진다. 본 논문의 목적은 트렌치 게이트 구조를 통해 순방향 전압 강하의 손실 없이 기생 사이리스터 래치-업을 억제하는 새로운 LIGBT를 제안하는 것이다. 트렌치 게이트 구조는 LD MOSFET에서 단위 면적당 온 저항 (on resistance)을 줄이기 위하여 도입되었으나 [4-5], LIGBT의 래치-업 특성 향상을 위해서 트렌치 게이트 구조가 사용된 경우는 없었다. 제안된 소자의 동작 원리 분석을 위해 ISE-TCAD [6]를 이용한 3차원 시뮬레이션을 수행하였으며, 소자는 표준 CMOS 공정을 이용하여 제작 및 측정되었다.



(a)



(b)

그림 1. 제안된 LIGBT의 (a) 단면도 및 (b) 확대된 소스 영역

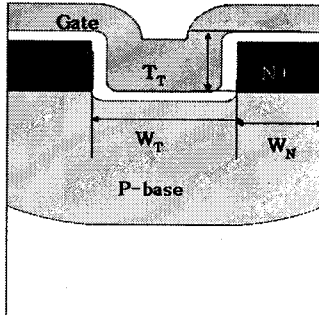


그림 2. 제안된 LIGBT의 설계 변수

설계 변수		값
표면 도핑 농도	p- 베이스	$5 \times 10^{17} \text{ cm}^{-3}$
	n+ 소스	$1 \times 10^{20} \text{ cm}^{-3}$
접합 깊이	p- 베이스	2.5 μm
	n+ 소스	1.0 μm
도핑 농도	n- 드리프트	$2 \times 10^{15} \text{ cm}^{-3}$
두께	n- 드리프트	10 μm
n+ 소스 길이 (W_N)		0.5 ~ 1.5 μm
트렌치 깊이 (T_T)		1 μm
트렌치 길이 (W_T)		1 ~ 3 μm

표 1. 제안된 LIGBT의 설계 변수 값

그림 3은 제안된 트렌치 게이트 LIGBT를 x축에 수직으로 잘라낸 단면도이다. 제안된 소자의 기생 사이리스터 래치-업은 MSS 구조에 의해 억제된다. 기존 LIGBT의 n+ 소스는 게이트 패턴에 평행한 방향으로 균일하게 형성되어 있는데 비해 제안된 LIGBT의 n+ 소스는 트렌치 사이에 선택적으로 형성되어 있다. P- 베이스의 전압 강하는 베이스 섀트 저항 (R_S)에 의해서 결정되며 제안된 LIGBT의 R_S 는 n+ 소스 사이의 공간을 통과하는 정공 우회에 의하여 감소된다.

제안된 소자의 p- 베이스 영역은 트렌치 형성 이후에 만들어지므로 p- 베이스의 접합 깊이는 트렌치 깊이만큼 더 깊어진다. 깊은 p- 베이스 접합은 불순물의 수평 확산을 통해 주변 영역의 접합 깊이가 깊어지도록 영향을 미친다. 그러므로 제안된 LIGBT의 래치-업 용량은 트렌치 게이트 구조에 의해서 더욱 향상된다.

기존 MSS LIGBT의 순방향 전압 강하는 유효 채널 폭이 감소하여 증가한다. 제안된 LIGBT는 트렌치 구조에 의해 유효 채널 폭이 증가하게 되므로 순방향 전압 강하는 증가하지 않게 된다. 그림 3의 A-A' 단면도의 점선은 제안된 LIGBT의 증가된 유효 채널 폭을 나타낸다.

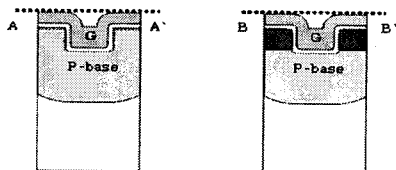
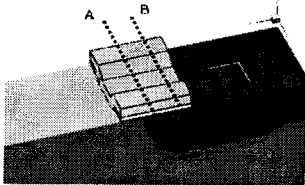


그림3. 제안된 LIGBT를 x축에 수직으로 잘라낸 단면도

그림 4는 제안된 LIGBT의 순방향 동작 시의 정공 전류 밀도이다. 정공 전류가 트렌치 밑의 p- 베이스 영역을 통해 우회하고 있음을 확인할 수 있다. 트렌치 아래 p- 베이스의 정공 전류 밀도는 높으며, 트렌치 모서리에서 p- 베이스 영역까지의 거리가 증가할수록 감소한다. 그림 5는 제안된 소자의 p- 베이스 표면 (기존 LIGBT 내부의 p- 베이스와 n+ 소스의 접합 경계)에서의 정공 전류이다. 기존 LIGBT의 정공 전류 밀도는 거의 일정한데 비해 제안된 LIGBT의 정공 전류 밀도는 트렌치 접합 경계에서 가장 높다. 트렌치 접합 경계에서 정공 전류 밀도가 가장 높은 이유는 트렌치 측면 채널과 전류 집중 효과에 의해 n 채널의 전자 공급이 불균일해지기 때문이다.

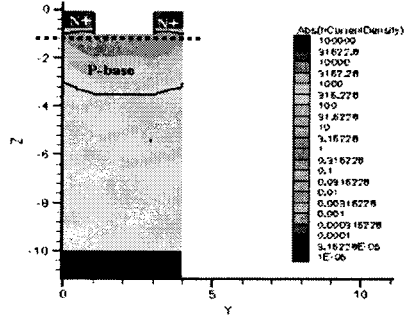


그림 4. 제안된 LIGBT의 순방향 동작 시 정공 전류 밀도

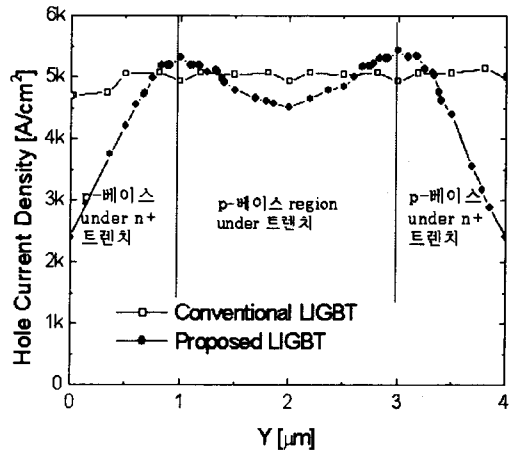


그림 5. 제안된 LIGBT의 p- 베이스 표면의 정공 전류 밀도 (그림 4의 점선)

2.2 실험 결과

그림 6은 제안된 소자, 기존 MSS LIGBT와 기존 LIGBT의 측정된 결과이다. 기생 사이리스터 래치-업 용량 향상에 대한 트렌치 게이트의 효과를 알아보기 위해 깊은 p+ 웰 접합을 의도적으로 형성하지 않았다. 트렌치 게이트 LIGBT 래칭 전류 (point C)는 기존 LIGBT 래칭 전류 (point A)의 2배이며, 기생 사이리스터 래치-업이 효과적으로 억제되고 있다. 제안된 LIGBT는 유효 채널 폭의 증가에 의해 측정된 소자 셋 중 가장 낮은 순방향 전압 강하를 가지지만, 기존 MSS LIGBT는 가장 작은 유효 채널 폭 때문에 가장 높은 순방향 전압 강하를 가진다.

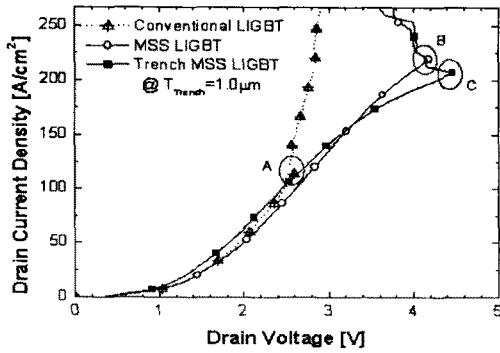


그림 6. 제안된 LIGBT의 측정된 I-V 특성

설계 변수에 따른 제안된 소자의 전기적 특성이 연구되었다. 그림 7은 트렌치 길이 W_T 이 2 μm 일 때의 n+ 소스 길이 W_N 에 따른 제안된 소자의 측정된 I-V 특성이다. W_N 의 증가는 트렌치 게이트 제안된 LIGBT의 포화 전류는 W_N 이 증가함에 따라 증가된다. 그림 8은 n+ 소스 길이 W_N 이 5 μm 일 때의 트렌치 길이 W_T 에 따른 제안된 LIGBT 측정된 I-V 특성이다. 제안된 LIGBT의 순방향 전압 강하는 W_T 가 증가할수록 증가된다. 제안된 LIGBT의 낮은 순방향 전압 강하를 얻기 위한 최적의 W_T 값은 2 μm 이다.

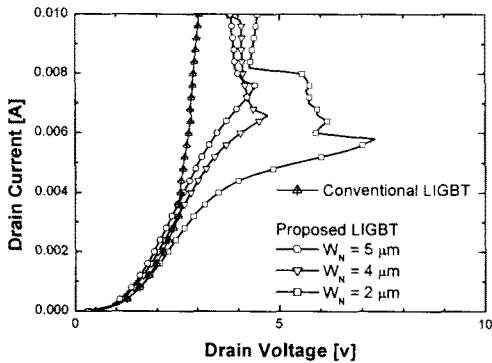


그림 7. 다양한 소스 폭에 따른 제안된 LIGBT의 측정된 I-V 특성

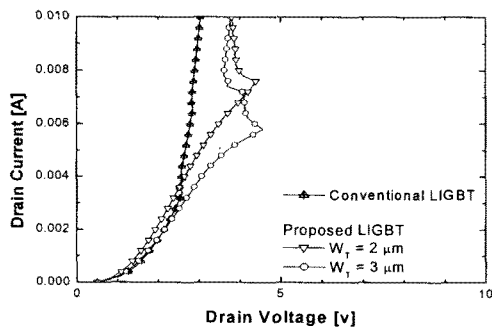


그림 8. 다양한 트렌치 폭에 따른 제안된 LIGBT의 측정된 I-V 특성

깊은 p+ 웰 접합을 추가했을 때의 영향을 조사하기 위하여 깊은 p+ 웰 접합이 설계된 제안된 LIGBT를 제작하였다. 그림 9에서 보이는 것과 같이, 제안된 LIGBT는

기존 LIGBT에 비해 낮은 순방향 전압 강하와 증가된 래치-업 용량을 획득하였다. 또한 제안된 LIGBT는 낮은 포화 전류를 가지므로 제안된 LIGBT가 기존 LIGBT에 비해 강인성이 개선되었다. 이는 소자가 단락 회로 조건 (short circuit condition)과 같은 비정상적인 상태에 있을 때 낮은 포화 전류 상태로 높은 전압을 견딜 수 있기 때문이다.

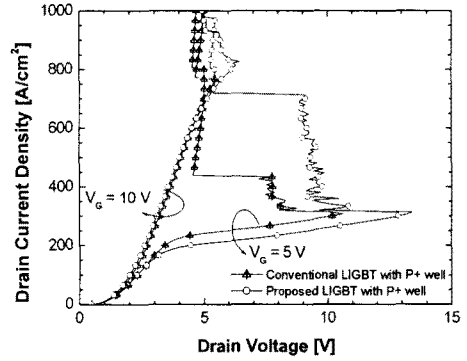


그림 9. 깊은 p+ 웰 접합이 설계된 제안된 LIGBT의 측정된 I-V 특성

3. 결 론

순방향 전압 강하 손실 없이 기생 사이리스터 래치-업을 효과적으로 억제하는 새로운 트렌치 게이트 LIGBT가 제안되었으며, 성공적으로 제작 및 측정되었다. 트렌치 구조에 따른 정공 전류 우회와 유효 채널 폭의 증가로 제안된 LIGBT의 기생 사이리스터 래치-업 되는 전류는 순방향 전압 강하 손실 없이 기존 LIGBT에 비해 2배로 증가되었다. 제안된 LIGBT의 순방향 전압 강하는 기존 LIGBT에 비해 0.2 V 감소하였다. 제안된 LIGBT의 래치-업 용량 향상과 순방향 전압 강하 감소는 추가적으로 깊은 p+ 웰 접합을 설계하더라도 유지되며, 줄어든 포화 전류로 인하여 소자의 강인성이 개선된다.

[참 고 문 헌]

- [1] B. J. Baliga, M. S. Adler, P. V. Gray, and R.P. L. ove : Suppressing Latch-up in Insulated Gate Transistors, IEEE EDL, 5, 323-325, 1984
- [2] B. J. Baliga : Switching Speed Enhancement in Insulated Gate Transistor by Eletron Irradiation, IEEE Trans. ED, 31, 1790-1795, 1984
- [3] H. Yilmaz : Cell Geometry Effect on IGT latch-up, IEEE EDL, 6, 419-421, 1985
- [4] Y. Kawaguchi, T. Sano, A. Nakagawa : 20V and 8 V Lateral Trinch Gate Power MOSFETs with Record-low On-resistance, proc. of IEDM, 197-200, 1999
- [5] S. Xu, Y.Zhu, P. D. Foo, Y. C. Liang, J. K. O Sin : Folded Gate LDMOS with Low On-resistance and High Transconductance, proc. of ISPSD, 55-58, 2000
- [6] ISE TCAD Manuals, ISE Integrated Systems Engineering AG, 2002
- [7] M. darwish and K. Board : Lateral RESURF COM FET, Electron Letter, 20, 519-520, 1984