

Real time EELS를 이용한 NO gate oxide 표준시료에서의 Nitrogen mapping 분석

박태수, 백태선, 김종협, 고중규, 김호정, 이순영
(주)하이닉스반도체 연구소 분석개발팀

1. 서론

반도체 device의 계속되는 design rule의 감소와 더불어 gate oxide 두께 또한 감소되어 왔다. 특히, gate length가 100nm이하로 되면서 gate oxide 두께도 한계에 도달하였고, 그 두께가 20 이하일 경우 leakage current, boron diffusion 등으로 인하여 기존의 SiO₂ gate oxide로는 적용이 어렵다고 보고되고 있다[1]. 이에 기존의 SiO₂에 nitridation 처리를 하여 NO gate oxide를 적용하는 연구가 진행되고 있다. 본 연구에서는 SIMS 분석을 통해 nitrogen 성분에 대해 정량적으로 확인된 NO gate oxide 표준시료를 이용하여 STEM-EELS의 분석한계를 파악하고자 하였다.

2. 실험 방법

본 연구에 이용된 NO gate oxide 표준시료는 Si sub에 4nm 정도의 SiO₂ 박막을 형성시킨 후 NO ambient 상에서 anneal을 실시하여 제조하였다. 그리고, SIMS 분석결과 SiO₂와 Si-sub 사이에 nitrogen이 최고 4.5% 정도 pile up되어 있는 것으로 분석된 표준시료에 대하여 분석을 진행하였다.

TEM 시료는 Si 기판의 [110] 방향이 관찰되도록 절단하여 기계적인 연마 후에 ion milling 법에 의해 제조하였다. TEM과 ZC image 관찰은 Hitachi사의 HD-2000 STEM을 이용하였으며 [2], EELS elemental mapping도 Hitachi사의 ELV-2000을 이용하였다. ELV-2000 system은 STEM과 두 개의 energy filter를 이용한 EELS imaging system으로 real time으로 jump ratio image를 보여줄 수 있어 Real time jump ratio imaging system으로 불린다[3]. Nanometer resolution으로 다른 종류의 elements boundary를 구분하는데 매우 유용하며, drift 보정이 필요 없는 장점도 가지고 있다.

3. 결과 및 고찰

표준 시료에 대하여 1차적으로 EELS point 분석을 실시하였으나, electron beam damage로 인하여 N peak를 검출하기 어려웠다. 이에 반도체 device에서 많이 사용하는 Si₃N₄막에서 N peak를 검출하고, 이를 기준으로 EELS elemental mapping을 실시하여 nitrogen mapping 결과를

얻을 수 있었다

Fig. 1은 NO gate 표준시료를 Charles Evans & associates에서 검증한 SIMS분석 결과이며, Fig. 2는 Si-sub위에 SiO₂가 40 정도 성장되어 있음을 나타내는 TEM image로 nitrogen pile-up 과 같은 profile은 관찰되지 않고 있다. Fig. 3은 real time jump ratio EELS mapping을 결과로, Si sub위쪽 SiO₂ 와의 경계 부분에 nitrogen이 균일하게 pile up되어 있는 것으로 관찰된다.

EELS mapping 결과와 SIMS 결과를 비교하여 보면 oxide 두께가 40으로 거의 일치하는 것으로 나타나며, mapping결과에서 nitrogen pile up 두께는 대략15으로 SIMS 1E+21(atoms/cc) level과 일치된다.결과적으로 EELS mapping에서 퍼센트 level 이상의 nitrogen 분석이 가능할 것으로 판단된다.

4. 결론

NO gate oxide 표준시료에 대해 STEM-EELS를 이용하여 분석한 결과 nitrogen 퍼센트 level 이상은 분석이 가능하다는 것을 확인 할 수 있었고, SiO₂ 박막 위에서 NO anneal을 하면 nitrogen이 diffusion되어 Si과의 경계 면에 균일하게 pile-up 되는 것을 확인할 수 있었다. 이 분석기술은 향후 나노 스케일의 다른 종류 elements를 구분하는데 있어서 더욱 많이 응용할 수 있을 것으로 판단된다.

참고문헌

[1]Seunghoon Song, Jihye Yi, Woosik Kim, Kazuyuki Fujihara, Wo-kyo Kang, Joo tae Moon and Moon-Yong Lee, Journal of semiconductor technology and Science, Vol, No.2, June, 2001

[2]TaKeo Kamino, Tsuyoshi Onishi, Kaoru Umemura, Kyoichiro Asayama, Kazutoshi Kaji, Hitachi Review Vol.52 (2003), No.3

[3] Kazutoshi Kaji, Kazuhiro Ueda, Takashi Aoyama, Shunroku Taya, Hiroyuki Tanaka Journal of Electron Microscopy 50(1) : 15~21(2001)

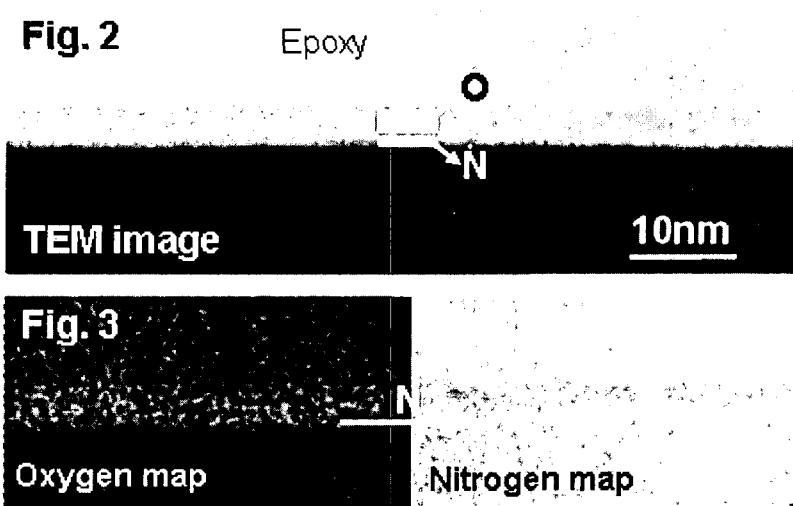
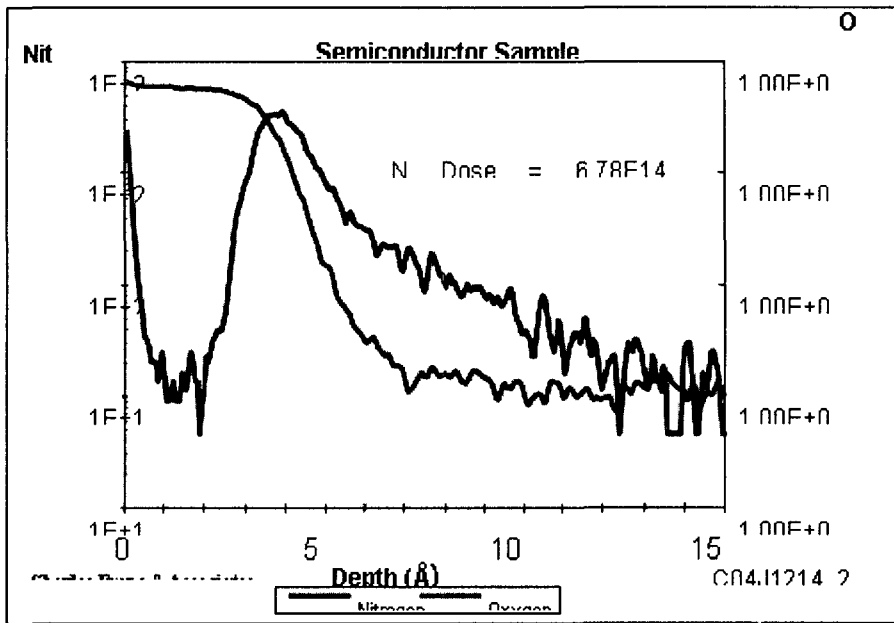


Fig. 1. NO gate 표준 시료에 대한 SIMS 분석결과

Fig. 2. NO gate 표준시료에 대한 X-section TEM image

Fig. 3. NO gate 표준시료에 대한 real time jump ratio mapping image (O, N)