

방전 AND Gate PDP의 공간전하 의존성에 관한 연구

(A Study on Space Charge Dependence of the Discharge AND Gate PDP)

손현성*, 엄정덕, 김현관

(Hyun Sung Son, Jeongduk Ryeom Heon Kwan Kim)

경주대학교 컴퓨터정보시스템공학부

요 약

본 연구에서는 새로 고안된 NOT 논리를 포함한 방전 AND gate의 방전특성에 대해 고찰하고 동작 특성을 해석하였다. 새로 고안된 방전 AND gate는 방전 경로에 따른 전극사이의 전압의 변화로 AND 출력을 유도한다. 측정결과 AND 출력은 A전극의 A1전압과 B전극 전압의 상호 관계에 영향을 받는다는 것을 알았다. 또한 AND 출력을 위한 DC priming 방전은 방전 후 30 μ s 정도까지 영향을 미치며 방전 강도는 AND gate의 특성에 영향을 주지 않는다는 것을 알았다. 시험결과를 통해 AND gate를 구성하는 각 전극 전압의 최적값을 얻었으며 기존의 연구 결과보다 안정적인 AND 동작을 확인하였다.

1. 서 론

플라즈마 디스플레이 패널(plasma display panel 이하 PDP)은 현재 지하철, 영화관, 공항등 공공 장소에서 널리 사용되고 있는 대화면 평판 디스플레이로서 디지털 영상기기의 발달과 HDTV의 보급에 힘입어 가정극장(Home Theater)의 주 디스플레이로서도 그 수요가 증가하고 있다. 그러나 현재 PDP는 아직 일반인들이 구매하기에 가격장벽이 높은 것도 주지의 사실이며 그로인해 PDP의 가격하락을 기다리는 대기 수요층도 만만치 않은 상황이다. 일본의 선진 업체들은 인치당 10만원 이하가 되어야만 PDP가 일반 가전제품으로 인식되고 그 수요가 늘어날 것으로 보고 있다.[1]

PDP의 가격을 구성하는 부분 중에서 재료비 부분을 고려하면 공정재료비와 회로 재료비로 나눌 수가 있는데 양산화가 진행되면 공정재료비는 대량생산이라는 특성상 그 비율이 줄어든다. 그러나 회로부분은 범용 부품들을 주로 사용하기 때문에 양산화 되어도 그 재료비의 감소 폭이 크지 않아 공정재료비에 비하여 상대적으로 비중이 증가하게 된다. 그러므로 PDP의 가격을 저감시키기 위해서는 회로 재료비를 낮추는 것이 필수적이며 획기적으로 회로 재료비를 낮출 수 있는 연구는 PDP의 시장 확대 측면에서 아주 큰 의의를 갖는다고 할

수가 있다.

PDP는 수평주사 및 데이터 써넣기 기능을 수행하기 위하여 고전압 MOS FET들로 집적된 구동 IC들을 다수 사용한다. 이러한 소자들은 그 값이 매우 비싸다. 그러므로 이러한 고전압 IC의 개수를 줄이는 것은 곧 회로재료비 절감에 매우 큰 영향을 미친다.

기체방전은 비선형 특성을 가지며 이를 이용하면 AND gate, OR gate, NOT gate등 기본적인 논리회로를 구성하는 것이 가능하다.[2] 이러한 기체방전이 가지는 논리 특성은 다른 디스플레이에는 없는 PDP만의 장점으로 이러한 기체방전의 논리기능을 사용하여 수평주사 기능을 수행하면 PDP의 고전압 구동회로 수를 획기적으로 저감시킬 수 있고 이는 곧 고가의 고전압 구동 IC의 개수 저감으로 이어지므로 가격 절감에 큰 영향을 미친다고 할 수 있다.[3][4][5]

본 연구에서 PDP의 가격절감 기술에 사용될 수 있는 NOT 논리를 포함하는 새로운 방전 AND gate를 제안하였다. 그리고 실험용 PDP에 방전 AND gate를 구현하여 이의 타당성을 검증하였으며 AND gate를 구성하는 각 전극들의 전압 및 방전의 특성을 해석하였다. 또한 DC priming 방전에 의한 AND 출력 방전의 공간전하 의존성에 대해 실험하였다.

2. NOT 논리를 포함한 방전 AND gate

그림 1은 본 연구에서 제안한 방전AND gate의 구조이다. 전극 구조는 Data 전극이 설치되어 있는 방향과 같은 세로 방향으로 A전극과 B전극을 설치하고 가로방향으로 Ya전극과 Ex 전극을 설치한다. Ex 전극은 A전극과 분리되어 있어 B전극과 Ex전극의 사이에서만 방전①이 일어난다. 또한 Ex전극과 B전극 사이에서는 방전 AND gate에 선행해서 DC priming 방전이 일어나도록 되어 있다. 여기서 입력방전은 ①, ②가 되며 AND gate의 출력방전은 ③이 된다. 출력방전 ③에 의해 발생된 공간전하가 방전④를 유도한다. 방전④와 ⑤는 Ya 전극을 floating 전극으로 하는 DC-AC floating 방전이며 이 floating 방전에 의해 PDP의 디스플레이 영역을 구동하는 방식은 기 제안한 기술과 동일하다.[7]

최초에 B전극에 양의 전압을 인가하고 Ex전극에 음의 전압을 인가하면 방전①이 일어난다. 이 방전①은 공간전하를 발생시키고 이로 인해 방전 공간의 방전개시전압이 낮아지므로 B전극의 전압과 Ya전극의 전압의 합으로 방전 ②가 쉽게 일어난다. 그러나 본 연구에서 제안한 방전 AND gate는 방전②가 일어난 경우에는 방전③은 일어나지 않도록 설계되어 있다. 즉, 방전②가 없는 경우에만 방전③이 일어나고 이것이 AND gate의 출력이 된다. AND 동작이 끝난 후에 floating 절환회로를 사용하여 Ya전극을 floating으로 만들면 방전 ④와 ⑤의 floating 방전이 유도된다.

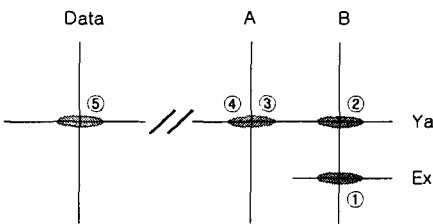
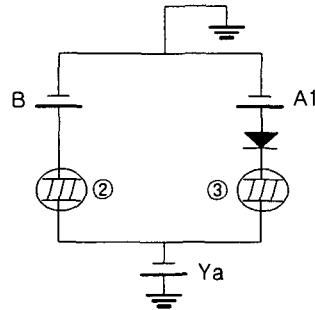


그림 1. 제안된 AND gate PDP의 전극구조

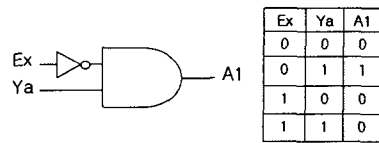
그림 2의 (a)는 본 연구에서 제안된 AND gate PDP의 동작원리를 설명하기 위한 등가회로이다. 그림에서 B전극과 A전극은 Ya전극에 대해 방전 공간 ②, ③을 거쳐서 병렬로 연결되어 있다. 그러므로 어느 한쪽의 방전공간에서 방전이 일어나면 전압강하가 생겨 다른 한쪽의 방전공간에는 방전 개시에 필요한 전압을 얻을 수가 없다. 즉 방전①이 일어나 방전공간에 공간전하가 생성되고 이 공

간전하로 인해 방전②가 쉽게 일어나면 전압강하에 의해 A전극과 Ya전극 사이의 전극간 전압이 실제적으로 매우 낮아져 방전 ③이 일어나지 않는다. 반면에 Ex전극의 전압이 0V가 되어 방전①이 없으면 Ya전극에 전압이 인가되어 있어도 방전 ②가 일어나지 않는다. 따라서 A전극의 전압과 Ya 전극의 전압이 모두 A전극과 Ya 전극 사이에 걸리므로 방전 ③이 일어난다. 또한 Ya 전극의 전압이 0V가 되어도 당연히 방전③이 일어나지 않는다. 이것이 본 연구에서 제안한 방전①과 방전②를 두개의 AND 입력으로 하고 방전 ③을 출력으로 하는 방전AND gate의 동작 원리이다.

그림 2의 (b)는 이 방전 AND gate의 기능을 논리소자로 표시한 것과 그의 진리표이다. 이 표에서와 같이 Ex 전극의 전압이 0이고 Ya 전압이 1인 경우에만 출력전압이 1이 되므로 이 방전 gate는 한쪽 입력에 NOT 논리를 가지는 AND gate가 된다.



(a)



(b)

그림 2. 실험에 사용한 PDP의 전극구조

그림 3은 이 방전 AND gate를 구동하기 위한 펄스 타이밍 도이다. 그림에서 보면 맨 처음에 B 전극과 Ex전극 사이에서 DC priming 방전을 하고 이어서 입력방전들이 일어나며 A전극은 A1전압과 A2전압으로 나누어져 있어 AND 출력 방전은 A1 전압과 Ya전압 사이에서 이루어진다. DC-AC floating방전은 A전극의 A2전압과 D전극의 전압 사이에서 이루어진다. 본 연구에서 제안한 AND 출력인 방전 ③은 방전①과 ②가 없을 때 일어나므로 방전이 일어나기 매우 어렵다. 그러므로 AND 방전에 앞서서 폭이 짧은 펄스를 인가하여 방전을 한번 해줄 필요가 있다. 이것이 DC

priming 방전의 역할이다.

그림에서 보이듯이 B전극, A전극의 전압은 기존의 연구결과[7]와는 반대로 양의 전압을 인가하여 양극으로 만들고 Ex전극과 Ya전극은 부의 전압을 인가하여 음극을 만든다. 그리고 floating 방전기간에 인가되는 Data 전극의 전압은 역시 기존의 연구결과와 반대로 음의 전압을 인가하였다.

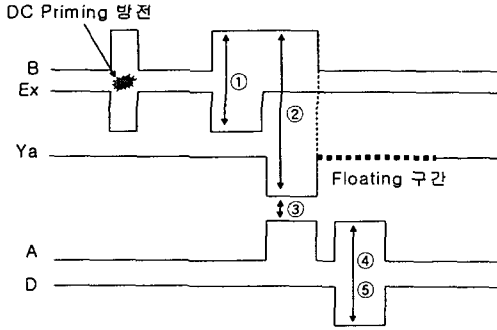
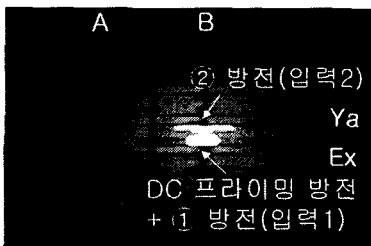


그림 3. 방전 AND gate의 구동 타이밍 도

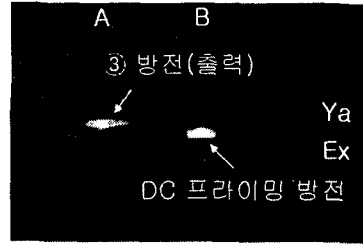
3. 실험 결과

그림 4는 실제 패널에 방전 AND gate를 구현하여 동작시킨 결과이다. 그림의 (a)는 방전①에 의해 방전②가 유도되고 그 결과 AND 출력이 0이 되는 상태를 나타낸다. 즉 입력1, 2가 각각 1, 1일때 출력이 0임을 의미한다. 그림 4의 (b)는 Ex전극에 전압을 0V로 하여 방전①이 일어나지 않은 조건에서 Ya전압을 인가할 때 방전②가 유도되지 않으며 그 결과 AND 출력인 방전③이 유도된 것이다. 즉, 입력1, 2가 각각 0, 1일때 출력이 1임을 의미한다. (b)에서 방전①이 없는데도 방전이 나타나는 것은 DC priming 방전이 있기 때문이다.

또한 Ya와 Ex 전극에 인가한 전압이 음의 전압이므로 그림 4에서와 같이 방전이 좌우로 퍼지고 그 결과 위 아래의 인접전극에 방전이 미치는 영향이 없음을 알 수 있다.



(a)



(b)

그림 4. 방전 AND gate 구동실험 결과

그림 5는 방전①의 특성을 측정하는 것으로 B전극의 전압을 증가시켜가면서 방전①이 일어나는 Ex전극의 최소전압을 측정하는 것이다. 그림을 보면 B전극 전압이 증가함에 따라 Ex전압은 선형적으로 감소한다. 실험결과 B-Ex 전극간의 방전개시 전압은 항상 210V로 일정함을 알았다.

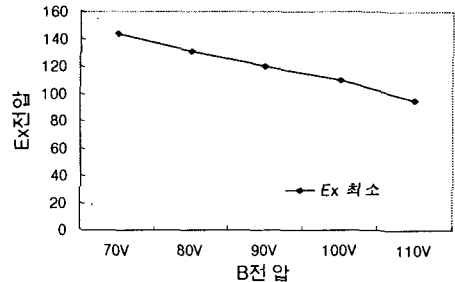


그림 5. B전압과 Ex 전압과의 관계

그림 6은 입력방전①이 발생한 경우 입력방전②의 방전개시전압을 측정하는 것으로 Ya전압의 최대는 방전①이 없이도 방전②가 일어나서 방전AND gate가 기능을 잃어버리는 최소전압이고 Ya전압의 최소는 방전①이 있는 경우 방전②가 일어나 방전AND gate가 제대로 기능을 하는 최소전압이다. 그림에서 방전②가 일어나는 Ya 전압은 방전①의 강도에는 무관하며 방전①의 유무에만 관계가 있음을 알 수 있다. 또한 A전극의 전압에 따라 Ya 전압의 동작마진의 변화가 심하여 최적값은 A1전압이 100V에서 50V 정도이다.

표 1은 AND 출력인 방전③을 결정하는 A전극의 A1전압과 입력 방전②를 결정하는 B전극 전압의 변화에 따른 Ya 전극 전압의 동작마진을 측정하는 것이다. 그림에서 보면 B전극의 전압이 증가하면 A1전압도 같이 증가하여야 AND gate가 제대로 기능을 한다는 것을 알 수가 있다. 즉 A1전압은 항상 B전극 전압보다 어느정도 이상 높아야 한다는 것을 알 수가 있다.

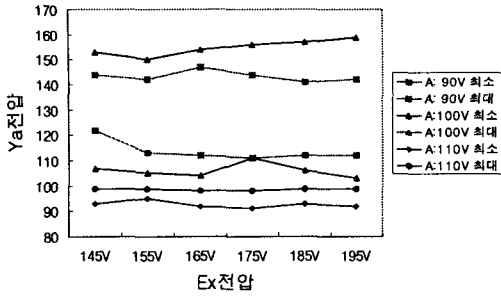


그림 6. Ex 전압과 Ya 전압과의 관계

표 1. A1과 B 전압에 의한 AND 특성

A1	90V		100V		110V		120V		130V		140V		150V		
	최소	최대	최소	최대	최소	최대	최소	최대	최소	최대	최소	최대	최소	최대	
Ya	70V	125	146	114	143	110	131								
	80V			113	135	103	129								
B	90V				89	122	92	124							
	100V			방전이 안됨			86	110	72	119	61	66			
	110V							73	99	64	114	50	59		

Ex = 145V 일정

그림 7은 Ya 전압과 A전극의 A1 전압과의 관계를 측정한 것이다. 측정기준은 AND gate가 제대로 동작하는 A1전압의 최소전압을 기준으로 하였다. 실험결과에서 보면 A1 전압은 Ya 전압이 증가하면 감소하다가 다시 증가하는 것을 볼 수가 있는데 이는 Ya 전압이 높아지면 Ex 전압이 인가되지 않는 경우에도 방전②가 약간 들어오는 것에 원인이 있을 것으로 추측된다. 방전②가 들어오면 B전극과 Ya전극사이에 전압강하가 생겨 A전극과 Ya 전극사이에 그 영향이 미치게 되므로 방전③을 개시시키기 위하여 더욱 높은 A1전압을 필요로 하는 것으로 생각된다. 또한 Ya 전압을 증가하면 방전②가 강해지고 이로 인한 전압강하는 더욱 심해질 것이다. 실제로 Ya 전압을 높이면 방전②가 점점 강해지는 것을 육안으로 관찰 할 수 있었다.

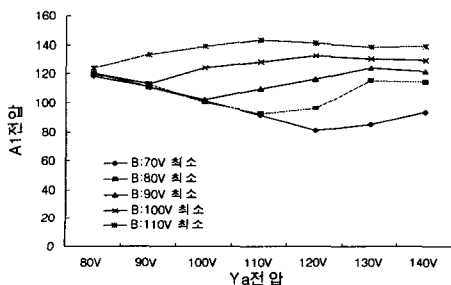


그림 7. Ya전압과 A1 전압과의 관계

또한 B전극의 전압이 증가하면 A1전압이 감소했다가 증가하는 전환점이 점점 낮은 Ya 전압 쪽으로 이동하는데 이것 역시 위에서 서술한 방전②의 전압강하에 기인한다고 보여진다. 실험결과로부터 A1전압은 최적값이 존재한다는 것을 알았으며 대략 100V 내외가 적당한 것으로 사료된다.

AND gate의 출력방전 ③은 방전①, ②가 모두 일어나지 않을 경우에 일어나는 방전이므로 방전 개시가 어려워진다. 그러므로 DC priming 방전을 추가로 발생시켜 여기서 나오는 공간전하를 이용하여 방전 개시전압을 저하시켰다. 그러나 DC priming 타이밍을 AND 동작 도중에 삽입할 수는 없으므로 AND가 시작되기 직전에 삽입하였다. 이 경우 DC priming 방전에서 발생한 공간전하가 방전③이 발생하는 타이밍까지 존재해야 하므로 이에 대한 특성 측정이 필요하다. 그림 8은 DC priming 방전에 의한 공간전하가 AND gate에 미치는 영향을 해석하기 위한 실험을 하는데 사용한 타이밍도이다. 먼저 B전극과 Ex 전극 사이에서 DC priming 방전을 하고 이후에 A전극과 Ya전극 사이에 펄스를 인가하여 DC priming 방전에서 발생하는 공간전하가 AND 출력방전인 방전③에 미치는 영향을 측정하였다. 여기서 ΔT 는 DC priming 방전 후 방전③까지 사이의 휴지기를 나타낸다.

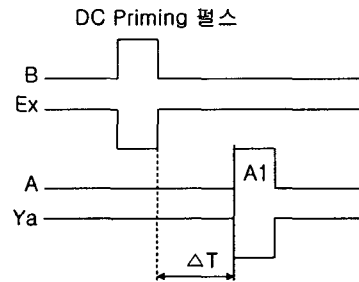


그림 8. DC 프라이밍 방전 실험을 위한 펄스 타이밍도

그림 9는 DC priming이 종료한 후를 기준으로 A전극과 Ya 전극에 인가하는 펄스전압의 인가시기를 여러 가지로 바꾸면서 DC priming 방전 강도에 대한 AND 출력방전의 특성을 측정한 것이다. 방전의 강도가 강하면 그만큼 많은 양의 공간전하가 발생한다고 가정하였다. 그림에서 보면 40 μ s의 경우만 Ex 전압에 따라 다소 Ya 전압이 감소할 뿐 일반적으로 DC priming 방전의 강도와 AND 출력방전의 방전 개시전압은 무관하다는 것을 알았다.

그림 10은 DC priming 방전 직후부터 휴지기를 점차적으로 늘려나가면서 Ya 전압의 최소전압을

측정하여 보았다. 그림에서 보는 것과 같이 Ya 전극의 전압은 30 μ s까지는 서서히 증가하다가 30 μ s 이후 급격히 증가하고 50 μ s 이후는 거의 변화가 없음을 알 수가 있다.

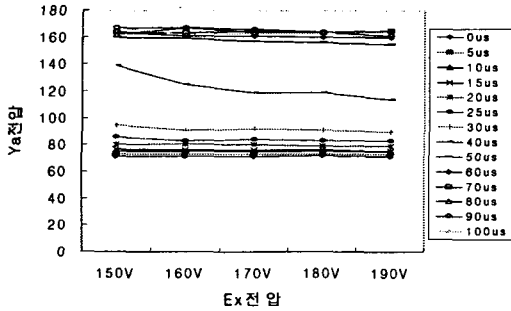


그림 9. DC priming 방전 강도와 AND 방전의 관계

공간전하가 방저공간의 방전개시전압을 저하시킨다는 것은 자명한 사실이고 이것으로부터 유추하면 DC priming 방전에서 생긴 공간전하는 발생 직후부터 30 μ s 정도까지는 인접한 방전에 영향을 주지만 이후는 소멸하여 50 μ s 이후는 전혀 기여하지 않는다는 것을 알 수 있다. 이것은 기존의 연구결과[8]와도 일치하는 것으로 AND gate의 출력 방전이 DC priming의 도움을 받기 위해서는 최소한 30 μ s 이내에 있어야 한다는 것을 알 수 있다.

결론적으로 보면 실험결과로부터 공간전하가 방전개시전압에 영향을 미치는 요소는 공간전하의 양보다는 공간전하가 존재하는 시간인 것으로 추론된다.

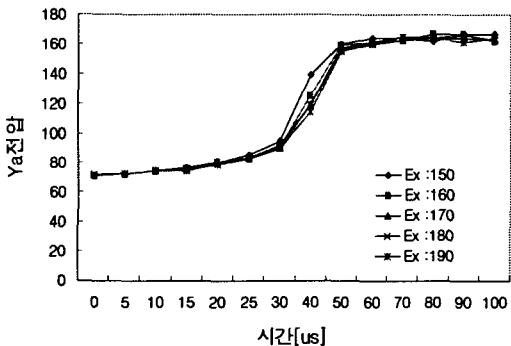


그림 10. DC 프라이밍 방전에 의한 공간전하의 영향

4. 결 론

본 연구는 PDP의 고전압 회로소자 절감에 적용할 수 있는 기술에 대한 것으로 입력 중 하나에 NOT 논리기능이 있는 방전 AND gate를 제안하

고 그 특성을 측정하고 해석하였다. 제안된 방전 AND gate는 A 전극의 A1전압과 B전극 전압의 상호 크기에 밀접한 관계가 있으며 이로 인해 각 전극의 전압들이 최적값을 갖는다.

실험결과 입력방전인 Ex전극의 전압은 B전극의 전압과 합하여 210V 정도이며 B전극 전압은 낮을수록 AND 동작이 원만하여 70~80V가 적당하다. 이 경우 A1전압은 100V, Ya 전극 전압은 110V정도가 최적전압으로 구해졌다. 또한 DC priming에서 발생한 공간전하는 방전 종료후 30 μ s 이내에서만 프라이밍 기능을 할 수 있으며 이는 기존의 연구결과와도 일치하는 것이다.

본 연구에서 제안한 방전 AND gate는 AND 동작이 안정되어 신뢰성이 개선되었다. 그러나 실험에 사용된 패널의 전극문제로 인해 정확한 동작 마진을 얻기가 어려우며 이는 향후 AND gate를 구성하는 전극들의 재질, 형상등을 더 연구하여야 할 것으로 사료된다.

감사의 글

본 연구는 한국과학재단 목적기초연구(과제번호:R05-2002-000-01477-0)의 지원으로 수행되었으며, 관계부처에 감사드립니다.

참 고 문 헌

- [1] 編輯部編, "2001年のFlat Panel Display 市場", 電子技術, 1999-7호, pp.9-12, 1999
- [2] 御子柴 茂生, "プラズマディスプレイ最新技術", EDリサーチ社, 1996.
- [3] Jerry D Schermerhorn et al., "Discharge-Logic Drive Schemes", Proc. of the SID Vol.16/2 Second Quarter pp.81-85, 1975
- [4] Larry F Weber et al., "A New Gas Discharge Logic Technique that Reduces Circuit Complexity for AC Plasma Display Panels", Conf. Record of IDRC, pp. 502-505, Kobe, Japan, 1983
- [5] M. Ishii et al., "Reducing the Number of Scan Drivers in AC PDPs by an Order of Magnitude Using Gas-Discharge AND Logic", Digest of SID, pp. 283-286, 1998.
- [6] 염정덕 외 1인, "플라즈마 디스플레이 패널을 위한 새로운 방전 논리소자에 관한 연구", 조명·전기설비학회논문지 제16권, 제1호, pp.13~19, 2002. 1
- [7] 염정덕, "PDPdml 가격절감을 위한 새로운 방전 AND gate 및 구동기술에 관한 연구", 대한전기학회 논문지 제52권, 제6호, pp.267-273, 2003. 6
- [8] 염정덕, "플라즈마 디스플레이의 공간전하 특성에 관한 연구", 조명·전기설비학회논문지 제15권, 제6호, pp.1~7, 2001. 11