

# CSL-NOR형 SONOS 플래시 메모리의 Multi-bit 적용과

## 국소 트랩 전하 분포 조사

김주연, 안호명\*, 한태현\*, 김병철\*\*, 서광열\*  
울산과학대, 광운대학교\*, 진주산업대학교\*\*

### A investigation for Local Trapped Charge Distribution and Multi-bit Operation of CSL-NOR type SONOS Flash Memory

Joo-Yeon Kim, Ho-Myoung An\*, Tae-Hyeon Han\*, Byung-Cheul Kim\*\*, Kwang-Yell Seo\*  
Ulsan College, KwangWoon Uni\*, JinJu Nat. Uni\*\*

#### Abstract

SONOS를 이용한 전하트랩형 플래시 메모리를 통상의 0.35um CMOS 공정을 이용하여 제작하였으며 구조는 소스를 공통(CSL: Common Source Line)으로 사용하는 NOR형으로 하였다. 기존의 공정을 그대로 이용하면서 멀티 비트 동작을 통한 실질적 집적도 향상을 얻을 수 있다면 그 의미가 크다고 하겠다. 따라서 본 연구에서는 CSL-NOR형 플래시 구조에서 멀티 비트를 구현하기 위한 최적의 프로그램/소거/읽기 전압 조건을 구하여 국소적으로 트랩된 전하의 분포를 전하펌핑 방법을 이용하여 조사하였다. 또한 이 방법을 이용하여 멀티 비트 동작 시 문제점으로 제시된 전하의 측면확산을 측정하였다.

**Key Words** : SONOS, NOR형 Flash memory, Multi-bit, Charge pumping 방법, 트랩된 전하분포

## 1. 서 론

현재 플래시 메모리 시장의 대부분은 부유 게이트형(floating gate type) 소자가 주류를 이루고 있지만 고집적을 위한 스케일 한계에 이르고 있는 상황이다[1]. 최근 이를 대체할 수 있는 방법으로 SONOS(polySilicon-Oxide-Nitride-Oxide-Silicon) 구조를 기본으로 한 멀티 비트(multi-bit) 소자가 많은 관심을 모으고 있다[2]. SONOS형 멀티 비트 소자는 셀(cell) 면적이 작고, 드레인 턴온(drain turn-on)이 발생하지 않으며, 내방사성, 내구성 특성이 우수한 장점을 가지고 있다. 그러나 새로운 공정을 필요로 하고 국소적으로 저장된 전하의 측면 재분포로 인한 문제점을 가지고 있다[3].

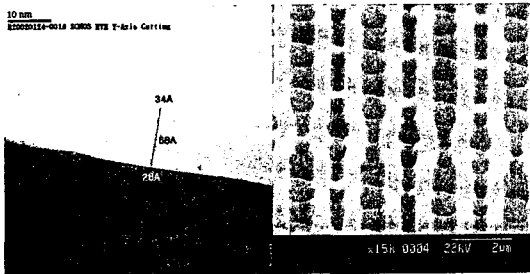
본 논문은 기존의 공정을 사용하여 초박막 게이

트 유전막을 가진 SONOS 소자를 이용한 NOR형 플래시 어레이를 제작하였고, 저전압 프로그래밍 특성에 적합한 멀티 비트 소자의 프로그램과 소거 특성을 조사하였다. 또한 전하의 측면 재분포 여부를 전하펌핑 방법으로 조사하였다.

## 2. 실험

### 2-1. 소자제작

셀의 집적도를 더욱 향상하기 위하여 공통 소스 라인을 갖는 NOR형 flash 64비트 어레이를 0.35um CMOS 공정을 그대로 이용하여 제작하였다. 드레인 인은 LDD 구조이고 소스는 SAS(Self Align Source)로 형성한 DDD 구조이다. 제작된 어레이의 TEM 측정결과를 그림 1에 나타냈다. SONOS 기억소자의 유전막 두께는 터널링 산화막, 질화막, 블로킹 산화막이 각각 34Å, 73Å, 34Å 이었다.



(a) (b)

그림 1. 공통 소스 라인을 갖는 32x32 SONOS 플래시 어레이. (a) ONO 구조 (b) SONOS 어레이의 TEM 측정 결과.

### 3. 결과 및 고찰

#### 3-1. 최적의 동작 전압조건

기존의 공정을 그대로 사용하여 제작한 CSL-NOR형 SONOS flash 메모리가 멀티비트 동작을 하기위한 최적의 동작 전압 조건을 조사하였다.

그림 2는 멀티비트 프로그램전압특성이다. 양쪽 비트의 문턱 전압을 소거 상태의 기준 전압인 3 V로 고정된 상태에서 드레인 영역(비트 1)의 시간에 따른 주입특성을 포워드와 리버스 읽기로 본 다음 비트 1이 프로그램 되어 있는 상태에서 비트 2(소스 영역)의 프로그램특성을 조사하였다. 프로그램 전압은 게이트와 드레인에 5V, 소스와 기판을 접지하였고 읽기 시 드레인 전압은 3V로 하였다.

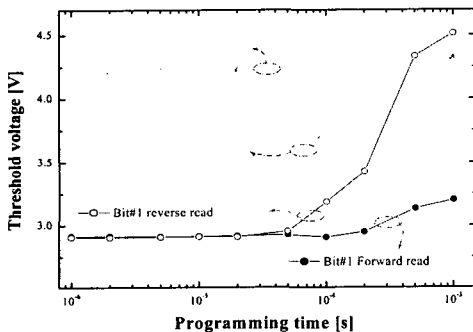


그림 2. SONOS 기억소자의 멀티 비트 프로그램 특성.

비트 1의 프로그램시간이 500 $\mu$ s 이상이 되면 비트 2(비트 1의 리버스 읽기 특성)의 문턱전압도 미소변화를 나타내는 것으로 보아 트랩된 전하의 분

포가 국소적이지 않고 소스 영역 쪽으로 넓게 분포하게 됨을 알 수 있다. 따라서 프로그램 시간은 500 $\mu$ s 이하가 적당한 것으로 보인다. 이 상태에서 비트 2를 시간에 따라 프로그램 하였다. 측정으로부터 비트 1과 비트 2가 개별적으로 프로그램 되어짐에 따라 멀티 비트 소자로서 동작 구현이 가능함을 확인할 수 있었다.

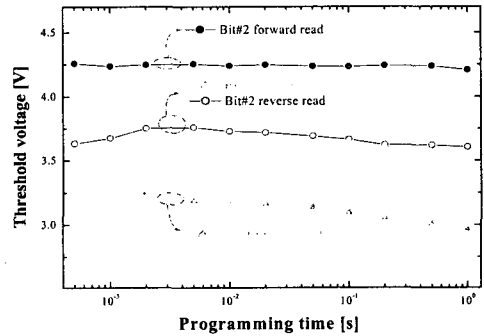


그림 3. SONOS 기억소자의 멀티 비트 소거 특성.

그림 3은 멀티비트 소거전압특성이다. 양쪽 비트의 문턱 전압을 프로그램 상태의 기준 문턱 전압인 4.25 V로 고정된 상태에서 먼저 비트 2를 소거한 다음 비트 1을 소거 시키면서 포워드와 리버스 읽기로 소거 시간에 따른 문턱전압의 이동을 조사하였다. 소거 전압조건은 드레인과 기판은 접지, 게이트는 -3 V, 드레인은 8 V를 인가하여 수행하였다. 그림 3에서 보는 바와 같이 소거 시간이 500  $\mu$ s에서 비트 1은 기준 문턱 전압인 3 V 까지 소거가 되는 빠른 소거 특성을 얻을 수 있었다. 소스와 드레인의 소거 속도가 차이는 대칭구조일 경우 해결될 수 있다.

공통소스 라인을 가진 NOR형에서 멀티비트를 위한 소거는 두 번에 걸쳐서 이루어져야한다. 고온정공을 생성하기위하여서는 소스나 드레인 어느 한 쪽에만 양의 전압을 인가해야하기 때문이다.

#### 3-2.. 어레이 동작특성

공통소스 라인을 갖는 NOR형 어레이의 멀티 비트 동작을 위해서는 선택되지 않은 셀의 디스터브 현상이 생기지 않아야 한다. 그림 4는 본 실험에서 사용한 어레이 구조에서 발생할 수 있는 모든 디스터브스를 표시하였다. 각 디스터브스 조건에 대하여 프로그램 반복횟수에 따른 문턱전압의 이동

을 포워드와 리버스 읽기로 조사하여 그림5에 나타내었다. 드레인 쪽 프로그램 시 발생할 수 있는 드레인 디스터브 셀A는 선택된 셀과 드레인(비트 라인)이 공유되어 있는 모든 셀들을 대표한다. 드레인 디스터브 셀 B는 선택된 셀과 게이트(워드 라인)를 공유하는 모든 셀을 대표한다.

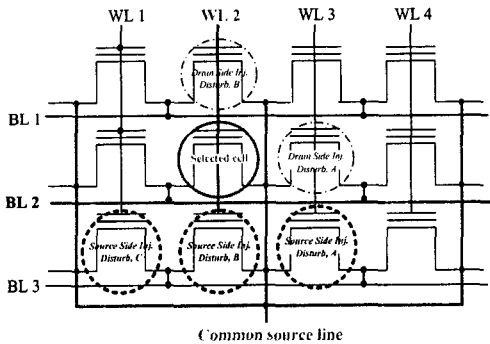


그림 4. 공통 소스라인을 갖는 NOR형 어레이 프로그램 디스터브스.

소스 쪽 프로그램 시에는 소스를 공통으로 사용하기 때문에 조금 복잡한 디스터브스 가능성을 가지고 있다. 소스 디스터브 B는 공통으로 사용하는 소스 외에도 선택된 셀과 게이트 전압(워드라인)을 공유하고 있는 셀들을 대표한다. 이 셀은 게이트에 5V, 소스에 5V가 인가되어 드레인과 기판이 0V가 되면 프로그램 조건이 되어버려 선택된 셀과 선택되지 않은 셀 간의 선택성이 없어진다. 따라서 좋은 셀 선택성을 위하여 소스 디스터브 셀 A의 드레인에 5V를 인가하여 고온전자를 일으키는 측면 전압을 상쇄시키면 된다. 소스 쪽 프로그램 시 모든 셀의 소스에는 5V가 인가된다. 이 셀을 대표하는 것이 소스 디스터브 셀 C이다. 마지막으로 남은 디스터브 조건은 소스 쪽 디스터브 A의 조건으로 소스 쪽 디스터브 셀 B가 셀 선택성을 위하여 드레인에 소스전압을 상쇄시키기 위한 전압(5V)을 인가하게 되면 셀 A는 셀 B와 드레인(비트라인)을 공유하고 있고, 또한 소스도 공유하고 있으므로 소스와 드레인에 5V, 게이트와 기판에 0V가 인가되는 조건의 셀들을 대표하게 된다. 디스터브 측정 결과를 그림 5에 나타내었다. 가능한 모든 프로그램 디스터브 조건에서 디스터브가 관찰되지 않는 우수한 특성을 보이고 있고 셀 선택성도 확보할

수 있어 공통 소스를 가진 NOR형의 멀티 비트 동작이 가능함을 알 수 있다.

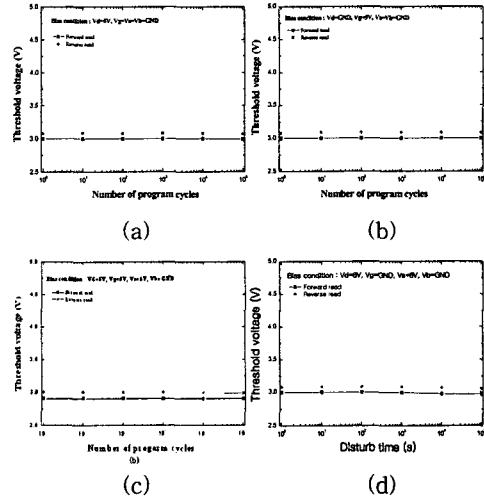


그림 5. 멀티 비트 동작을 위한 프로그램 반복 회수에 따른 디스터브 특성. (a) 드레인 디스터브 셀 A. (b) 드레인 디스터브 셀 B와 소스 디스터브 셀 C. (c) 소스 디스터브 셀 B. (d) 소스 디스터브 셀 A.

### 3-3. 국소 트랩전하 분포 조사

드레인 접합 부근 영역(비트 1)에 각각 국소적으로 전하를 주입한 후, 시간에 따른 전하핍핑 전류를 조사하여 그림 6에 나타내었다.

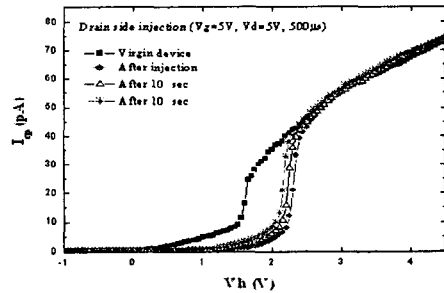


그림 6. 비트 1의 프로그램 전후와  $10^4$ ,  $10^5$  초가 경과하였을 때의 전하핍핑 전류( $I_{cp}$ )

비트 1 영역에 국소적으로 전하를 주입하기 전, 후와  $10^4$ ,  $10^5$  초가 경과하였을 때의 전하핍핑 전류( $I_{cp}$ )를 조사하였다. 그림에서 보는 바와 같이 드레인에 전하를 주입한 후 시간이 경과함에 따라 전

하핍핑 전류가 왼쪽으로 미소 이동함을 알았다. 이로부터 주입된 전하의 디트랩핑(detrapping)으로 인한 국소 문턱 전압 감소가 있음을 확인 할 수 있다.

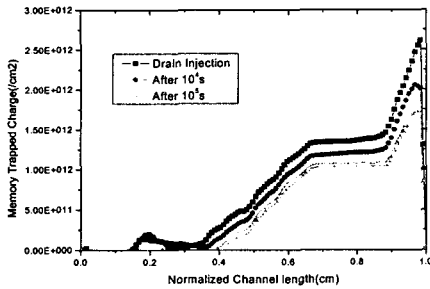


그림 7. 비트 1의 프로그램 전후와 10<sup>4</sup>, 10<sup>5</sup>초가 경과하였을 때 채널 길이에 따른 트랩된 메모리전하

그림 7은 그림 8에서 측정된 Icp전류로부터 얻은  $\Delta V_h$ 와 다음 식(1)을 이용하여 계산된 트랩된 메모리 전하(Not)를 채널영역에 대하여 나타냈다.

$$N_{ot}(x) = \frac{Q_{ot}(x)}{q} = \frac{\Delta V_h C_{ox}}{q} \quad (1)$$

비트 1 영역에서의 국소적으로 전하가 주입됨을 확연히 볼 수 있으며 비트 2의 영역에 영향을 주지 않는 멀티 비트 동작 또한 확인할 수 있다. 시간이 경과함에 따라서 트랩된 메모리 전하의 감소는 나타나고 있지만 측면 확산의 징후가 나타나고 있지 않다. 전하의 측면확산은 전하 주입 조건에 영향을 받는 것으로 보인다. CSL-NOR 플래시 메모리의 멀티비트 동작구현을 하기 위해 인가한 전압조건에서는 측면확산이 일어나지 않고 있어 멀티 비트 동작 구현이 실현될 수 있음을 보여준다.

#### 4. 결론

기존의 공정을 그대로 이용하면서 한 셀 당 2비트 동작을 하는 멀티 비트 동작을 CSL-NOR형 플래시 메모리에서 구현하기 위하여 SONOS 64비트 어레이를 제작하였다. 0.35  $\mu\text{m}$  CMOS 공정 기술을 사용하였으며 제작된 ONO 막의 두께는 각각 터널 산화막( $X_{OT}$ )은 34 Å, 절화막은( $X_N$ ) 73 Å, 블로킹

산화막( $X_{OB}$ )은 34 Å이다.

프로그램은 CHE(Channel Hot Electron) 주입을 사용하였고 소거는 고온 정공 주입 방법을 사용하여 소거 속도를 높였으며 소스쪽과 드레인쪽으로 각각 나누어 두 번에 걸쳐 수행하여야 한다. 큰 메모리 창을 위하여 읽기 드레인 전압은 3V로 하였다.

CSL을 가진 NOR구조에 멀티비트 동작 시 셀 선택성을 가질 수 있도록 어레이 동작전압을 제시하여 디스터브를 측정된 결과 거의 디스터브가 나타나지 않음을 확인 할 수 있었다.

제작된 어레이가 멀티비트 동작을 하기위한 최적의 동작전압을 인가 한 후 절화막내에서 국소적으로 트랩된 전하들의 분포를 전하핍핑 방법(charge pumping method)으로 조사하였다. 멀티비트 동작 시 국소 적으로 전하가 트랩되었음을 확인할 수 있었고, 프로그램 전후 및 10<sup>4</sup>초, 10<sup>5</sup>초 이후의 전하 유지 특성을 조사한 결과 전하의 측면 확산이 관찰되지 않았다.

이상의 실험으로부터 기존의 공정을 그대로 이용하여 제작한 공통 소스 라인(CSL)을 가진 NOR형 SONOS 플래시 메모리에서 멀티 비트 동작이 가능하여 셀의 실질적인 집적도를 높일 수 있으며, 최적의 동작 조건하에서는 전하의 측면확산이 발생하지 않음을 확인 할 수 있었다.

#### 참고 문헌

- [1] The International Technology Roadmap for Semiconductor (ITRS), table 38a (2001).
- [2] B. Eitan, P. Pavan, I. Bloom, E. Aloni, A. Frommer, D. Finzi, "NROM: a novel localized trapping, 2-bit nonvolatile memory cell", IEEE Electron Device Letters, Vol. 21, No. 11, pp. 543-545, 2000.
- [3] F. L. Hampton, J. R. Cricchi, "Space charge distribution limitation on scale down of MNOS memory devices," IEEE IEDM Tech. Dig., p. 374, 1979.