

# Step doping 농도를 가지는 SOI RESURF LDMOSFET의 전기적 특성분석

김형우, 서길수, 김지홍, 김남균  
한국전기연구원 전력반도체연구그룹

## Electrical characteristics of the SOI RESURF LDMOSFET with step doped epi-layer

Hyoungh-Woo Kim, Kil-Soo S대, Ji-Hong Kim and Nam-Kyun Kim  
Korea Electrotechnology Research Institute, Power Semiconductor Group

### Abstract

Surface doped SOI RESURF LDMOSFET with recessed source region is proposed to improve the on- and off-state characteristics. Surface region of the proposed LDMOS structure is doped like step. The characteristics of the proposed LDMOS is verified by two-dimensional process simulator ATHENA and device simulator ATLAS[1]. The numerically calculated on-resistance( $R_{ON}$ ) of the proposed LDMOS is  $10.36\Omega - cm$  and breakdown voltage is  $205V$  when  $L_{dr} = 7\mu m$  with step doped surface.

**Key Words** : LDMOS, RESURF, Step doped, SOI

### 1. 서론

SOI(Silicon-On-Insulator) LDMOSFET(Lateral Double-diffused MOSFET)는 절연격리가 쉽고, 누설전류가 낮기 때문에 고전압 IC에 많이 사용되어 왔으며, VLSI 공정에 적합하고 다른 소자들과의 집적이 용이하다는 장점 또한 가지고 있다[2].

LIGBT와 같은 전도성 변조 소자들과 비교해 볼 때 LDMOS는 높은 on-저항을 가지고 있으며, 소자 전체에 흐르는 높은 구동전류와 내전압으로 인해 전력 소비가 크다.

On-저항이 증가함에 따라 HVICs(High Voltage ICs)의 전력소비는 증가하게 되고, self-heating effect를 유발하게 되어 소자의 온도를 증가시킴으로써 소자의 성능을 저하시키게 된다. 따라서 전력 소비를 줄이고, 전체적인 소자의 성능을 향상시키기 위해서는 on-저항을 감소시켜야 한다[3-5]

고전압 소자에 있어서 on-저항은 소자의 drift 영역의 농도에 의존한다. 하지만 소자의 내전압 특성 역시 drift 영역의 농도에 의해 결정되므로 on-저항은 소자의 농도에 따라 제한되게 된다.

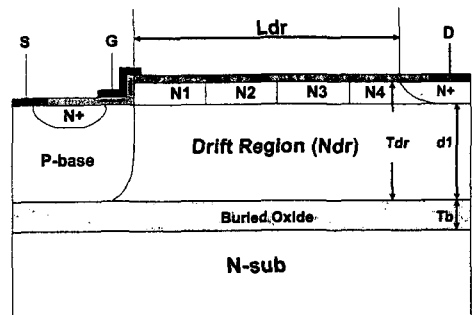
본 논문에서는 내전압의 감소 없이 낮은 on-저항을 얻을 수 있도록 표면을 계단형으로 doping한

LDMOS에 대해 epi층의 길이변화에 따른 항복전압 및 on-특성을 연구하였으며, planar와 mesa의 두가지 구조에 대한 simulation을 통해 구조에 따른 특성의 변화도 함께 분석하였다. 소자의 특성은 2차원 공정 simulator인 ATHENA와 소자 simulator인 ATLAS를 이용해 검증하였다.

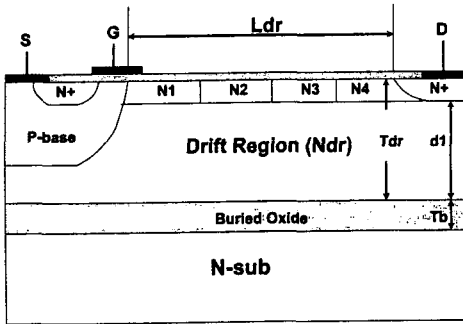
### 2. 본론

#### 2.1 소자 구조

Simulation에 사용된 소자의 구조를 그림 1에 나타내었다. Simulation에 사용된 구조는 mesa 구조



(a) Mesa 구조를 갖는 LDMOS



(b) Planar 구조를 갖는 LDMOS

그림 1. Simulation에 사용된 LDMOSFET 구조도

와 planar 구조를 사용하였으며, 높은 항복전압을 얻기 위해 drift 영역의 표면을  $N_1 \sim N_4$ 까지 4단계로 doping을 하였다. 표면을 step 형태로 doping 할 경우 표면전계의 빠른 확산에 의한 drain에의 전계 집중 현상을 막아줄 수 있어 높은 항복전압을 얻을 수 있다.

두 가지 구조 모두에 대해 drift 영역의 표면 농도는  $1 \times 10^{15}/\text{cm}^3 \sim 1 \times 10^{16}/\text{cm}^3$ 로 증가시키며 4단계로 나누어 doping 하였으며, 표면 doping 영역 아래의 drift 영역의 농도는  $1 \times 10^{14}/\text{cm}^3$ 을 사용하였다. Drift 영역의 길이는  $3\mu\text{m} \sim 7\mu\text{m}$ 까지 변화시켰으며, drift 영역 전체의 두께는  $5\mu\text{m}$ , 매몰산화막의 두께는  $2\mu\text{m}$ 를 사용하였다. 표 1에 simulation에 사용된 소자 변수를 나타내었다.

표 1. Simulation에 사용된 소자 변수

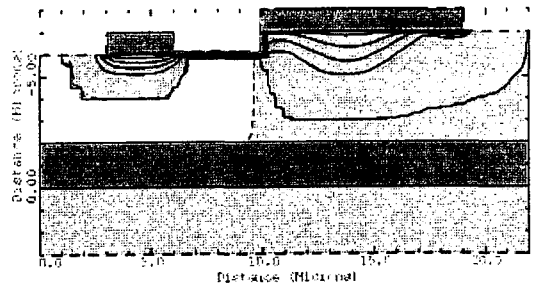
Ldr	$7\mu\text{m}$	N+ depth	$1\mu\text{m}$	Tb	$2\mu\text{m}$
Tdr	$5\mu\text{m}$	Ndr	$1 \times 10^{14}$	-	-

## 2.2. Simulation 결과 및 분석

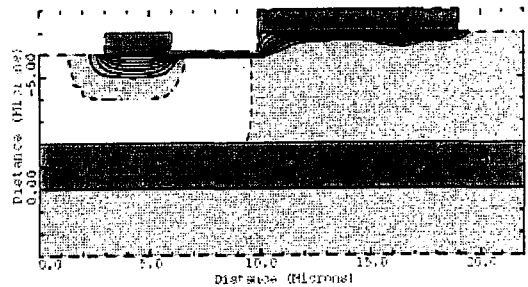
On 및 off 상태에서의 두 가지 구조에 대한 특성은 이차원 공정 simulator인 ATHENA와 소자 simulator인 ATLAS를 사용하여 검증하였다.

그림 2에 mesa 구조에서 표면을 step doping 한 경우와 doping 하지 않은 경우에 대해  $V_G = 10V$ ,  $V_D = 0.1V$  를 인가하였을 때의 전류 흐름도를 나

타내었다. 그림에서 볼 수 있듯이 표면을 step doping 한 경우는 대부분의 전류가 소자의 표면으로 흘러가지만 표면 doping을 하지 않은 경우에는 전류가 drift 영역 전체에 걸쳐서 흐르고 있음을 알 수 있다. 표면을 step doping 한 경우 drift 영역 전체에 걸쳐 전류가 흐르지 않고, 전류가 흐르지 않는 dead zone이 doping하지 않은 경우보다 증가하지만 전류의 경로가 짧아지고, 경로상의 저항성분이 높은 농도의 doping으로 인해 줄어들기 때문에 온-저항( $R_{ON}$ )은 오히려 감소하게 된다.



(a) 표면 doping을 하지 않은 경우



(b) 표면 doping을 한 경우

그림 2. 표면 step doping에 따른 소자 내에서의 전류 흐름도

그림 3은 drift 영역의 길이를  $7\mu\text{m}$ 로 한 경우와 표면을 doping을 한 경우와 하지 않은 경우의 항복현상이 일어났을때의 표면 전계 분포를 나타낸 것이다. 표면 doping을 하지 않은 경우 낮은 농도를 갖는 drift 영역에서의 빠른 공핍층 확산으로 인해 drain부근에서 전계의 peak값이 나타나지만, doping을 한 경우에는 표면에서의 빠른 공핍층 확산을 step doping 영역에서 막아주기 때문에 전계의 분포가 비교적 고르게 나타남을 알 수 있다.

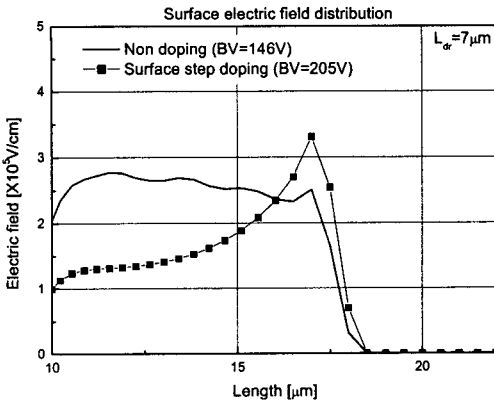
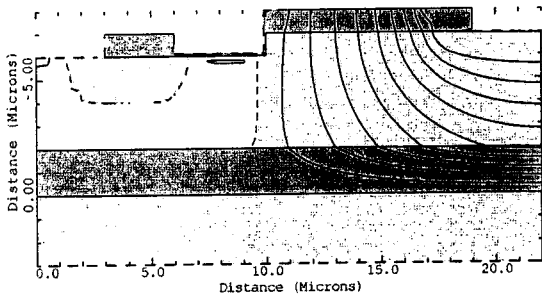
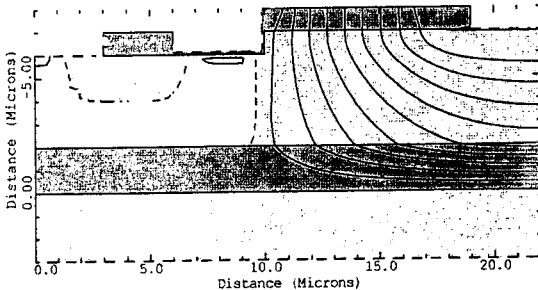


그림 3. 표면 전계 분포도

항복이 일어났을 때 소자 내부에서의 등전위 분포도를 그림 4에 나타내었다. 표면 doping이 되지 않은 경우 공핍층의 빠른 확산으로 인해 drain 쪽으로 전위 분포선이 모여 있는 반면 doping이 된 경우에는 고르게 분포되어 있음을 알 수 있다.



(a) 표면 doping을 하지 않은 경우



(b) 표면 doping을 한 경우

그림 4. 항복이 일어난 경우 소자 내부에서의 등전위 분포도

그림 5는 표면 step doping이 된 것과 되지 않은 경우의 LDMOS의 항복전압의 on-저항을 drift 역의 길이에 따라 나타낸 것이다.

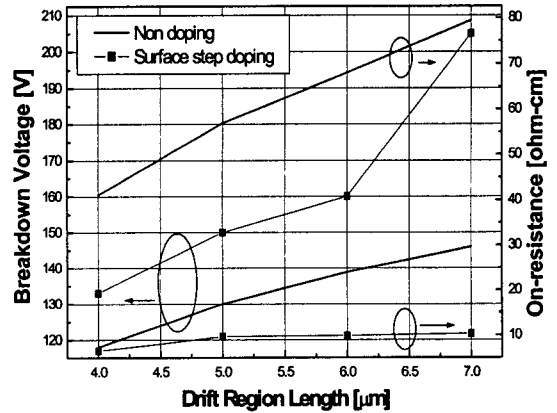


그림 5. Drift 영역 길이에 따른 항복전압 및 on-전압 특성

표 2. 구조에 따른 항복전압 및 on-저항

		항복전압 [V]	on-저항 [ $\Omega$ -cm]
planar	nsd	146	88
	sd	191	9.9
mesa	nsd	146	62.9
	sd	205	10.36

표 2는 구조에 따른 항복전압 및 on-저항을 나타낸 것이다. 표에서 보면 mesa 구조를 사용하였을 때의 항복전압이 planar 구조를 사용한 경우에 비해 대략 15V 정도 높게 나타나는 것을 알 수 있다. 이것은 mesa 구조를 사용한 경우 계단 형태로 형성된 gate 전극과 gate 하단과 옆면의 산화막층이 gate 부근에 몰리는 전계를 분산시켜주기 때문이다. 하지만 표면 도핑을 하지 않은 경우에는 빠른 공핍층의 확산으로 인해 drain 부근에서 항복이 일어나기 때문에 구조에 따른 항복전압의 증가는 나타나지 않는다. 또한 표면 doping을 하지 않았을 때 전류 경로의 길이가 구조에 따라 변하기 때문에 planar 구조에서의 on-저항 값이 mesa 구조에 비해 약간 높게 나타난다. 표면 doping이 된 경우

에는 대부분의 전류가 높게 doping된 표면으로 흘러가기 때문에 구조에 따른 on-저항의 변화는 거의 나타나지 않는다.

그림 6은 drift 영역에서의 hole carrier 생성에 의한 이차 항복 특성을 나타낸 것이다. Drift 영역의 길이를  $7\mu\text{m}$ 로 하였을 때 표면 doping이 된 경우 이차 항복전압은 95V 정도를 나타내며, 표면 doping이 되지 않은 경우에는 42V 정도를 나타낸다. 표면 doping이 된 경우 높은 농도를 가지는 표면으로 대부분의 전류가 흐름으로 인해 이 영역에서의 hole carrier 생성량이 표면 doping 되지 않은 경우에 비해 낮게 나타난다.

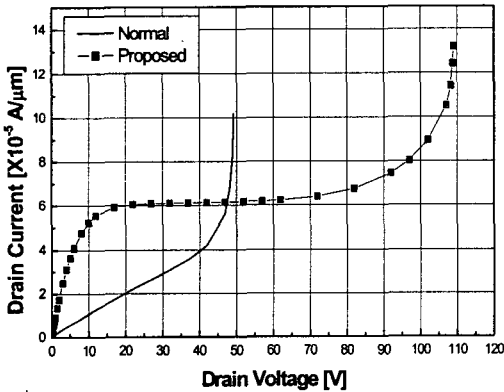


그림 6. 이차 항복특성

### 3. 결론

표면이 step으로 doping된 SOI RESURF LDMOSFET의 on, off 특성에 대해 알아보았다. 표면 doping된 소자의 경우 단계별로 doping된 표면 영역으로 인해 공핍층의 빠른 확산이 저지되어 표면 전계를 고르게 분포시킴으로써  $7\mu\text{m}$ 의 drift 영역 길이를 사용하였을 때 205V로 doping 되지 않은 경우의 146V에 비해 대략 40%정도 높은 항복전압을 나타낸다. 또한 대부분의 전류가 높게 doping된 영역으로 흘러가며, 전류의 경로가 짧아지기 때문에 doping을 하지 않은 경우의  $62.9\Omega\text{-cm}$ 에 비해 낮은  $10.36\Omega\text{-cm}$ 의 on-저항 값을 얻을 수 있다. 이차 항복전압의 경우도 doping된 영역에서의 hole carrier 생성이 작기 때문에 doping되지 않은 경우에 비해 2배이상 증가

된 95V의 이차 항복전압을 얻을 수 있었다.

### 감사의 글

본 논문은 과학기술부 중점국가연구개발사업의 전력용 반도체 기술개발 사업의 일환으로 수행되었으며, 이에 감사드립니다.

### 참고 문헌

- [1] Silvaco TCAD Manuals, Atlas, Silvaco International, Co. USA.
- [2] B.Murari, F. Bertotti, and G. A. Vignola, *Smart Power IC's*, New York, springer, 1995.
- [3] A. Nezar *et al.*, *IEEE Trans. Electron Devices*, vol.38,pp.1676-1680,July, 1991.
- [4] Der-Gao Lin, S. Larry Tu, Yee-Chang See, and Pak Tam. *IEDM Tech. Dig.*, 1995,pp.963-966.
- [5] G.Charitat, M.A.Bouanane, and P.Rossel, *Proc. of ISPSD'92*, pp.213-216, 1992.