

## 얇은 게이트 산화막 30Å에 대한 박막특성 개선 연구

엄금용  
성남기능대학

### A study on Improvement of 30Å Ultra Thin Gate Oxide Quality

Gum-yong Eom

#### Abstract

As the deep sub-micron devices are recently integrated high package density, novel process method for sub 0.1 $\mu$ m devices is required to get the superior thin gate oxide characteristics and reliability. However, few have reported on the electrical quality and reliability on the thin gate oxide.

In this paper I will recommend a novel shallow trench isolation structure for thin gate oxide 30Å of deep sub-micron devices. Different from using normal LOCOS technology, novel shallow trench isolation have a unique "inverse narrow channel effects" when the channel width of the devices is scaled down shallow trench isolation has less encroachment into the active device area.

Based on the research, I could confirm the successful fabrication of shallow trench isolation(STI) structure by the SEM, in addition to thermally stable silicide process was achieved. I also obtained the decrease threshold voltage value of the channel edge and the contact resistance of 13.2[ $\Omega$ /cont.] at 0.3x0.3  $\mu$ m<sup>2</sup>. The reliability was measured from dielectric breakdown time, shallow trench isolation structure had the stable value of 25[%]~90[%] more than 55[sec].

**Key Words** : Gate oxide, Sub-micron device, STI structure.

#### 1. 서 론

최근 MOSFET 소자의 집적도 증가로 일반적인 게이트 산화막 성장방법으로는 얇은 게이트 박막의 특성을 만족하지 못하여 양질의 초박막 게이트 산화막 형성방법으로 NO 분위기에서 성장된 N<sub>2</sub>O 게이트 산화막 성장방법[1]이 요구되고 있다. 그러나 서브마이크론 소자용 게이트 산화막 형성 방법에 대하여 양호한 산화막 막질특성과 신뢰성을 얻기위하여 N<sub>2</sub>O 게이트 산화막 형성방법에 대하여 새로운 방법의 소자 분리 형성방법[2] 및 개선된 금속-실리사이드 형성방법[3]에 대하여는 초보단계에 있다. 본 연구는 서브마이크론 (<0.1 $\mu$ m) MOSFET 소자[4]에서 소자의 집적도 증가에 따른 우수한 특성[5]을 얻고 소자의 채널영역 확보 및 누설전류를 감소시키며 우수한 신뢰성 특성을 얻고자 새로운 방법의 소자분리 형성 방

법을 사용하였다. 소자분리는 새로운 방법의 STI(Shallow Trench Isolation) 형성 방법을 사용하여 성장하고 일반적인 LOCOS(Normal Spaced Local Oxidation of Silicon) 방법과 물리적, 전기적 특성[6]을 비교 분석 하였다. 게이트 산화막에 대하여 물리적 특성중 단면도에 대하여는 실제 토폴로지를 SEM을 통하여 그 구조를 확인 할 수 있었다. 또한 게이트 산화막 두께 (Tox[Å])는 소자분리 구조에 따른 두께변화를 관찰하였으며 소자의 전기 전도도 증가[7] 와 동작속도에 영향을 주는 금속접촉 저항 (Ti/TiN Resistance[ $\Omega$ /cont.]) 값을 측정 하였다. 전기적 특성은 커패시턴스-게이트 전압 (C-V, Capacitance Gate Voltage[V])[8]과 일 정전류를 가하여 절연파괴에 도달하는 QBD(Charge to Breakdown[sec]) 값의 변화로 게이트 산화막의 특성변화를 확인 할 수 있었다.

## 2. 실험

### 2.1 실험장치

본 연구는 p형 웨이퍼(8~10 Ω.cm)를 사용하여 소자분리 구조를 형성하고 그 위에 게이트 산화막과 금속층을 증착하여 MOS 구조를 형성 하였다.

소자분리 형성공정은 STI 구조와 LOCOS 구조로 나누어 진행 하였다. LOCOS 구조는 패드(Pad) 산화막 50Å, 질화막(Nitride) 900Å을 증착 시킨 후 소자분리 패턴을 형성하였으며 950℃ 이상의 고온에서 2600Å을 성장시켜 소자분리 구조를 형성 하였다. STI 구조는 STI 소자분리 패턴을 형성 후 산화막 100Å, HDP(High Density Plasma)-CVD 산화막 6000Å을 증착하고 평탄화 공정(CMP, Chemical mechanical polishing)을 거쳐 최종적인 소자분리 구조를 형성 하였다.

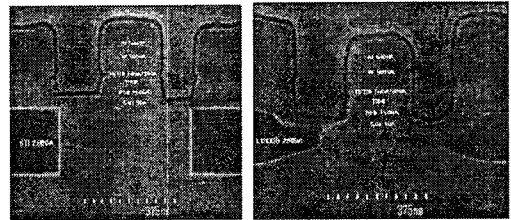
이때 게이트 산화막은 N<sub>2</sub>O 형성방법으로 30Å을 형성하고 다결정 실리콘 1500Å을 증착 시킨 후 Ti 300Å을 증착시켜 티타늄실리사이드(TiSi<sub>2</sub>)를 형성시켜 게이트 전극을 형성 하였다. 금속층은 베리어층인 Ti/TiN을 증착하고 텅스텐(W)과 알루미늄(Al)을 증착시켜 최종적인 금속 전극층을 형성 하였다.

MOS에 대한 측정은 물리적인 특성으로 SEM을 이용하여 실제 구성된 토폴로지(Topology)를 관찰 하였으며 게이트 산화막의 두께(T<sub>ox</sub>)와 금속접촉저항(MC)을 측정 하였다. 전기적 특성으로는 형성된 게이트산화막에 대하여 커패시턴스-게이트전압(C-V) 측정으로 산화막의 커패시턴스 정보와 산화막/반도체 인터페이스에 대한 포텐셜(Potential) 전위의 변화 및 에너지밴드의 표면상태밀도 특성을 관찰 할 수 있었다. 임계전압(V<sub>t</sub>) 값으로 Si/SiO<sub>2</sub> 계면의 포획전하밀도 감소특성등을 비교 분석하였으며 절연파괴시간(TDDB) 값[9]으로 절연파괴에 도달하는 산화막의 특성변화[10]를 관찰할 수 있었다.

## 3. 결과 및 고찰

그림1은 소자분리 구조에 대한 SEM 단면도를 나타내었다. 그림 1-(a)에서 Si 기판에 STI 구조와 그 위에 적층된 게이트산화막, 다결정실리콘, TiSi<sub>2</sub>와 베리어 메탈층(Ti/TiN)과 텅스텐(W) 및 알루미늄(Al)을 적층하여 구성한 금속층 형성을 관측할

수 있었으며 본 연구에서 제시한 새로운 방법의 STI 구조가 성공적으로 구성 되었음을 확인할 수 있었다. 또한 그림 1-(b)는 LOCOS에 대한 단면도로서 STI 구조와는 달리 소자분리영역과 액티브영역 경계부분에서 게이트전극 형성과 금속층 형성 시에 열적인 스트레스(Thermal Stress)와 채널 가장자리에서 전기(Electric Field)의 증가 등이 예상된다 하겠다. 이러한 소자분리 구조 차이는 디바이스 구동시 접합영역의 누설전류를 증가시키거나 절연파괴전압을 감소시키는 원인이 되는 것으로 사료되며 또한 Si/SiO<sub>2</sub> 계면에서 포획전하밀도나 이온들을 생성시키게 되어 게이트산화막의 신뢰성 저하의 원인이 되기도 한다.



(a) STI (b) LOCOS

그림 1. MOS 구조의 SEM사진.

그림2는 Ti/TiN 층의 접촉 저항값(Ti/TiN resistance[Ω/cont.])을 나타내었다. STI의 경우 측정면적 0.3x0.3[μm<sup>2</sup>]에서 TiSi<sub>2</sub> 열처리 시간에 대하여 각각 13.2[Ω/cont.], 13.5[Ω/cont.], 13.64[Ω/cont.]와 LOCOS 15.2[Ω/cont.], 13.8[Ω/cont.], 16.9[Ω/cont.]를 나타내어 STI에서 상대적으로 적은 접촉저항값을 나타내었다.

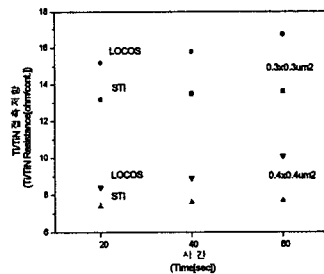
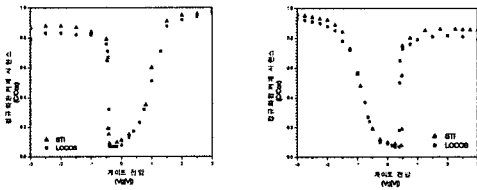


그림 2. Ti/TiN 층의 접촉 저항값.

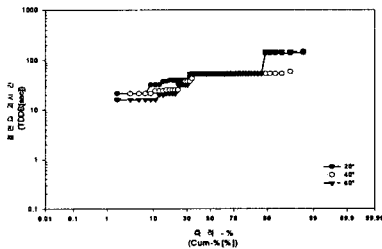
그림3은 MOS 커패시터에 대한 커패시턴스-게이트전압(C-V[V]) 값을 나타내었다. NMOS의 경우

게이트 역전압( $-V_g[V]$ )이  $-3[V]$  일 때 STI 0.87, LOCOS 0.79를 나타내었고 게이트전압( $V_g[V]$ )이  $3[V]$  일 때 STI 0.98, LOCOS 0.96을 나타내었다. PMOS의 경우 게이트 역전압( $-V_g[V]$ )이  $-3[V]$  일 때 STI 0.96, LOCOS 0.93을 나타내었고 게이트전압( $V_g[V]$ )이  $3[V]$  일 때 STI 0.85, LOCOS 0.81을 나타내었다. 전체적으로 축적 및 반전상태에서 STI의 경우 LOCOS 보다 큰 값을 나타내었으며 이는 STI에서 다수캐리어 농도가 많고 Si/SiO<sub>2</sub> 계면에 존재하는 이온들이 적기 때문에 나타난 결과로 사료된다.

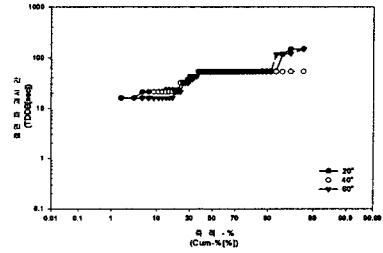


(a) NMOS (b) PMOS  
그림 3. MOS 구조의 C-V 결과.

그림4.는 MOS 커패시터에 대한 절연파괴시간(TDDB[sec]) 특성을 나타내었다. STI의 경우 약 2[%]에서 90[%] 정도가 55[sec] 이상의 안정된 값을 나타낸 반면 LOCOS의 경우 약 40[%]에서 90[%] 범위가 55[sec] 정도의 값을 나타내었다. 이러한 결과는 STI의 경우 단계별로 안정된 분포특성을 나타내고 있음을 의미하며 중간절연파괴(Medium Failure) 특성도 30[%] 이하의 특성을 나타내어 소자의 신뢰성 특성이 우수함을 확인 할 수 있었다.



(a) STI



(b) LOCOS

그림 4. MOS의 절연파괴 시간특성.

#### 4. 결론

최근 반도체 소자의 집적도 증가에 따라 요구되고 있는 양질의 초박막 게이트 산화막 특성을 얻기 위하여 NO 분위기에서 N<sub>2</sub>O 게이트 산화막 30Å을 성장 하였으며 새로운 소자분리 형성방법을 통하여 STI 구조를 성장하고 일반적인 LOCOS 구조와 그 특성을 비교 분석하였다. 게이트 전극으로는 샬리사이드(Salicide) 방법을 통하여 TiSi<sub>2</sub>를 형성 하였다.

본 연구결과 물리적인 특성면에서는 실제 토폴로지(Topology)에 대하여 SEM을 통하여 STI 구조가 성공적으로 구성되었음을 확인 할 수 있었으며 STI 구조로 채널 가장자리 등에서 패드 산화막이나 희생 산화막의 제거시 활성영역 가장자리에서 산화막의 손실을 최소화 할 수 있을 것으로 기대되며 이로 인해 채널가장자리(Edge) 등에 대한 임계전압값 감소효과와 Ti/TiN 접촉저항값이 낮은 결과를 얻을 수 있었다. MOS 커패시터에 대한 커패시턴스-게이트전압(C-V[V]) 값에서는 LOCOS에 비하여 큰 값을 나타낸 결과를 얻었다. 이는 소자분리 구조차이에서 나타나는 Si/SiO<sub>2</sub> 계면의 포획 밀도 감소와 채널 가장자리에서의 임계전압값의 감소효과 등에 의한 결과로 사료된다. 절연파괴시간(TDDB[sec])은 STI에서 약 25[%] ~ 90[%] 정도가 55[sec] 이상의 안정된 결과를 나타내었다.

그러므로 초박막 게이트 산화막에 대한 본 연구에서 전기적인 특성과 신뢰성은 N<sub>2</sub>O 게이트 산화막 30Å 성장과 소자분리구조 STI를 통하여 우수한 결과를 얻을 수 있었다.

## 참고 문헌

- [1] P. Olivo, T. N. Ngyyen and B. Ricco, "High-field induced degradation in ultrathin SiO<sub>2</sub> films", IEEE Trans. Electron Devices, Vol. 35, p. 2259, 1988.
- [2] C. H. Wang and P. F. Zhang, "Three-dimensional DIBL for shallow trench isolated MOSFET's", IEEE Trans. Electron Devices, Vol. 46, p. 139, Jan 1999.
- [3] Jeffrey Lutz et al., "Transistor off-state leakage current induced by TiSi<sub>2</sub> pre-amorphizing implant in a 0.2 $\mu$ m CMOS process", IEEE Electron Device Letters, Vol. 21, No. 4, p. 155, April 2000.
- [4] Chang Soon Choi, "A New self-aligned asymmetric structure(SAAS) for 0.1 $\mu$ m MOSFET technology", IEEE Hong Kong Devices Meeting, p. 60-63, June 2000.
- [5] Gum Yong Eom, "A Study on improved of sub 0.1 $\mu$ m VLSI CMOS device ultra thin gate oxide quality using novel STI structure", 전기전자재료학회, Vol. 13, No. 9, p. 729-734, September 2000.
- [6] Gum Yong Eom, "Improvement of sub 0.1 $\mu$ m VLSI device quality using a novel titanium silicide formation process", JKPS, Vol. 40, No. 2, p. 335-338, February 2002.
- [7] S. Zaman and A. Haque, "Direct tunneling gate current in deep submicron MOSFETs", Phys. of Semiconductor Devices, Vol. 1, p. 742-746, December 2001.
- [8] Hideki Satakes and Akira Toriumi, "Dielectric breakdown mechanism of thin SiO<sub>2</sub> studied by the post breakdown resistance statistics", IEEE Trans. Electron Devices, Vol. 47, No. 4, p. 741-745, April 2000.
- [9] Liu HX, Haoy, "A New method of thin gate SiO<sub>2</sub> reliability characterization", Surface & interface Analysis, Vol. 34, No. 1, p. 437-440, August 2002.
- [10] Chang SJ, Liu CH, "Improvement of electrical and reliability Properties of tantalum pent-oxide by high density plasma(HDP) annealing in N<sub>2</sub>O", IEEE device Letters, Vol. 23, No. 11, p. 643-645, November 2002.