

MOS 구조에서 얇은 유전막의 공정 특성

엄금용, 오환술*

성남기능대학, 건국대학교*

Process Characteristics of Thin Dielectric at MOS Structure

Gum-Yong Eom, Hwan-Sool Oh

Abstract

Currently, for satisfying the needs of scaled MOSFET's a high quality thin oxide dielectric is desired because the properties of conventional SiO_2 film are not acceptable for these very small sized transistors. As an alternative gate dielectric have drawn considerable alternation due to their superior performance and reliability properties over conventional SiO_2 , to obtain the superior characteristics of ultra thin dielectric films, N_2O grown thin oxynitride has been proposed as a dielectric growth/anneal ambient.

In this study the authors observed process characteristics of N_2O grown thin dielectric. In view points of the process characteristics of MOS capacitor, the sheet resistance of $4.07[\Omega/\text{sq.}]$, the film stress of $1.009 \times 10^9 [\text{dyne/cm}^2]$, the threshold voltage(V_t) of $0.39[\text{V}]$, the breakdown voltage($BV[\text{V}]$) of $11.45[\text{V}]$ was measured in PMOS. I could achieve improved electrical characteristics and reliability for deep submicron MOSFET devices with N_2O thin oxide.

1. 서 론

현재 MOSFET[1]의 집적도가 증가함에 따라 유전체 박막에 대한 고 품질 특성이 요구되고 있다 [2]. 그러나 현재의 열산화막 형성방법으로 형성되는 SiO_2 유전박막은 고집적도 트랜지스터의 특성을 만족치 못하고 있어 O_2 분위기의 열산화막 형성방법으로 형성되는 유전박막의 특성을 대체하고 우수한 공정특성과 신뢰성을 확보할 수 있는 유전박막특성이 요구되고 있다.

본 연구는 고품질 유전박막으로 N_2O 성장방법에 의한 얇은 유전체박막을 성장하였다. N_2O 유전체박막으로 성장된 MOS 구조에서 면저항값을 측정하여 $4.07[\Omega/\text{sq.}]$ 을 얻었으며 물질의 격자구조 변화나 열처리에 의한 열적 사이클변화 등의 의존특성을 가지는 필름스트레스는 $1.009 \times 10^9 [\text{dyne/cm}^2]$ 을 얻었다. MOS 커퍼레이터에 대한 임계전압값은 $0.382[\text{V}]$, 절연파괴특성은 $11.45[\text{V}]$ 를 얻어 N_2O 유전박막에 대한 우수한 전기적특성과 신뢰성 확보특성을 확인 할 수 있었다.

2. 실험

2.1 실험장치

본 연구는 저항값이 $8\sim10 \Omega\cdot\text{cm}$ (Prime), P형(100), 웨이퍼를 사용하였으며 표면을 RCA 세정방법을 통하여 자연산화막을 제거한 후 유전박막은 O_2 와 N_2O 분위기, 1050°C 에서 30\AA 을 성장[3] 하였다. 유전박막 성장 후 다결정 실리콘 1500\AA 을 성장하고 티타늄실리사이드 형성공정[4]을 통하여 최종 MOS 커패시터의 전극을 형성하였다. 이때 소자분리구조는 LOCOS 방법과 STI(Shallow Trench Isolation) 방법으로 형성하여 N_2O 산화막의 특성을 비교하고자 하였다. MOS 커패시터의 특성으로는 면저항값 [$\Omega/\text{sq.}$]과 필름의 스트레스 [dyne/cm^2], 임계전압값 [V], 절연파괴전압값 [V]을 측정하여 전기적특성과 신뢰성 특성을 비교 분석하였다.

3. 결과 및 고찰

그림1은 유전박막에 대한 면저항값을 나타내었다. X축은 티타늄실리사이드 형성 열처리공정 시간을 나타낸다. 면저항값은 필름내의 과잉(Excess) Si 위상(Phase)의 존재정도, 즉 Si-rich와 유전박막의 전극 성장 시 생성되는 침전물이나 미 반응물질 등에 의하여 결정된다. 소자분리 STI의 경우 LOCOS에 비하여 면저항값이 적게 나타났으며 열처리기간 20초에 대하여 $4.07[\Omega/\text{sq.}]$ 을 나타내었다.

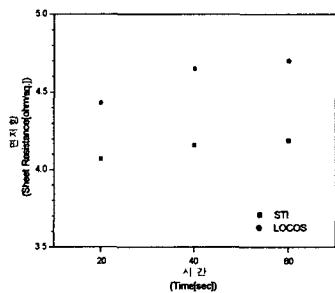


그림 1. TiSi_2 열처리시간변화에 대한 면저항.

그림2는 유전박막의 스트레스값을 나타내었다. STI의 경우 티타늄실리사이드 형성 열처리공정시간에 대하여 큰 변화를 나타내지 않았으며 열처리시간 20초에서 $1.009\text{E}^{10}[\text{dyne}/\text{cm}^2]$ 으로 낮은 값을

나타내었다.

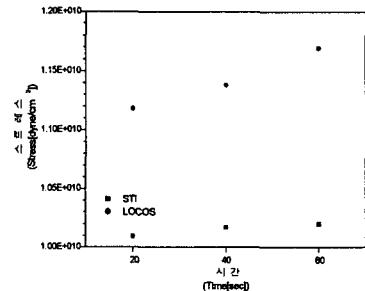


그림 2. TiSi_2 열처리시간변화에 대한 스트레스.

그림3은 MOS 커패시터의 임계전압값을 나타내었다. STI의 경우 열처리시간 20초에서 $0.382[\text{V}]$ 로 낮은 값을 나타내었다. 임계전압값은 다결정실리콘이나 TiSi_2 형성 열처리온도의 증가나 산화막의 두께 의존성이 크게 나타나는데 각 경우 열처리시간이 증가하면 임계전압값도 증가하는 결과를 나타내었다.

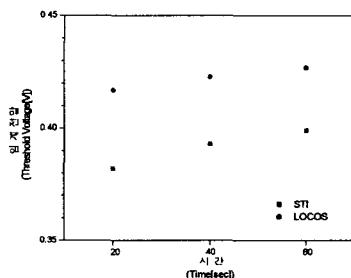


그림 3. TiSi_2 열처리시간변화에 대한 임계전압.

그림4는 MOS 커패시터의 절연파괴전압값을 나타내었다. 이때 절연파괴전압 측정 시 가해지는 전류값의 변화 $100[\text{nA}]$, $2500[\text{nA}]$ 에 대하여는 큰 특성차이를 나타내지 않았으며 STI에서 큰 절연파괴전압값을 나타내었다. 이러한 특성은 STI의 경우 Si/SiO_2 계면의 포획밀도 차와 가장자리(Edge)에서의 임계전압값의 감소효과, 채널영역의 확보(narrow Channel Effect 개선) 효과 등에 의한 결과로 사료되며 고집적 MOSFET 제작 시 소자분리는 STI로 하고 N_2O 방법의 유전박막을 형성하

는 것이 전기적특성 면에서 우수한 결과를 얻을 수 있음을 의미하는 것으로 사료된다.

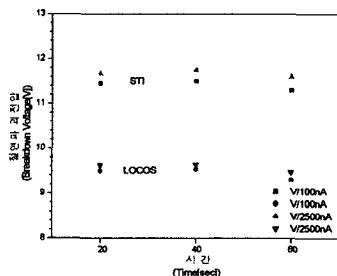


그림 4. 전류변화에 대한 절연파괴전압.

4. 결 론

최근 MOSFET 소자의 집적도가 증가함에 따라 요구되고 있는 양질의 유전박막특성을 얻기 위하여 N_2O 분위기에서 유전체 박막 30Å를 성장 하였다. 소자분리는 LOCOS 구조와 STI 구조를 성장 시켰으며 소자분리구조위에 성장된 N_2O 유전박막에 대하여 티타늄실리사이드 형성공정의 열처리 시간변화에 대한 유전박막의 특성을 측정하였다. 소자분리 LOCOS 구조에 비하여 STI 구조위에 성장된 N_2O 유전박막의 경우 낮은 저항값과 적은 스트레스값을 얻었으며 전기적인특성과 신뢰성특성에서도 우수한 결과를 얻을 수 있었다.

이러한 결과로부터 소자분리는 STI 구조로 하고 N_2O 유전박막을 형성한 후 실리사이드공정을 통하여 MOSFET 소자를 형성하면 고 집적소자에서 요구되는 전기적인특성과 신뢰성특성을 얻을 수 있을 것으로 사료된다.

참고 문헌

- [1] Gum Yong Eom, and Hwan Sool Oh, "Improvement of Electrical Properties in sub-0.1μm MOSFETs with a Novel Shallow Trench Isolation Structure", JKPS, Vol. 43, No. 1, p. 102, 2003.

- [2] Gum Yong Eom, and Hwan Sool Oh, "Improvement of sub 0.1μm VLSI Device Quality Using a Novel Titanium Silicide Formation Process", JKPS, Vol. 40, No. 2, p. 335, 2002.
- [3] 염금용, "얇은 게이트 산화막 30Å에 대한 박막특성 개선 연구", 전기전자재료학회, Vol. 5, No. 1, p. 421, 2004.
- [4] 염금용, 오환술 "새로운 티타늄 실리사이드 공정과 STI를 이용한 서브 0.1μm ULSI급 소자의 특성연구", 전자공학회, Vol. 39-SD, No. 1, p. 1, 2002.