

## 컨택 산화막 에칭에서의 바닥 모양 찌그러짐 변형 개선

황원태, 최성길, 권상동, 임장빈, 정상섭, 박영욱  
삼성전자 반도체 연구소

### The Improvement of Profile Tilt in High Aspect Ratio Contact

\*Won-tae Hwang, Sung-gil Choi, Sang-dong Kwon, Jang-bin Im, Sang-sup Jung, Young-wook Park  
Semiconductor R&D division, SAMSUNG Electronics. Co. Ltd.  
San#16 Banwol-Ri, Taeon-Eup, Hwasung-city, Gyeonggi-Do, KOREA, 445-701

#### Abstract

VLSI 소자에서 design rule(D/R)이 작아져 각 단위 pattern의 size가 작아짐에 따라 aspect ratio가 커지게 되었다. 산화막 contact etch를 하는데 있어 산화막 측벽을 보호하는데, 이러한 보호막은 주로 fluoro-carbon 계열의 polymer precursor들이 사용된다. Aspect ratio(A/R)가 5 이하일 때에는 측벽의 보호막에 의한 바닥 변형이 문제가 되지 않으나, 10 이상의 A/R를 가진 contact에서는 크기가 줄고, 모양이 불균형하게 변하는 바닥 변형을 쉽게 관찰할 수 있다. 이러한 바닥 변형이 커지면 contact 저항이 높아지는 것은 물론이고, 심하게는 하부 pattern과 overlap 불량을 유발할 수 있다. 본 논문에서는 바닥변형을 일으키는 원인을 분석하고 fluoro-carbon 계열의 polymer precursor의 종류( $C_4F_6$  vs.  $C_3F_8$ )에 따른 polymer 증착 상태 확인 및 pattern 비대칭에 따른 바닥 변형의 고찰과 plasma etching 시 H/W 변형을 통해 바닥 변형이 거의 없는 조건을 찾아낼 수 있었다.

**Key Words** : pattern distortion, profile tilt, shape deformation, plasma etching, polymer precursor

#### 1. 서론

VLSI Device의 집적도가 증가함에 따라 구조적으로 HARC (High Aspect Ratio Contact) pattern의 etching 요구가 증가하고 있는 것이 현실이다. A/R ~10이상의 산화막 etching에 있어 ion attack으로 부터 산화막 측벽을 보호하기 위해 fluoro-carbon 계열의 polymer precursor를 사용하는데, 이러한 모양 변화는 polymer precursor의 종류에 따른 polymer의 증착 상태에 따라 profile의 이상이 발견되고 있다는 것은 여러 논문에서도 찾아볼 수 있다. (Fig.1) [1]

바닥모양 변형(Profile Tilt)[2]은 크기와 모양이

제멋대로이기 때문에, contact 저항 및 하부 pattern과의 overlap 불량을 유발할 수 있다.

본 연구에서는 이러한 바닥모양 변형 정도를 수치화하고(Fig.3), 바닥 모양 변형 발생원인으로 아래와 같은 3가지 이론적 model 을 제시하였다. (1) Polymer precursor의 종류별 영향 (2) Contact hole 입구에서의 불균일한 polymer 증착 (3) hole sidewall에서의 전자와 ion의 비대칭 charge up 등이 있다. 또한, Contact hole 바닥 모양의 타원률(ellipticity)를 측정하여 이 정도를 정량화 하였으며, Plasma 내의 ion 직진성을 증가하기 위한 plasma 전력인가 방법을 변경하여 그 개선정도를 확인하였다.

## 2. 실험

시료는 Si위에 oxide를 덮고, poly 수백 Å을 쌓은 후 SiN layer를 수백 Å 형성하였다.

그 위에 다시 oxide 막을 20K Å 이상을 덮고, patterning을 위한 mask로 PR을 capping한 후 hole size <200nm contact patterning을 한 직후 사진이 Fig.4이다. 사진에서도 알 수 있듯이 PR patterning 까지는 contact의 동그란 모양을 유지하고 있음을 확인할 수 있었다.

### (1) Polymer precursor의 종류별 영향

일반적인 산화막 dry etching 방식 순서를 나열하면, plasma내의 polymer precursor (fluoro-carbon)가 흡착이 되고 ion의 physical energy가 흡착된 polymer precursor와 etching 하려는 막질(SiO<sub>2</sub>)과의 chemical energy(heat)로 변환되면서, byproduct(CO, SiF<sub>4</sub>, O<sub>2</sub>, O...)을 생성시키면서 식각이 되며, byproduct의 volatile 정도에 따라 탈착이 일어나는 단계를 거치게 된다. 그러나, 산화막 etching 시 mask로 사용되는 PR이나 ACL 주변에서 plasma내 polymer precursor등의 byproduct으로 역시 fluoro-carbon이 발생하는데, 이들은 contact 측벽에 polymer precursor들이 흡착되는 것을 가중 시키게 된다. [3],[8]

따라서, polymer precursor가 바닥 변형이 영향을 받을 수 있는데, precursor의 종류에 따라 어떻게 변하는지를 관찰해 본 것이 Fig.2이다.

주로 산화막을 etching하는 etchant는 fluorine을 함유하는 gas chemistry로 C<sub>x</sub>F<sub>y</sub> 계열을 사용하게 된다.

Fig.2 는 etch gas chemistry의 종류에 대해 photo-resist 위에서의 radical 축적의 표면 거침 정도를 측정 한 것인데, C<sub>4</sub>F<sub>6</sub>의 경우 F<sub>2</sub>C=CF-CF=CF<sub>2</sub>의 구조로서 C=C 이중결합이 존재한다. 반면에 C<sub>3</sub>F<sub>8</sub>과 CF<sub>4</sub>의 화학구조는 각각 F<sub>3</sub>C-CF<sub>2</sub>-CF<sub>3</sub>와 CF<sub>4</sub>로 C=C 이중결합 없이 단일 결합만이 존재한다. C=C 이중결합이 존재할 경우에는 plasma 내 CF<sub>2</sub> radical로 쉽게 해리가 된다. 물론 CF<sub>4</sub>나 C<sub>3</sub>F<sub>8</sub>과 같이 단일 결합만 존재하는 경우에도 plasma 내에서 CF<sub>2</sub> radical이 존재하지만 상대적으로 이중결합이 있는 구조 보다는 CF<sub>2</sub> radical이 적다고 할 수 있다(Fig.5) [2]. 따라서, C<sub>4</sub>F<sub>6</sub>를 사용하는 plasma 조건이 polymer가 풍부한 조건으로 생

각할 수 있으며, 이에 따른 바닥 모양 변형 정도 차이가 발생하였고, CF<sub>2</sub> radical이 많을 수록 바닥변형이 심해졌다.

### (2) Hole 입구에서의 polymer 비대칭 증착

Etching 진행 중에 mask 입구에 증착되는 polymer가 불균일하게 형성되는 경우, 기하학적 shadowing 효과로 인하여 wafer 로 입사하는 ion 들의 viewing angle 도 불균일하게 된다. Fig.5에서와 같은 mask의 오른쪽 입구에만 비대칭적으로 polymer가 증착된 경우, hole 바닥으로 입사하는 ion 들의 궤적은 Fig.6과 같이 오른쪽으로 치우치게 되고, 이로 인해 비대칭적인 etching 속도의 증가가 야기되어 바닥 변형을 초래할 수 있다. [3], [4]

이러한 비대칭 증착의 모습을 관찰한 것이 Fig.7이다.

Polymer의 증착 시간이 길어질 수록 상부에서의 모양 비대칭은 심해지게 되는데, Fig.4 가 원래 모양인데 비해 Fig.7의 (c) 3min에서는 원형을 알아볼 수 없을 정도로 비대칭 정도가 심해졌다.

이러한 비대칭의 직접적인 원인은 주변 hole에서 나오는 byproduct이 영향을 미치는 것으로 추정된다. 단위 면적당 pattern density가 증가하면서, 주변의 산화막 etching 시 발생하는 byproduct의 영향을 받으며, 중심과 주변 hole의 거리가 일정하지 않을 경우에 이러한 현상이 심화되는 것으로 추정된다. Fig.8 (b)의 경우는 동일 거리에 위치하도록한 pattern으로 그렇지 않은 Fig.8 (a) 경우보다 hole 상부의 polymer 비대칭 증착 정도가 양호해 보임을 알 수 있다.

### (3) 비대칭 charge buildup

Mask 의 입구나 contact 내부의 sidewall에 비대칭적인 charge buildup 이 존재한다면, 그 electric field 로 인해 입사되는 ion 들의 궤적은 Fig.9에서와 같이 굴절될 것이다. 그리고, 이로 인한 contact 바닥 변형이 야기된다.

이러한 비대칭 charge는 mask 입구의 비대칭적인 polymer deposition 또는 erosion, 그리고, mask의 변형으로 인해 발생한다. Contact 입구의 기하학적 비대칭 모양이 등방성으로 wafer 로 이동하는 전자들의 축적량 차이를 유발하고 etching time 의 증가를 통해 charge 의 buildup 이 이루어져 ion 들의

궤적변화를 야기시키는 electric field 까지 형성할 수 있다.[5][6]

비대칭 charge buildup에 의한 ion 궤적의 변형은 plasma sheath내 높은 ion energy를 전달할 수 있도록 hardware 변형을 통해 극복할 수 있을 것으로 예상되어 dual frequency feed를 통한 실험을 진행하였다.[7]

Fig.10은 dual(low/high) frequency feed로 plasma에 power를 전달했을 때 wafer 표면에서의 시간에 따른 전류 변화를 simulation한 결과이다. 시간에 따른 전류의 변화가 갈수록 전하의 속도가 증가하며 이에 따른 가속도가 커지게 되므로 charge buildup 전계를 이기고, 궤적변화가 적어진다고 생각할 수 있다. [8][9]

이로써, 이전의 hardware의 바닥변형보다 20% 이상 개선됨이 확인되었다. (Fig.11)

### 3. 결론

산화막 etching 시 etch chemistry 종류에 따른 plasma내 해리 된 물질이 hole 상부와 내면에 증착이 되는데, PR 주변인 hole 상부에서 극심해 지며, C=C 이중 결합의 precursor들의 CF<sub>2</sub> radical 해리가 잘 될 수록 모양 변화는 심해졌다.

또한 거침 정도는 pattern 과 pattern 사이의 거리가 비대칭일 경우 불균일한 polymer 증착이 되며, plasma sheath내 유입되는 ion의 불균일한 입사 angle로 etching된 산화막의 내면에 비대칭 charge buildup을 유발시키게 되므로 aspect ratio가 높은 pattern의 etching 시 바닥변형을 일으키는 것으로 생각할 수 있다.

바닥 변형을 일으키는 가장 큰 이유는 입사하는 ion의 궤적변화를 최소화하면 되므로 CF<sub>2</sub> 해리가 적은 chemistry의 사용과 pattern과 pattern 사이가 일정하게 만들며, ion의 가속도를 증가시킬 수 있도록 plasma hardware를 개선하는 방법으로 바닥 변형을 최소화할 수 있었다.

### 감사의 글

연구에 있어 물심양면으로 도움을 주신 성균관대 전기전자 공학부 대학원 김길호 교수님께 감사의 글을 전합니다.

### 참고 문헌

- [1] "Shape-based optimization of a plasma etching process"  
Berg, J.M.; Nan Zhou;  
Decision and Control, 2000. Proceedings of the 39th IEEE Conference on , Volume: 3 , 12-15 Dec. 2000 Pages:2023 - 2028 vol.3
- [2] 'Ion trajectory distortion and profile tilt by surface charging in plasma etching'  
Shigemi Murakawa, Sychyi Fang, and James P. McVittie - Appl. Phys. Lett. 64, 1558 (1994)
- [3] 'ArF PR 변형 방지를 위한 CxHyFz Polymer 특성 연구' 채운숙 책임연구원, 민경진 수석연구원, 강창진 수석연구원 - 사내 기술 보고서
- [4] 'Hardmask charging during Cl2 plasma etching of silicon'  
M. A. Vyvoda, M. Li, and D. B. Graves  
J. Vac. Sci. Technol. A 17, 3293 (1999)  
Mater. Sci., Vol. 15, No. 1, p. 10, 2001.
- [5] "Reduction of plasma process-induced damage during gate poly etching by using a SiO2 hard mask"  
Lee, H.C.; Creusen, M.; Groeseneken, G.; Vanhaelemeersch, S.;
- [6] "Plasma Process-Induced Damage"  
1998 3rd International Symposium on  
4-5 June 1998 Pages:72 - 75
- [7] "Pulse-time-modulated plasma etching for high performance polysilicon patterning on thin gate oxides  
Ohtake, H.; Samukawa, S.; Noguchi, K.; Iida, H.; Sato, A.; Xue-yu Qian;  
Plasma Process-Induced Damage, 1999  
4th International Symposium on , 9-11 May 1999 Pages:37 - 40
- [8] 'Dissociative scattering of fluorocarbon ions from a liquid surface at hyperthermal incident energies' Wim R. Koppers, Michael A. Gleeson, Joao Lourenco, Tina L. Weeding, Joop Los, and Aart W. Kleyn  
J. Chem. Phys. 110, 2588 (1999)

[9] "Profile control in isotropic plasma etching" Zhu, H.; Lindquist, R.; Advanced Semiconductor Manufacturing Conference and Workshop, 1992. ASMC 92 Proceedings. IEEE/SEMI 1992 , 30 Sept.-1 Oct. 1992 Pages:116 - 119

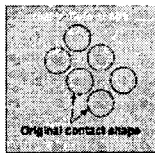


Fig.1 Profile tilt at A/R>10

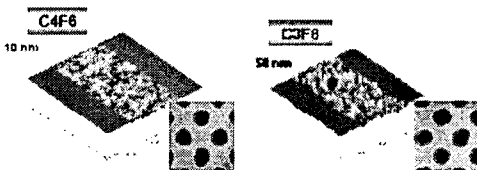
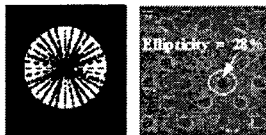


Fig.2 The roughness of polymer precursor (C4F6 vs. C3F8)



$$\text{Ellipticity (\%)} = (\text{Max/min})/100-100$$

Fig.3 타원율 측정 방법 및 실례

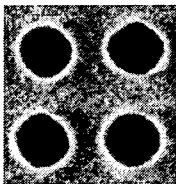


Fig.4 PR patterning feature

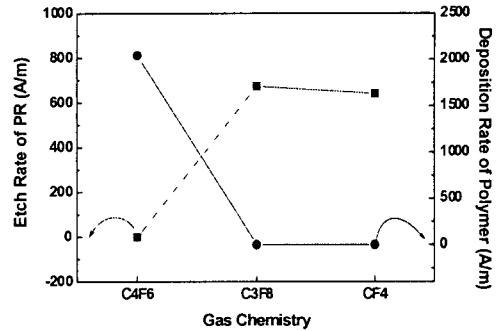


Fig.5 Gas chemistry 별 depo. rate과 etch rate 비교

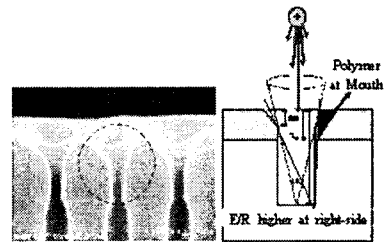


Fig.6 Asymmetric polymer deposition과 ion viewing angle 변화

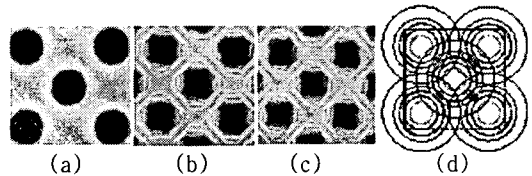
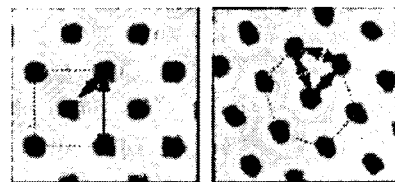


Fig.7 Polymer 증착 시간에 따른 hole 입구에서의 모양 변화와 추정 원인

(a) 1min, (b) 2min, (c) 3min, (d) 주변 영향에 대한 도식화



(a) (b)

Fig.8 Hole간 거리 차이에 따른 표면 변화 확인  
(a)의 경우는 비대칭의 경우로 모양이 제각각이나, (b)의 경우는 거리가 일정한 경우로 모양이 비교적 균일하다

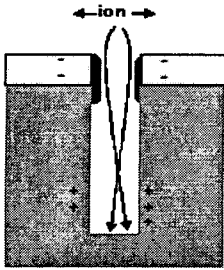


Fig.9 비대칭 ion angle에서의 비대칭 charge buildup

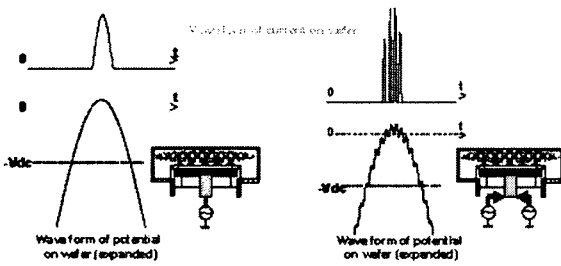
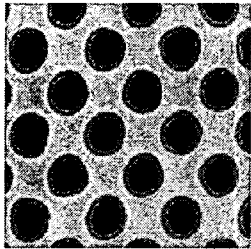


Fig.10 Dual(low/high) frequency power 인가를 통한 wafer 표면의 전류 변화 simulation



Ellipticity=3%

Fig.11 Dual frequency를 이용한 바닥 변형개선