

Dynamic Element Matching을 적용한 Sigma Delta ADC에 관한 연구

김화영, 유장우, 이용희, 성만영*, 김규태
고려대학교 전기공학과

A Study on Sigma Delta ADC using Dynamic Element Matching

Hwa Young Kim, Jang Woo Ryu, Lee Young Hee, Man Young Sung*, Gyu Tae Kim
Dept. of Electrical Engineering, Korea University
*semicad@korea.ac.kr

Abstract

This paper presents multibit Sigma-Delta ADC using noise-shaped dynamic element matching(DEM). 5-bit flash ADC for multibit quantization in Sigma Delta modulator offers the following advantages such as lower quantization noise, more accurate white-noise level and more stability over single quantization. For the feedback paths consisting of DAC, the DAC element should have a high matching requirement in order to maintain the linearity performance which can be obtained by the modulator with a multibit quantizer. The DEM algorithm is implemented in such a way as to minimize additional delay within the feedback loop of the modulator. Using this algorithm, distortion spectra from DAC linearity errors are shaped. Sigma Delta ADC achieves 82dB signal to noise ratio over 615kHz bandwidth, and 62mW power dissipation at a sampling frequency of 19.6MHz. This Sigma Delta ADC is designed to use 0.25um CMOS technology with 2.5V supply voltage and verified by HSPICE simulation.

Key Words : Sigma Delta modulation, ADC, DEM,

1. 서론

시스템의 소형화, 휴대화 추세에 따라, Analog to Digital Converter(ADC)는 디지털 신호처리 블록과 one-chip화가 이루어지고 있으며 이에 따라 작은 면적으로 고성능을 갖도록 구현되고 있다.

Oversampling과 noise shaping 기술이 사용되는 Sigma-Delta ADC는 저속, 고해상도 특성이 요구되는 음성, 오디오 신호처리에 가장 적합한 구조로 resolution은 Signal to Noise Ratio(SNR)특성과 연관되어 있다. Sigma Delta modulator의 resolution을 향상시키는 방법으로는 sampling frequency, noise 전달함수의 차수, quantizer의 bit

수를 증가시키는 방법이 있으며 이는 cost, 전력소비, 회로면적에 끼치는 영향을 고려하여, sampling rate, 필터 차수와 quantizer의 bit수의 조합을 조정해서 원하는 설계특성을 얻어내야 한다.

Sigma Delta ADC에서 SNR을 증가시키기 위해 quantizer의 bit수를 증가시켜서 resolution을 높이는 방법에 대한 연구가 많이 진행되고 있다. 이러한 quantizer의 bit수를 증가시키는 multibit 구조에서 피드백 루프내의 DAC는 CMOS공정상에서 발생하는 소자간의 부정합 때문에 유효한 resolution이 10bit정도로 그 이상을 넘기 힘들다. DAC의 해상도를 향상시키고 선형성을 증가시키기 위해서 Digital correction 방법인 Dynamic Element

Matching(DEM)회로를 사용하여 DAC element간의 mismatch를 줄일 수 있다.

본 논문에서는 multibit, 단일 루프 구조의 Sigma Delta ADC를 0.25um공정을 사용하여 설계하고 피드백 루프내에 있는 DAC의 선형성을 향상시키기 위해 DEM회로를 설계하여 DEM회로를 사용한 경우와 사용하지 않은 경우에 Sigma Delta ADC의 동작특성을 비교 분석하였다.

2. Sigma Delta ADC 회로 설계

2.1. Sigma Delta ADC의 구조

Sigma Delta modulator의 resolution을 향상시키기 위한 방법으로는 Sampling 주파수를 증가시키거나 quantizer의 bit수를 높이는 방법이 있다.

Sampling 주파수를 증가시키는 방법은 ADC modulator의 차수가 증가하기 때문에 quantizer와 feedback DAC에서 더 많은 전력이 소비되고, 높은 클럭 주파수가 쓰이게 되어 전력효율이 떨어지게 되며 modulator에서 나온 신호를 필터링 하는 디지털 필터의 차수도 높아지고 회로의 구성도 더욱 복잡해진다. 두번째로 quantizer의 bit수를 높이는 방법은 비교적 낮은 Oversampling ratio(OSR)을 사용하여 높은 SNR을 얻을 수 있을 뿐만 아니라 전체 modulator가 보다 선형적으로 동작하기 때문에 안정도가 높아지게 된다.[1] 이 경우에는 quantizer의 bit마다 6dB씩 resolution이 증가하고 낮은 차수의 noise shaping 필터를 사용할 수 있다. 그러나 quantizer의 resolution을 높이기 위해서 많은 comparator가 쓰이게 되어 전력소비와 회로면적의 증가를 초래하게 되기 때문에 적절한 bit수의 선정이 필요하다.[2]

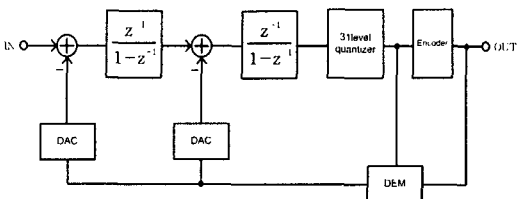


그림 1. Simga Delta ADC 구조

본 논문에서는 그림 1과 같이 modulator의 차수

를 단일 루프내에서 안정서를 고려하여 2차로 구성하였고 DAC는 capacitor를 사용하여 피드백 되는 신호가 자동으로 부채환 작용을 하도록 하였다.

2단의 적분기를 거친 신호는 31개의 comparator로 이루어진 quantizer를 거쳐서 31 bit의 디지털 코드를 출력하고 이는 encoder를 거쳐서 5bit의 이진코드로 최종 출력되게 된다.

2.2. Switched Capacitor 적분기

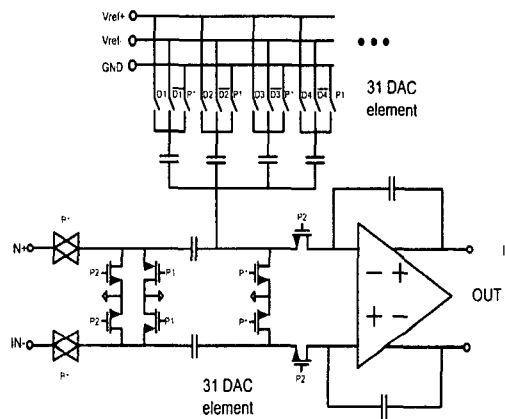


그림 2. 적분기 구성

그림 2는 DAC와 적분기로 구성된 modulator의 첫 번째 단을 나타내고 있다. 31개의 capacitor로 이루어진 DAC는 같은 구조가 반복되기 때문에 생략하여 나타내었다. P1과 P2는 nonoverlapping 클럭으로 P1이 high인 동안은 입력신호를 샘플링하고 P2가 high인 동안은 적분동작을 하게 되다. opamp의 입력단에서 offset의 영향이 적은 구조로 적분기를 설계하고 입력에서 들어오는 noise의 영향을 최소화 하기 위해서 완전차동모드로 설계하였다. 입력으로 들어오는 아날로그 신호는 sampling한 신호와 피드백되어서 들어오는 DAC출력의 차가 opamp의 입력으로 들어가서 적분동작을 하게 된다. 입력단에서 샘플링 과정에서 발생하는 noise를 최소화하기 위해서 적분기간동안 sampling capacitor와 접지를 연결하는 스위치를 transmission gate로 사용하는 대신에 nonoverlapping 신호에 각각 동작하는 PMOS와 NMOS를 연결하였다.

2.3 Dynamic Element Matching

DEM의 종류에는 DAC element를 조합하는 방식에 따라 Random Averaging(RNA), Individual Level Averaging(ILA), Data Weighted Averaging(DWA)등으로 나뉘어진다. 앞에서 언급한 방법 중 DWA를 사용할 경우 회로의 구성도 단순해지고 mismatch가 없는 이상적인 DAC를 사용한 경우와 비슷한 성능의 ADC출력을 나타낸다.[3] quantizer에서 출력되는 thermometer code를 입력으로 받아서 이전 클럭의 DAC element의 선택조합과 다르게 DAC element 선택을 결정하는 방식이다.

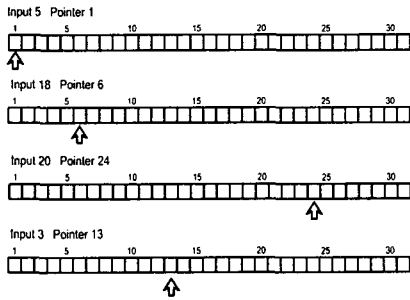


그림 4 임의의 입력에 따른 DEM동작 예시

그림 1에서 보여주듯이 DEM은 quantizer의 출력신호를 입력으로 받아서 DAC의 element를 선택하는 신호를 출력하게 된다. 여러 종류의 DEM중에서 DWA알고리즘으로 DEM회로를 구성하였다. DWA는 이전의 clock에서 선택되었던 element 조합을 기억하고 있다가 다음의 clock에서 element의 조합이 그 뒤에 이어서 선택될 수 있도록 pointer가 필요하고 이에 따라서 이번에 선택될 조합이 shift되어야 한다.[4] 그림 4에서는 DWA 동작을 임의의 입력을 예를 들어 설명하고 있다. 이전의 clock에서 5개가 선택되고 pointer는 1이었으면 이후에 18개 선택조합은 뒤이어서 선택되어야 하기 때문에 pointer는 6에 위치해야 한다. 그 다음 클럭에 20개가 선택되는 입력 코드가 들어오고 pointer는 24에 위치해야 한다. pointer는 간단하게 이전의 input과 pointer의 값을 더하면 이번에 이번 클럭에 사용될 pointer를 구할 수 있다.

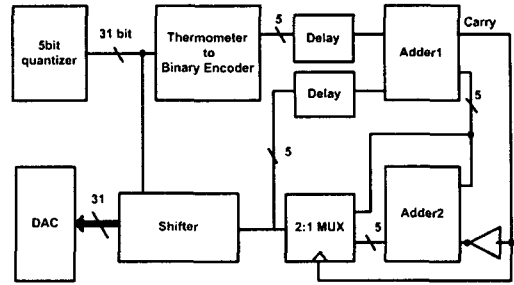


그림 5. 제안한 DEM회로의 블록다이어그램

그림 5는 앞에서 설명한 DWA의 수행을 위해 설계한 회로이다. encoder에서 출력되는 이진코드를 한 클럭 지연시키고, pointer로 사용한 코드를 지연시켜서 더하면 현재 사용될 pointer가 되고 이렇게해서 생성된 pointer를 가지고 quantizer에서 출력된 DAC 선택 코드를 shift해서 element가 이전과 최대한 겹치지 않게 선택해서 DAC의 비선형성을 줄일 수 있도록 한다. pointer와 encoder에서 출력되는 binary code의 합이 31을 넘게 될 경우 Adder1에서 carry 신호가 발생하게 되고 Adder1의 carry를 입력으로 받아 동작하는 Adder2의 합을 출력하도록 mux를 조정한다., Adder2는 Adder1의 출력에 1을 더해서 element 선택조합이 하나씩 shift되게 한다.

4. 모의실험 결과 및 고찰

그림 5와 6은 ADC에서 DEM회로를 사용한 경우와 사용하지 않은 경우의 Sigma Delta ADC의 출력 스펙트럼을 나타내고 있다. DAC element가 1% mismatch가 발생했을 때 DEM 회로를 사용하지 않은 경우 DAC의 비선형성으로 인해 ADC의 noise floor가 높아지는 반면에 DEM회로를 사용한 경우 그림 6과 같이 in-band내의 noise가 -70dB로 줄고 out-band내에서는 noise가 높아지는 noise shaping을 수행하게 된다.

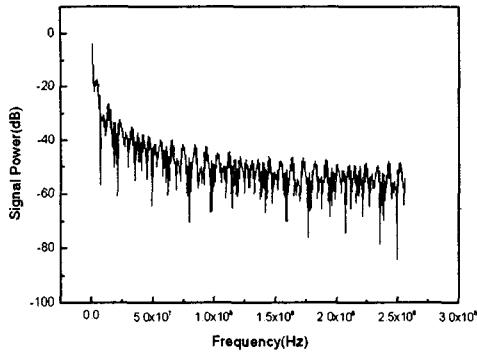


그림 5. 1% DAC element error가 발생했을 때 ADC의 출력 스펙트럼

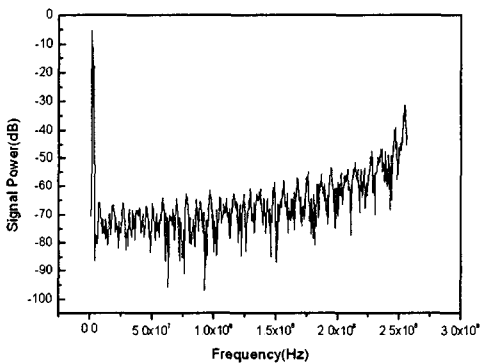


그림 6. DEM을 사용하였을 때 ADC의 출력 스펙트럼

표 1. Sigma Delta ADC의 성능

Parameter	Value
Signal Bandwidth	615kHz
Sampling Frequency	19.6MHz
Maximum Input level	2.5V
Oversampling Ratio	16
Peak SNR	82dB
Supply Voltage	2.5V
Power consumption	62mW
Technology	0.25um CMOS

Sigma Delta ADC는 문턱전압이 NMOS가 0.5V, PMOS가 -0.55V인 0.25um CMOS 공정을 사용하여 설계하였고 모의실험을 통해 얻은 ADC의 성능을 표 1에 요약해 놓았다.

4. 결론

본 논문에서는 multibit Sigma Delta ADC를 설계하고, 피드백 루프내의 DAC의 비선형성으로 인한 ADC동작의 오차를 줄이기 위해서 피드백 루프내에 DEM회로를 사용하였다. 이 결과 OSR이 비교적 낮은 16에서 SNR이 82dB로 나타났다. DEM 회로를 사용하였을 경우 in-band내의 noise power가 사용하지 않은 경우보다 -70dB로 줄어들고 주파수가 높은 대역에서는 noiser floor가 높아져서 이상적인 DAC를 사용한 ADC와 비슷한 출력 스펙트럼을 보였다.

감사의 글

본 논문은 Korea Science and Engineering Foundation Grant (KOSEF-R01-1999-000-00230-0)의 지원에 의해 수행되었음.

참고 문헌

- [1] 이승훈, 김범섭, 송민규, 최중호, CMOS 아날로그/혼성모드 집적시스템 설계, 시그마프레스, 1999.
- [2] Yves Geerts, Michel S.J. Steyaert, Willy Sansen, "A High-Performance Multibit $\Delta\Sigma$ CMOS ADC", J. of Solid-State Circuits, vol. 35, No. 12 p. 1829-1840, 2000.
- [3] S. D. Kim, Y. S. Woo, D. G. Kim, M. Y. Sung, "A Study on the Design of D/A Converter based on Data Weighted Average Technique for Enhancement of Reliability" KIEE Summer Annual Conference '99, p. 3215-3217, 1999. 7.
- [4] Matthew R. Miller, Craig S. Retrie, "A Multibit Sigma-Delta ADC for Multimode Receivers", J. of Solid-State Circuits, Vol. 38, No. 3, p.475-482, 2003.