

Multi-Level Switching과 ZVS를 이용한 Class D Amplifier

김 두 일\*  
한양대 전자전기제어계측공학과

김 희 준  
한양대 전자-컴퓨터 공학부

조 규 민  
유한대학 정보통신과

Class D Amplifier Using Multi-Level switching and ZVS

Duil Kim  
Dept. of Electronic & Electrical &  
Control & Instrumentation Engineering  
Hanyang Univ.

Hee-Jun Kim  
School of Electrical Engineering  
& Computer Science  
Hanyang Univ.

Kyu-Min Cho  
Dept. of Information and  
Communication Engineering  
Yuhan College

**Abstract** - This paper presents design of a class D Amplifier using multi-level switching and Zero-Voltage-Switching(ZVS) technique. The amplifier circuit features zero voltage switching at all switches of the circuit and multi-level switching operation so that the higher efficiency and lower THD could be achieved.

A 50-W prototype D class amplifier built and tested it. As a result, the maximum efficiency of 96% and the THD of under 60% were obtained.

1. 서 론

일반의 앰프들과는 달리 D급 앰프는 높은 전력효율을 큰 특징으로 한다. 하지만, 정밀하지 못한 PWM 제어와 급격히 변하는 출력필터 양단 전압에 의해 총 고조파 왜율이 발생하고, 반도체 소자를 사용한 스위치에서 스위칭 손실이 발생하므로 실제적으로는 손실이 발생한다. [1]

따라서 이러한 문제점을 개선하기위한 방법으로, 본 논문에서는 위상변위법을 이용한 스위칭의 한 방법인 multi-level 스위칭 기법을 이용하여 총고조파 왜율을 줄이고, 출력단에 공진 회로를 부가함으로써 모든 스위치가 영전압 상태에서 스위칭 동작을 하게끔 하였다. 실험결과, 풀브릿지를 일반적인 스위칭 방법을 이용하여 동작시킨 것 보다 multi-level 스위칭 기법을 이용하여 스위칭 시켰을 때 총 고조파 왜율이 개선되는 것을 확인 할 수 있었으며, 두 개의 스위치만 영전압 스위칭 동작을 했던 일반적인 풀브릿지 동작과 달리, 풀브릿지의 4개 스위치가 모두 영전압 스위칭 동작을 하고 있음을 보여주었다.

2. 본 론

1. D급 앰프의 이론

A, B, AB급 등 일반적인 앰프에 사용되는 방법은 Bias Point를 이용한 선형 증폭이다. A급 앰프는 순수한 선형영역 동작을 이용한 앰프이므로 총 고조파 왜율은 영이 되지만, stand-by 상태에서의 전력 소모로 인해 전력 효율은 매우 낮다. B급과 AB급 앰프는 A급 앰프에서와 같은 stand-by에 의한 전력 손실을 줄이기 위해 두개의 스위치를 사용함으로써 전력 효율은 어느 정도 개선되었지만 그에 반해 총 고조파 왜율은 급격히 증가하였다.[2] 이런 점을 개선한 것이 PWM방식을 이용한 D급 앰프이다. D급 앰프는 입력 신호의 크기에 비례하는 폭을 가진 펄스 구동신호로 스위치의 온/오프를

제어하여 출력을 얻는 방식이다. 그림1은 삼각파를 이용하여 입력 신호에 비례한 PWM을 발생시켜 풀브릿지, 또는 하프 브릿지의 스위치를 온/오프를 제어하기 위한 신호를 얻는 방식을 나타낸 그림이다.[3]

2. Multi-Level Switching

일반적으로 사용되는 스위치는 하프 브릿지이다. 하프 브릿지 회로는 직렬로 연결된 두개의 스위치와 스위치 중간에서 연결된 출력단 회로로 구성되므로 매우 간단한 구성이 되지만,  $V_{DD}$ 와  $V_{SS}$ 의 양전원이 공급되어야 원활한 출력을 얻을 수 있기 때문에, 두개의 전원이 필요한 회로이다. 하지만 풀브릿지 스위치를 사용할 경우, 출력단 전압이 역전되는 형태가 되므로 단 한 개의 전원만으로도 하프 브릿지의 양전원과 같은 효과를 얻을 수 있다. 하지만 스위치가 온/오프 시에 출력단 전압  $V_{AB}$ 가  $+V_{DD}$ 에서  $-V_{DD}$ 로 급작스럽게 역전되므로 출력단의 인덕터 양단전압인  $V_L$  역시  $V_{DD}-V_O$ 에서  $V_O$ 로 급작스럽게 변하여 인덕터로 흐르는 전류의 기울기가 커지기 때문에 총 고조파 왜율이 증가 된다. 그림2 에서의 multi-level 스위칭의 경우, 일반적인 풀브릿지의 180°

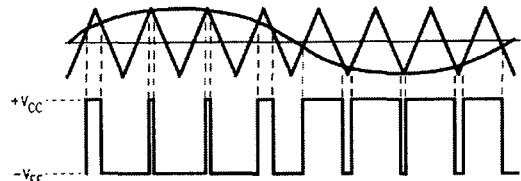


그림1 입력신호와 삼각파를 이용한 PWM (inverting부분)

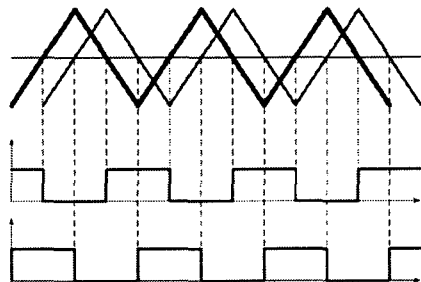


그림2 90°위상차를 지닌 구동신호.

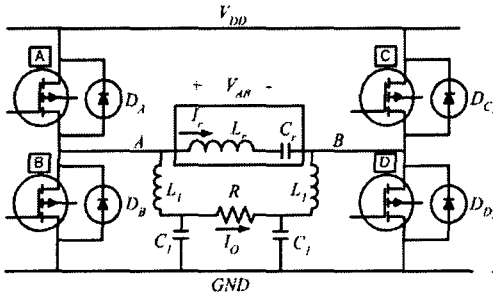


그림3  $L_r$ - $C_r$ (공진회로)이 포함된 풀브릿지 회로.

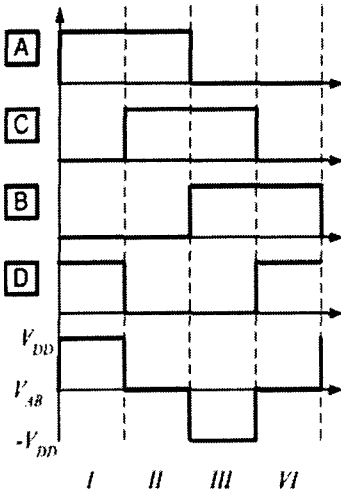


그림 4 스위치 구동신호와 출력단 전압

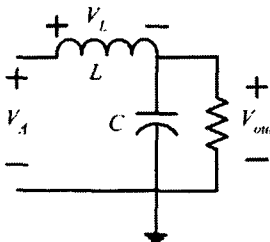


그림5 한쪽에서 바라본 부하.

위상차에 의한 스위치의 구동의 경우와 달리, 90°의 위상차를 지닌 신호에 의해 스위치가 구동된다. 이로 인해 그림4의 multi-level 스위칭시 그림5의  $V_A$ 전압이  $I$ 구간에서  $III$ 구간으로 변화하기 전  $II$ 구간을 거치게 되므로 인덕터 전압  $V_L$ 의 급작스런 변화가 상당히 완화된다. 이로 인해 출력단 인덕터를 통하는 전류의 기울기가 완만해짐에 따라 총 고조파 왜율은 상당히 감소된다. [2]

### 3. 영전압 스위칭의 구현

그림3은 풀브릿지의 영전압 스위칭을 위해 기본 회로에  $L_r$ ,  $C_r$ 로 이루어진 공진회로를 부가한 회로이다. 공진회로에 의해 공진전류  $I_r$ 이 발생하며, 이로 인해 영전압 스위칭이 이루어지고, 일어나는 과정은 총 10개의 구간으로 설명되어 질 수 있다. [3] 영전압 스위칭이 일어나는 구간은 아래에 설명하겠다.

### 3.1 영전압 스위칭이 이루어지는 구간

그림6의  $I_r$ 의 파형을 얻기 위해서는 다음의 가정이 전체 되어야 한다.

1. 회로는 Steady-State 조건에서 동작하여야 한다.
2. 각 스위치의 기생 커패시턴스( $C_{oss}$ ) 값은 모두 동일하고 각각 유한한 값을 갖는다.
3. 모든 reactive 소자는 손실이 없다.
4.  $C_r$  양단간 전압과 전류  $I_o$ 는  $T_S$ 내에서 일정하다.

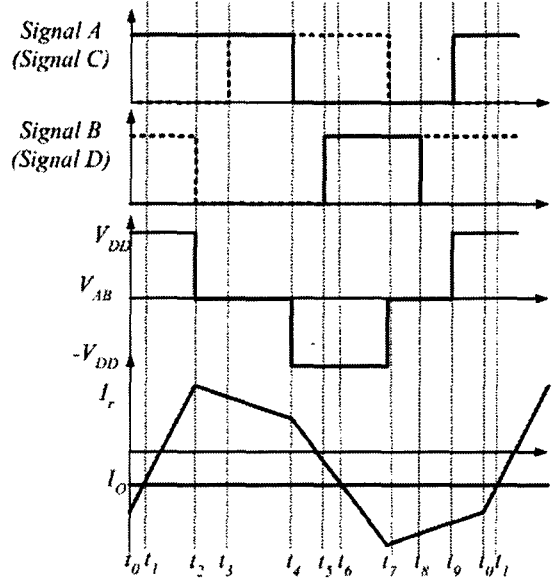


그림 6 이론적 ZVS파형

Multilevel 스위칭에서 이루어지는 영전압 스위칭은 10개의 모드로 구분되며, 각 모드별 주요 파형은 그림6에 나타내었다. 10개의 모드 중 영전압 스위칭이 구현되는 모드는 다음과 같다.

- 모드4 ( $t_3$ - $t_4$ )  
전류가 A에서 부하를 통해  $D_C$ 로 환류하는 동안 C가 온 된다. (C의 영전압 스위칭)  
전류는 A와 C를 통해 계속 환류한다.
- 모드6 ( $t_5$ - $t_6$ )  
A가 오픈한 후 C에서  $D_B$ 를 통해 부하로 환류하는 전류 구간에 B가 온 된다. (B의 영전압 스위칭)  
 $I_r = I_o$ 가 될 때까지 전류는 방출된다.
- 모드7 ( $t_6$ - $t_7$ )  
공진회로의 전류 방향이 바뀐다.  $I_r$ 은 C에서 부하를 거쳐 B로 흐른다.
- 모드9 ( $t_8$ - $t_9$ )  
C가 Off 되어 B와  $D_D$ 를 통해 전류가 환류 하는 구간에 D가 온 된다. (D의 영전압 스위칭)  
D와 A를 통해 전류가 환류한다.
- 모드10( $t_9$ - $t_{10}$ )  
A가 온 된다. (A의 영전압 스위칭)  
전류는 D에서 A를 통해  $I_r = I_o$ 가 될 때까지 흐른다.

### 4. 실험결과

앰프 설계를 위한 설계사양은 다음과 같다.

- 출력 : 50W
- 입력 : ±12V(제어부), 20V(출력부)
- 출력 임피던스 : 8Ω(스피커)
- 스위칭 주파수 : 300kHz

차단 주파수 : 2kHz ( $L=650\mu H$ ,  $C=68nF$ )  
공진회로 :  $L_r=2.5\mu H$ ,  $C_r=4.4\mu F$

우선 입력 신호에 비례하는 PWM신호를 만들기 위한 삼각파를 만들었다. 300kHz, 90° 위상차를 지닌 두개의 삼각파를 만들기 위해 2.4MHz Crystal과 D-Flip Flop을 사용하여 주파수를 분배했다. 그림7은 D-Flip Flop 두개를 직렬로, 그 뒤에 두개를 병렬로 연결하여 얻어낸 4개의 출력파형이다. 이 파형이 적분기의 입력으로 보내지고, 그 적분기로 삼각파를 만들어 각각 90° 위상차를 지닌 삼각파를 만들었다. 그림 8은 폴브릿지 제어를 위해 90°위상차를 가진 두개의 삼각파와 입력신호를 비교하여 브리지 제어칩의 입력으로 보내어질 신호들이다. 입력 신호가 양의 값으로 커질수록 좁은 폭을 가진 PWM신호를 내보내고, 입력신호가 음으로 커지면 넓은 폭을 지닌 PWM신호를 내보낸다. 이 신호는 폴브릿지의 B와 D를 제어하기 위한 신호이다. 물론 이 각각의 신호를 인버터를 거쳐 반전되어 나온 신호를 이용하여 폴브릿지의 A와 C를 제어하는 신호로 사용한다. 그리고 출력부에는 그림6의 A, B 사이와 C, D 사이에 LC 필터를 각각 1조씩 설치하였다.

1) 저대역통과 필터부 설계

$$f_{cut-off} = \frac{1}{2\pi\sqrt{L_1C_1}} = \frac{1}{2\pi\sqrt{650\mu \cdot 68n}} = 23.9kHz \dots\dots(1)$$

$$\therefore L_1 = 650\mu H, C_1 = 68nF$$

2) 공진회로부 설계

$L_r$ ,  $C_r$ 값은 동작 조건의 범위를 만족하는 상한/하한값을 기준으로 선정한다. [3]

- $L_r$ (상한값)

$t_1 \sim t_8$  사이에  $C_r$ 가 꺼지고  $C_{OSS-C}$ 가  $V_{DD}$ 로 증가하는 시간은 데드타임보다 짧아야 한다. 그러므로,

$$V_{CC}(1-D)[1 - \cos(\pi/4)] + \frac{V_{CC}}{2\omega C_{OSS}} \left[ \frac{2D-1}{R_o} + \frac{D(1-D)T_s}{L_r} \right] \sin(\pi/4) \geq V_{CC} \dots(2)$$

식2을 정리하여 공진 인덕턴스  $L_r$ 의 범위를 구하면,

$$L_r \leq \left[ \frac{\psi R_o \sqrt{C_{OSS}} - \sqrt{\psi^2 R_o^2 C_{OSS} + T_s R_o D(2D-1)(D-1)}}{2D-1} \right]^2 \dots(3)$$

$$\left[ \psi = \frac{D + (1-D)\cos(\pi/4)}{\sin(\pi/4)} \right]$$

과 같다.

- $L_r$ (하한값)

출력전류의 최대치,  $I_{O-max}$ 는  $t_0 \sim t_2$ 의 구간에서  $L_r$ 의 값에 의해 결정된다.

$$\therefore |I_r(t_2)| = |I_r(t_0)| \leq I_{max}$$

가 되므로,  $L_r$ 의 전압/전류식에 의해

$$\therefore L_r \geq \frac{D(1-D)T_s V_{CC}}{I_{max}} \dots\dots\dots(4)$$

- $C_r$ (상한값)

$I_r \geq 0$ 인 구간은  $C_r$ 의 충전구간으로,

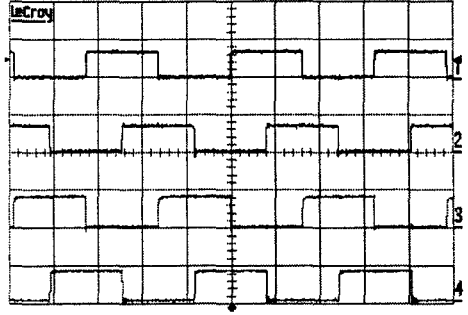


그림7 주파수 90° 위상차를 가진 Pulse  
1ch-2ch : 90°shift 1ch-3ch : 180° shift

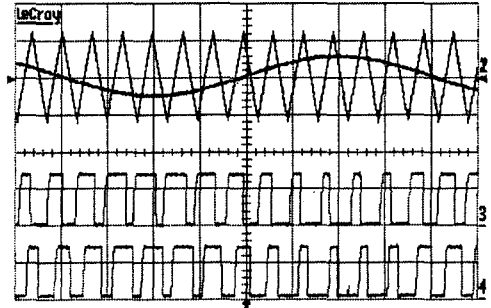


그림8 입력 신호와 90° 위상차를 지닌 Pulse Train( $V_{GS}$ )  
1ch - 4ch : 5V/div, 5us/div

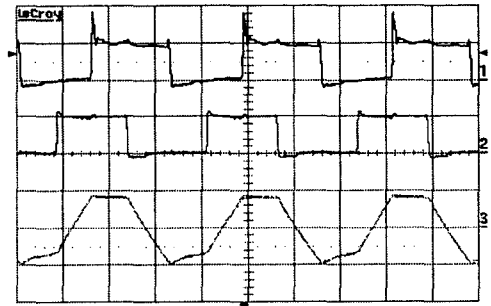


그림9 상. $V_{DS-D}$  중. $V_{DS-B}$  하. $I_r$   
1ch, 2ch : 20V/div 1us/div, 3ch: 2A/div 1us/div

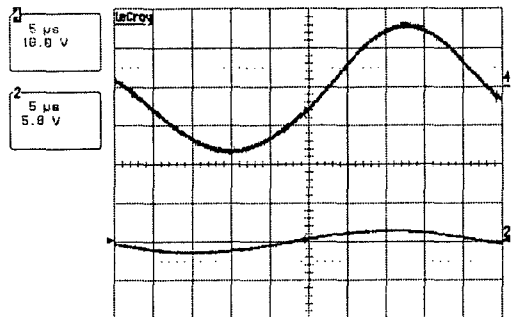


그림10 상. $V_{out}$  하. $V_{sig}$ (20kHz)  
4ch: 10V/div 5us/div, 2ch: 5V/div 5us/div

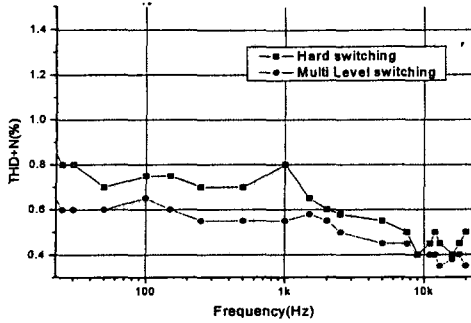


그림 11 주파수에 따른 THD 비교

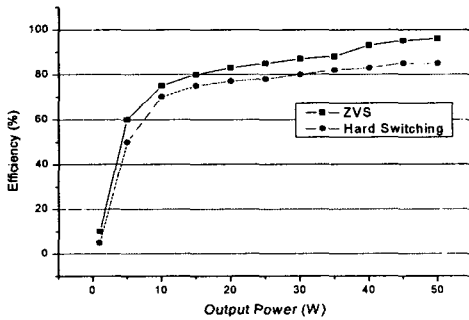


그림 12 출력에 따른 효율 비교

$$\Delta V_{Cr} \geq \frac{1}{C_r} \int_0^{T_s} I_r(t) dt = \frac{D(1-D)T_s^2 V_{CC}}{4L_r C_r}$$

가 되므로

$$\therefore C_r \geq \frac{D(1-D)T_s^2 V_{CC}}{4L_r C_r} \dots\dots\dots(5)$$

가 된다.

- $C_r$ (하한값)

가칭 주파수 대역에서의  $L_r$ 과  $C_r$ 의 임피던스를 비교하면,  $Z_C \geq k \cdot Z_L$  ( $k$ : 임피던스 ratio) 이 되어야 하므로

$$\frac{1}{2\pi f C_r} \geq k 2\pi f L_r$$

로부터

$$C_r \leq \frac{1}{k 4\pi^2 f^2 L_r} \dots\dots\dots(6)$$

이 된다.

실험결과에 의한 그림9의  $I_r$ 은 이론값인 그림6의  $I_r$ 과는 모양이 흡사하며, 물론 소자에서 발생하는 열은 매우 적었다. 그림10에서 하부는 입력파형이며 상부는 출력파형이다. 그림11은 폴브릿지의 일반적 스위칭에 의한 총 고조파 왜율(상부)과 multi-level 스위칭에 의한 총 고조파 왜율(하부)을 비교한 그래프이다. 전 주파수 영역에 걸쳐 현저하게 낮은 총 고조파 왜율을 얻을 수 있음을 알 수 있었다. 그림12는 출력 전력에 따른 효율 그래프이다. 출력 전력이 높을수록 효율은 높아지며, 최고 96%까지 효율을 얻을 수 있었다.

#### 4. 결 론

모든 스위치가 영전압 스위칭으로 동작하고, multi-level 스위칭 기법을 적용한 D급 전력증폭기에 대한 해석 및 설계를 수행하였다. 해석을 통하여 기존의 D급 전력증폭기에 비하여 변환효율 및 THD에 관하여 월등히 개선된 특성을 나타냄을 보였고, 50W급 증폭기의 설계 및 실험을 통하여 96%의 고효율과 60%이하의 저 THD를 달성할 수 있었다.

#### [참 고 문 헌]

- [1] Joshep S. Chang, Meng Tong Tan, Zhuhong Cheng, Tiy-Chow Tong, "Analysis and Design of Power Efficient Class D Amplifier Output Stage", IEEE TRANSACTION ON CIRCUITS AND SYSTEMS, 2000
- [2] TNG Chee Wan, "Multi Level Switch Mode Class D Amplifier", Department of Electrical and Computing Engineering, The University of Queensland, 1998
- [3] W.H.Lau, S.H.Chung, C.M.Wu, N.K.Poon, "Design and Analysis of Digital Amplifier Using ZVS PWM Converter", 2001