

데드 타임 없는 새로운 공간 벡터 전압 변조 인버터에 관한 연구

서 일 수, 송 의 호
 창원대학교 제어계측공학과

A Study on the Novel Space Vector PWM Inverter without Dead time

Il-Soo Seo, Eui-Ho Song

Department of Control and Instrumentation Engineering, Changwon National University

Abstract - Voltage source inverters are required dead time to prevent the short current in the dc link. In recent years, the dead time effect has been investigated in many literatures. This paper presents on the novel space vector PWM inverter without dead time. The proposed inverter don't need to sense load current and to calculate for dead time compensation. Transformers are inserted each leg in the proposed inverter. The proposed method is analyzed each mode and then the simulation results verify the proposed method.

1. 서 론

최근 반도체 산업의 발달과 마이크로프로세서(Micro-Processor)의 발달로 전압형 인버터가 널리 이용되고 있다. 특히 다른 전압 변조 방식에 비해 직류 링크(DC Link) 전압 이용률이 크고, 출력 상전류의 고조파 함유율이 낮은 공간 벡터 전압 변조 방식(SVPWM: Space Vector Pulse Width Modulation)이 널리 이용되고 있다.

직류 링크단의 단락 방지를 위해 전압원 인버터에는 데드 타임 기능이 사용되고 있다. 데드 타임의 영향은 출력전류와 출력전압의 왜곡으로 나타나고 소음과 진동 같은 문제를 야기 시킨다. 이러한 문제뿐만 아니라 센스리스 벡터 컨트롤(Senseless Vector Control)에서는 자속 추정을 위해 필요한 출력전압 대신에 지령전압을 사용하기 때문에 데드 타임으로 인한 출력전압과 지령전압의 차이는 기대 이하의 나쁜 제어결과를 낳는다.

최근, 데드 타임 보상에 대한 연구가 다양한 형태로 수행되었다. 가장 고전적인 방법으로써, 한 주기 동안 데드 타임에 의한 오차전압의 평균값을 미리 계산하여 전류 방향에 따라 지령전압에 가감하여 보상하는 방법[1],[2]. 전류 정보로부터 계산된 오차전압을 전향 보상하는 방법[3]. 나아가 데드 타임뿐만 아니라 스위치의 턴 온 지연(Turn On Delay)시간, 턴 오프 지연(Turn Off Delay)시간, 소자의 전압강하(Voltage Drop) 까지 보상하는 방법[4]-[8]. 스위칭 주기마다 스위칭 패턴을 조작하여 지령전압의 크기와 위상을 보상하는 방법[9]. 전류 방향에 따라 데드 타임이 필요 없는 시간을 파악하여 정군(upper leg) 혹은 부군(lower leg) 스위치의 게이트(Gate) 신호를 인가하지 않는 방법[10] 등이 있다. 그리고 이들 방법을 기본으로, 추가적인 하드웨어나 소프트웨어를 추가하여 성능을 향상시킨 연구들이 계속되고 있다.

이들 연구에서 알 수 있듯이 데드 타임의 영향은 부하 전류의 방향에 따라 다르게 나타난다. 다시 말해 부하 전류 방향이 데드 타임 보상의 가장 중요한 부분이다. 특히 영 전류(Zero Current) 부근에서의 잘못된 데드 타임은 영 전류 클램핑(Clamping) 현상으로 인해 전류 왜곡은 더 심각해진다. 이런 영 전류 부근에서의 데드 타임 보상에 대한 연구 또한 계속되어 왔다. 영 전류 근처에서 일정한 대역폭을 두어서 전류 리플 효과를 줄이는 방법[10]. 역기전력을 바탕으로 영 전류 클램핑 영역을 정의하여 영역 내에서는와 영역 밖에서 각기 다른 보상을

행하는 방법[4]. 측정된 전류를 d, q 축으로 변환하고 저역 통과 필터와 노치(notch) 필터를 이용하여 전류 크기와 위상 정보를 얻는 방법[6]. 스위칭 순간의 전류를 예측하는 방법[11],[12]. 영 전류 근처의 일정한 영역 안에서 데드 타임의 크기를 선형적으로 감소, 혹은 증가시키는 방법[13] 등이 있다.

본 논문에서는 데드 타임을 보상하는 것이 아니라 데드 타임 자체가 필요 없는 새로운 인버터를 제안한다. 부하 전류를 측정할 필요도 없으며 데드 타임 보상을 위한 계산도 필요 없다. 제안된 인버터의 각 레그(Leg)에는 단락 전류(Short Current)를 블로킹(Blocking) 할 수 있는 트랜스포머(Transformer)가 들어가며 트랜스포머를 리셋(Reset) 할 수 있는 다이오드가 들어간다. 제안된 방법의 동작 원리에 대한 설명이 선행되고 타당성을 위한 시뮬레이션(Simulation) 결과가 제시된다.

2. 본 론

2.1 제안된 인버터

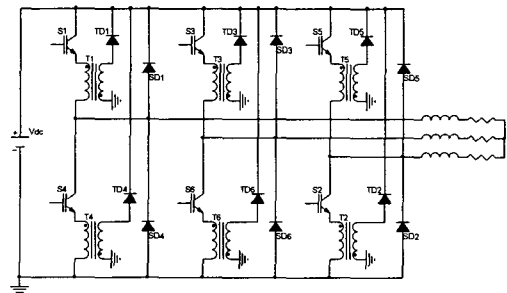


그림 1. 데드 타임이 필요 없는 인버터

그림 1은 제안된 인버터이다. 제안한 방법의 인버터 해석은 한 레그에 대해서만 행하며, 부하 전류가 양 일 때에 대해서만 설명한다.

2.1.1 제안된 인버터 해석

그림 2는 부하 전류가 양 일 때 각 모드(Mode)에 대한 전압 전류 파형이다. V_{G1}, V_{G2} 는 스위치 S_1, S_2 의 각 게이트 전압파형이고, i_{S1}, i_{S2} 는 스위치 S_1, S_2 에 흐르는 전류파형이고, i_{TD1}, i_{TD2} 는 각 트랜스포머의 리셋 다이오드 전류파형이며, i_{S12} 는 부군 스위치 환류 다이오드 전류파형이다. 여기서 V_{G1}, V_{G2} 파형이 겹치는 것을 볼 수 있는데, 이는 실제 소자에서 정군 스위치와 부군 스위치 사이에 데드 타임 없이 게이트 신호가 인가될 때의 상황을 연출한 것이다. 제안한 인버터의 신뢰성을 확실하게 하기 위해 $6\mu s$ 로 크게 주었다.

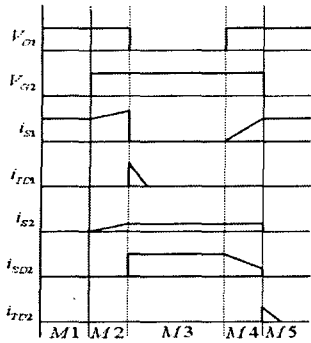


그림 2. 부하 전류가 양 일 때

2.1.1.1 모드 1

모드 1은 그림 2에서 스위치 S_1 만 켜져 있는 상태이다. 그림 3과 같이 전류 i_{s1} 은 스위치 S_1 , 트랜스포머 T_1 을 통해 부하로 흐른다.

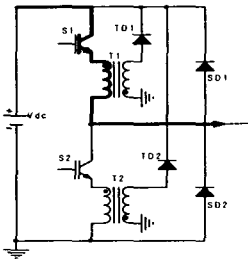


그림 3. 모드 1

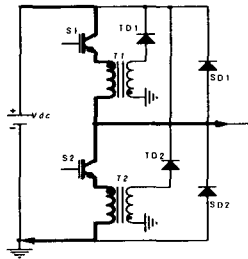


그림 4. 모드 2

2.1.1.2 모드 2

모드 2는 그림 2에서 스위치 S_1 과 S_2 가 동시에 켜져 있는 상태이다. 그림 4와 같이 부하 전류는 스위치 S_1 , 트랜스포머 T_1 을 통해 부하로 흐른다. 스위치 S_1 과 S_2 를 따라 흐르는 단락 전류는 트랜스포머 T_2 가 막고 있기 때문에 트랜스포머 인덕턴스의 크기에 따라 선형적으로 증가한다. 그림 2에서 전류 i_{s1} , i_{s2} 가 선형적으로 증가하는 것을 알 수 있다.

2.2.1.3 모드 3

모드 3은 그림 2에서 스위치 S_2 만 켜져 있는 상태이다. T_1 에 저장된 에너지는 스위치 S_1 이 꺼지는 순간 TD_1 을 통해 리셋(Reset) 된다.

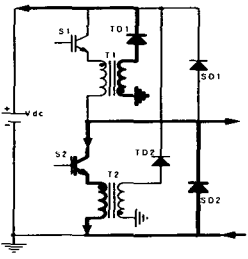


그림 5. 모드 3

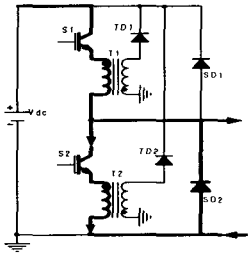


그림 6. 모드 4

그리고 부하 전류는 그림 2의 모드 3에서 다이오드 SD_2 를 통해 환류하고, 단락 시간 동안 선형적으로 증가했던 스위치 S_2 의 전류(T_2 에 저장된 에너지)는 T_2 와 SD_2 그리고 S_2 를 통해 계속 흐른다. 전류 i_{sD2} 는 전류

i_{s2} 와 부하 전류의 합이다.

2.1.1.4 모드 4

모드 4는 그림 2에서 스위치 S_1 과 S_2 가 동시에 켜져 있는 상태이다. 그림 6에서 트랜스포머 T_1 때문에 부하 전류는 갑자기 스위치 S_1 을 따라 흐를 수 없다. 그러므로 스위치 S_1 과 환류 다이오드 SD_2 통해 나뉘어 흐른다.

2.1.1.5 모드 5

모드 5는 그림 2에서 스위치 S_1 만 켜진 상태이다. 스위치 S_2 가 꺼지는 순간 환류 다이오드에 흐르는 전류 i_{sD2} (전류 i_{s2})는 경로를 잃고 TD_2 를 통해 리셋 된다. 부하 전류는 스위치 S_1 , 트랜스포머 T_1 을 통해 부하로 흐르고 모드 1 으로 돌아간다.

2.2 시뮬레이션

시뮬레이션에서 사용된 인버터는 2.1에서 제안한 그림 1과 같다. 사용된 프로그램은 Psim version 4.1 이고, 육샷 전압을 이용한 공간 벡터 전압 변조 방식을 사용하였다. 입력전압은 380V이고, 각 트랜스포머의 자화 인덕턴스 L_m 은 0.5mH이며, Y결선된 3상부하는 각각 1Ω, 30mH이다. 지령 전압의 크기는 최대 출력의 약 43%, 지령 주파수는 60Hz, 스위칭 주파수는 20KHz이다.

그림 7은 부하 전류가 양 일 때의 시뮬레이션 파형으로 2.1.1의 해석과 동일하다는 것을 알 수 있다.

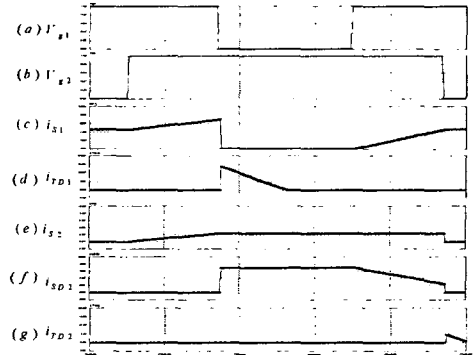


그림 7. 부하 전류가 양 일 때 시뮬레이션 파형

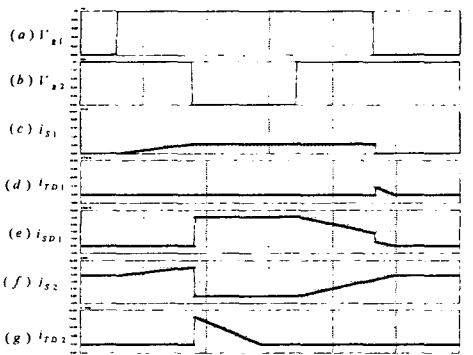


그림 8. 부하 전류가 음 일 때 시뮬레이션 파형

그림 8은 부하 전류가 음 일 때의 시뮬레이션 파형이다. 이는 부하 전류가 양 일 때와 같은 방법으로 각 모드에 대해 해석이 가능하며 또한 삼상의 경우에도 마찬가지로

가지이다.

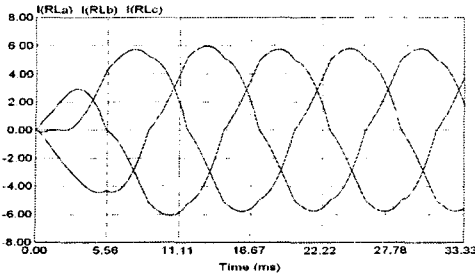


그림 9. 6 μs의 데드 타임을 삽입한 인버터

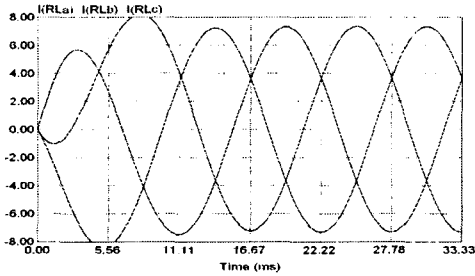


그림 10. 제안한 인버터의 출력전류 파형

그림 9는 제안한 인버터와 동일한 조건에서, 기존의 인버터에 6 μs의 데드 타임을 삽입한 경우의 부하 전류 파형이다. 인버터 출력전류는 데드 타임으로 인해 각 상 전류의 부하가 바뀔 때 마다 왜곡이 일어난다.

그림 10은 제안한 인버터의 부하 전류 파형으로 제안한 방법의 우수성을 확인할 수 있다.

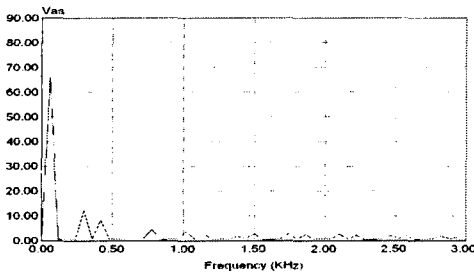


그림 11. 6 μs의 데드 타임을 삽입한 인버터

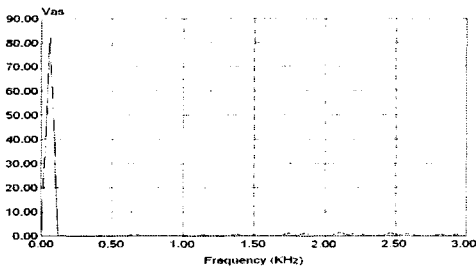


그림 12 제안한 인버터의 출력전압 FFT

그림 11은 제안한 인버터와 동일한 조건에서, 기존의 인버터에 6 μs의 데드 타임을 삽입한 경우의 출력 상전압 (V_{ao}) FFT(Fast Fourier Transform)이다. 그림에서

데드 타임으로 인한 5차, 7차 그리고 고차 고조파가 나타난다.

그림 12는 제안한 인버터의 출력 상전압 (V_{ao}) FFT이다. 출력전압 FFT 또한 고조파 함유율과 기본파의 크기에서 제안한 인버터의 성능을 보여준다.

이상이므로서 시뮬레이션을 통하여 제안한 방법의 타당성을 검증하였다.

3. 결 론

본 논문에서는 데드 타임 자체가 필요 없는 새로운 인버터를 제안하였다. 제안된 인버터의 각 레그에 트랜스포머를 삽입함으로써 단락 시간 동안 단락 전류를 효과적으로 블로킹 할 수 있었으며, 이를 통해 기존의 부하 전류 측정 및 연산에 대한 부담을 없앨 수 있었다.

그리고 제안된 인버터 해석과 시뮬레이션을 통해 그 타당성을 입증하였다.

[참 고 문 헌]

- [1] R. C. Dodson, P. D. Evans, H. T. Yazdi and S. C. Harley, "Compensating for dead time degradation of PWM inverter waveforms", in *Proc. Inst. Elect. Eng. B.*, vol. 137, pp.73-81, 1990.
- [2] S. G. Jeong and M. H. Park, "The analysis and compensation of dead-time effects in PWM inverters", *IEEE Trans. Ind. Electron.*, vol. 38, pp.108-114, Apr. 1991.
- [3] T. Sukegawa, K. Kamiyama, K. Mizuno, T. Matsui, and T. Okuyama, "Fully digital, vector-controlled PWM VSI-fed AC drives with an inverter dead-time compensation strategy", *IEEE Trans. Ind. Applicat.*, vol. 27, pp. 552-559, May/June 1991.
- [4] J. W. Choi and S. K. Sul, "A new compensation strategy reducing voltage/current distortion in PWM VSI systems operating with low output voltages", *IEEE Trans. Ind. Applicat.*, vol. 31, pp. 1001-1008, Sept./Oct. 1995.
- [5] J. W. Choi and S. K. Sul, "Inverter output voltage synthesis using novel dead time compensation", *IEEE Trans. Power Electron.*, vol. 11, pp. 221-227, Mar. 1996.
- [6] A. R. Muñoz and T. A. Lipo, "On-line dead time compensation technique for open-loop PWM-VSI drives", *IEEE Trans. Power Electron.*, vol. 14, pp. 683-689, July 1999.
- [7] N. Urasaki, T. Senjyu, K. Uezato and T. Funabashi, "On line dead-time compensation method for permanent magnet synchronous motor drive", in *IEEE ICIT'02 Conf.*, pp. 268-273, 2002.
- [8] H. S. Kim, H. T. Moon and M. J. Youn, "On-line dead time compensation method using disturbance observer", *IEEE Trans. Power Electron.*, vol. 18, pp. 1366-1345, Nov. 2003.
- [9] D. Leggate and R. J. Kerkman, "Pulse-based dead time compensator for PWM voltage inverters", *IEEE Trans. Ind. Electron.*, vol. 44, pp. 191-197, Apr. 1997.
- [10] J. S. Choi, J. Y. Yoo, S. W. Lim and Y. S. Kim, "A novel dead time minimization algorithm of the PWM inverter", in *IEEE IAS Annu Meeting, Conf. Rec.*, vol. 4, pp. 2188-2193, 1999.
- [11] C. Attaianesi and G. Tomasso, "Predictive Compensation of dead time effects in VSI feeding induction motors", *IEEE Trans. Ind. Applicat.*, vol. 37, pp. 856-863, May/June 2001.
- [12] T. Summers and R. E. Betz, "Dead time issues in predictive current control", in *IEEE IAS Annu Meeting, Conf. Rec.*, pp. 2086-2093, 2002.
- [13] A. C. Oliveira, C. B. Jacobina, A. M. N. Lima and E. R. C. da Silva, "Dead time compensation in the zero-crossing current region," in *IEEE PESC'03 Annu Conf.*, pp. 1937-1942, 2003.