

디지털 제어를 이용한 스위칭 전원장치에 관한 연구

원 기 식, 안 태 영.
 청주대학교 정보통신공학부

A Study On Active Clamp Power Supply Using Digital Control

Ki-Sik Won, Tae-Young Ahn.

School of Information and Communication Engineering, Cheongju University

Abstract - This is a thesis experiment result which is reported with using 16-Bit microprocessor H8 series of Renesas company, organizing digital control which is practicable PWM embodiment, and applying switched-mode power supply.

The basic topology consists of the active clamp forward DC-DC converter which is widely used for the highly efficient power supply these days. In an experiment, it incites the result to lay emphasis on the highly efficient operation of converter, and performance of digital control which is practicable PWM embodiment. And it is debated on performance of processor and condition for improving performance of part.

한 시비율 D에서 동작하고, 각 소자가 이상적인 특성을 갖는다고 가정하면, 그림 2와 같은 등가회로를 구성할 수 있다. 이때, MOSFET를 사용한 반도체 스위치는 이상적인 스위치로 생각하였고, 단 스위치 Q_1 은 내부 다이오드와 기생커패시터 C_{eq} 만 고려하였다. 변압기 T는 여자전류 i_m 자기 인덕턴스 L_m 를 고려하였다. 또한 출력 커패시터 C_F 는 충분히 크다고 가정하여 전류원 I_o 로 등가 하였다.

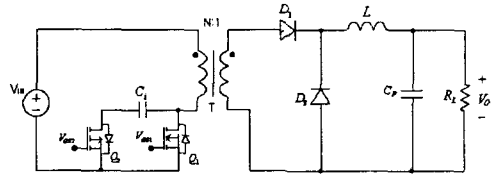


그림 1. 능동 클램프형 포워드 DC-DC 컨버터의 기본회로

1. 서 론

최근 마이크로프로세서의 발전으로 디지털 제어는 다양한 스위치모드 파워 컨버터에 점점 그 사용이 증가하고 있다. 마이크로프로세서를 이용한 디지털 제어는 다음과 같은 장점을 가지고 있다. 연산수행능력 및 메모리 기능으로 Real time clock과 같은 정밀한 타이머에 의한 주기적인 소모 전력량의 계산 및 상태를 메모리에 기록하여 전원장치에 대한 유지보수나 고장 시점의 진단 등에 대한 정보를 제공한다. 또한 재 프로그래밍이 가능한 플래시 메모리의 내장에 의한 별도의 하드웨어적인 변경 없이도 성능개선을 위한 제어기의 변경이 가능하여 제어기의 설계 및 변경이 용이하다. 이처럼 마이크로프로세서를 이용한 디지털 제어는 가격은 하락하고 성능은 더욱 높아지므로 향후 디지털제어기는 더욱 주목을 받을 것으로 판단된다.[1,2]

본 논문에서는 Renesas사의 16-Bit 마이크로프로세서 H8시리즈를 이용하여 PWM 구현이 가능한 디지털 제어 회로를 구성하여 스위칭 전원장치에 적용하여 그 실험 결과를 보고한 것이다. 기본 회로방식은 최근에 고효율 전원장치로 넓게 사용되고 있는 능동 클램프형 포워드 DC-DC 컨버터로 구성하였다. 실험에서 PWM으로 구현된 디지털 제어의 성능과 컨버터의 고효율 회로 동작을 중심으로 결과를 유도하였으며, 프로세서의 성능과 회로구성 부품의 성능을 향상시키기 위한 방법에 대해서 논의하였다.

2. 능동 클램프형 포워드 컨버터

그림 1에서 1차 측에서는 주 스위치 Q_1 과 변압기의 포화를 방지하기 위해서 보조 스위치 Q_2 로 구성하였고, 2측은 인덕터 L, 다이오드 D_1 과 D_2 를 이용한 능동 클램프형 포워드 DC-DC 컨버터의 기본 회로이다.[3-5]

그림 1의 기본회로가 일정한 스위칭 주파수 f_s 와 일정

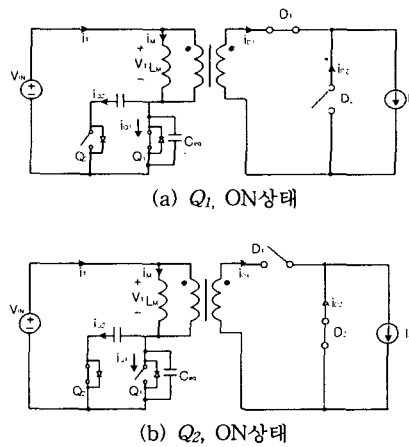


그림 2. 상태별 등가회로

그림 2는 상태별 등가회로를 나타내었다. 또한 각 소자에서 발생하는 이론적인 손실을 계산하기위해 저항 성분을 등가화 하여 표현하였다. 그림 3에서는 각 상태에 대한 이론 동작파형을 나타내었다. 이 때 두 개의 스위치가 동시에 온 되는 것을 방지하고, 영전압 스위칭이 가능하도록 데드타임을 인가하지만, 본 논문에서는 해석을 간단히 하기 위해서 무시하였다. 그림 2와 그림 3의 이론 동작파형으로부터 회로의 동작은 Q_1 이 ON이고 Q_2 가 OFF 되었을 때와 Q_2 가 ON이고 Q_1 이 OFF 되었을 때의 두 가지 상태로 다음과 같이 간단하게 설명된다.

우선 두 개의 스위치 Q_1 과 Q_2 는 일정한 주파수 f_s 와 시비율 D를 갖는 스위칭 신호에 의해서 제어된다고 가정한다. 그림 2 (a)의 등가회로에서 주 스위치 Q_1 이 제

어 신호에 의해서 도통되면 변압기 1차측 전압은 입력 전압 V_{IN} 와 같아지고, 변압기 권선비 N에 의해서 2차측 전압이 유기되면서 D_1 에 양의 전압이 인가되므로 ON 상태가 되고, D_2 는 역바이어스 되므로 따라서 OFF 상태가 된다. 그림 2 (b)의 등가회로에서 보조 스위치 Q_2 가 제어 신호에 의해서 턴 온 되고, 변압기 권선비 N에 의해서 D_2 는 ON 상태가 되고, D_1 는 OFF 상태가 된다.

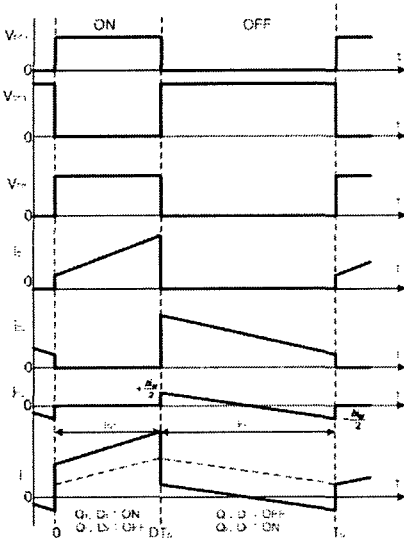


그림 3. 각 상태에 대한 이론 동작파형

3. 디지털방식의 PWM 제어

본 논문에서 디지털 제어를 위해서 필요한 마이크로프로세서는 16-Bit 내부구조를 가진 고속 H8/3672이다. H8/3672 마이크로프로세서의 종류는 핀 개수에 따라 FP-48F와 FP-64F로 나누어지는데 본 논문에서 사용할 마이크로프로세서는 FP-48F이다. H8/3672의 내부에 16kbyte 플래시 ROM과 2kbyte의 RAM을 가지며 두 개의 타이머 V(8Bit)와 타이머 W(16 Bit)를 비롯하여 watchdog 타이머, 비동기 또는 동기 시리얼 인터페이스(SCI3), 10Bit A/D 컨버터를 내장하고 있다. 그림 4는 H8/3672의 내부 블록 다이어그램을 나타내었다.

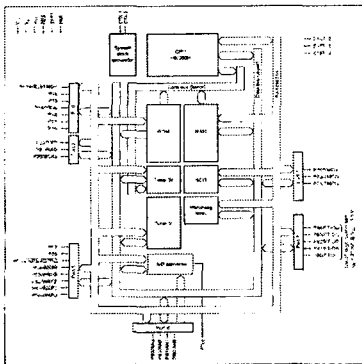


그림 4. H8/3672 내부 블록 다이어그램

능동 클램프형 포워드 DC-DC 컨버터를 디지털 제어를 하기 위해서 제어 회로가 필요하다. 제어회로를 위해서 간단하게 설명한 H8/3672를 이용하여 쉽게 디지털

제어회로를 만들 수 있다. PWM은 마이크로프로세서의 타이머W를 이용하여 쉽게 PWM 파형을 만들 수 있다. 그림 5는 PWM 발생 원리를 보여주고 있다. 출력신호 1이 되고, TCNT(Timer counter)는 일치 비교 A에서 클리어 되고, 출력 신호는 일치 비교 B, C, D(TOB, TOC, 그리고 TOD=1 : 초기 출력 값들은 1로 설정된다.)에서 0이 된다. PWM 파형은 FTIOB, FTIOC, 그리고 FTIOD 핀들로부터 출력된다. PWM 모드에서 범용 레지스터는 자동적으로 출력 비교 레지스터 기능을 한다. 각 핀의 출력 레벨은 TCRW(Timer control register W)에서 상응하는 타이머 출력 레벨 설정 비트(TOB, TOC, TOD)에 의존한다. 마이크로프로세서의 PWM 분해능은 최대 16Bit 이지만 설정된 주기 레지스터의 값에 따라 그 분해능이 낮아지므로 본 논문에서는 H8/3672 마이크로프로세서의 분해능을 고려하여 20kHz의 스위칭 주파수를 사용하였다.

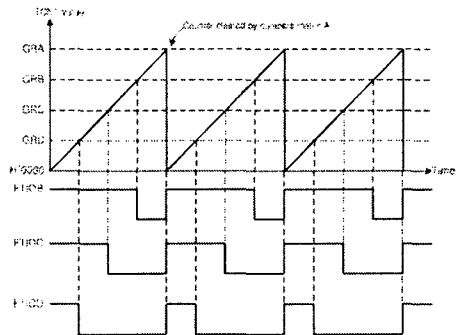


그림 5. PWM 발생 개념

출력전압을 일정하게 유지하기 위해서는 PWM 펄스폭을 조절하여 출력전압을 유지하는데 PWM 펄스폭은 컨버터에서 출력된 전압을 마이크로프로세서의 A/D 컨버터 단자와 연결하면, A/D 컨버터는 아날로그 값을 디지털 값으로 변환하여 프로그램에서 설정한 값과 비교 및 연산하여 PWM 펄스폭을 조절한다.

4. 실험 결과

표 1에서는 본 논문에서 제안된 컨버터의 설계 사양을 나타내었다.

표 1. 실험 회로의 사양

Parameters	Name	Value	Unit
Input voltage range	V_i	48	V
Output voltage	V_o	5	V
Output current	I_o	5	A
Maximum output power	P_o	25	W
Switching frequency	f_s	20	kHz

본 논문에서 제안된 회로의 입력 전압은 48V, 출력은 5V, 5A로 설계하였으며 스위칭 주파수는 20kHz로 설계하였다. 그림 6은 실험 회로를 나타내었고, 그림 7은 정상 상태에서의 주스위치와 보조 스위치의 게이트-소스와 드레인-소스 파형을 나타낸 것이고, 그림 8은 주스위치의 드레인-소스와 트랜스의 전류파형을 나타내었다. 그림 9는 출력전류에 따른 출력전압을 나타낸 그림이고, 그림 10은 출력전류에 따른 효율을 나타낸 그림이다.

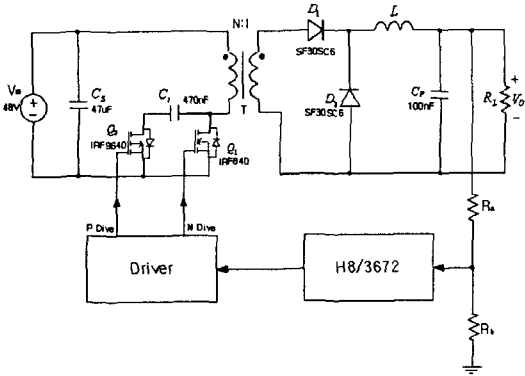


그림 6. 디지털 제어를 이용한 능동 클램프형 파워드 DC-DC 컨버터 실험 회로도

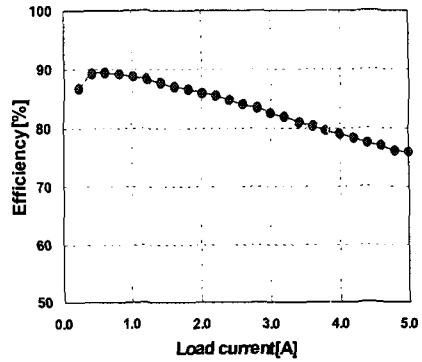


그림 10. 출력전류에 따른 전력변환 효율

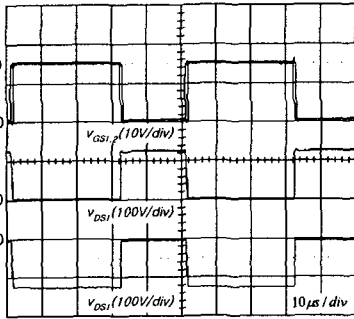


그림 7. 주스위치와 보조스위치의 게이트-소스와 -소스 파형 (입력전압 48V, 출력전류 5A)

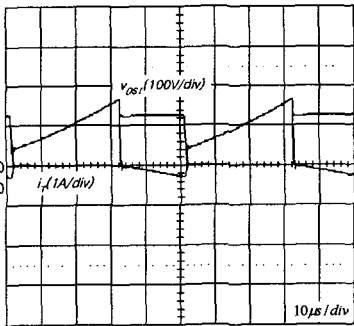


그림 8. 주스위치의 드레인-소스와 변압기의 전류 파형 (입력전압 48V, 출력전류 5A)

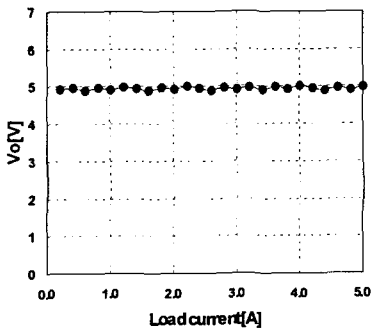


그림 9. 출력전류에 따른 출력전압

5. 결 론

일반적으로 제조가격에 민감한 전원장치 분야에서도 점차 제어가 복잡해지고 시스템과의 유기적인 정보공유를 위해서 향후 통신기능이 부가된 마이크로프로세서가 적용될 전망이다. 본 논문에서는 'Renesas'사의 16-Bit 마이크로프로세서 H8 시리즈를 이용하여 PWM 구현이 가능한 디지털 제어 회로를 구성하여 스위칭 전원장치에 적용하여 그 실험 결과를 보고한 것이다.

기본 회로방식은 최근에 고효율 전원장치로 넓게 사용되고 있는 능동 클램프형 파워드 DC-DC 컨버터로 구성하였다. 실험에서 디지털 제어와 아날로그 제어의 성능을 비교 및 분석, 컨버터의 고효율 회로 동작을 중심으로 결과를 유도하였으며, 프로세서의 성능과 회로구성 부품의 성능을 향상시키기 위한 최적의 스위칭 주파수를 선정하였다.

최근의 프로세서의 성능이 보다 향상되며 소비전력과 가격이 급격히 하락하고 있는 추세이며 외형의 형태도 소형화된 제품이 계속 출시되고 있다. 본 연구 결과는 향후 저가이면서 고속의 프로세서를 사용하여 고주파 스위칭 주파수를 갖는 PWM 제어를 구성하여 최적 회로설계를 거쳐서 성능을 개선시킨 전원장치 제작에 활용 할 예정이다.

이 연구는 과학기술부 · 한국과학재단 지정 청주대학교 정보통신 연구 센터의 지원에 의한 것입니다.

[참 고 문 헌]

- [1] Y.Duan and H. Jin, "Digital controller design for switchmode power converters", in Proc. IEEE Appl. Power Electron. Conf.(APEC), vol.2, 1999, pp. 967-973
- [2] L.Rossetto, "Control Techniques for power factor Correction Converters", University of Padova.
- [3] Yuri Panov and Milan M. Jovanovic, "Design and Performance Evaluation of Low-Voltage / High Current DC-DC On Board Modules" IEEE Trans. on Power Electronics, vol. 16, No. 1, January 2001.
- [4] Haruo Watanabe, Hirofumi Matsuo, Haruhiko Hatakeyama, "Design Oriented Analysis of a Novel Soft-Switching DC-DC Converter with 2V/20A DC Output" IEEE PESC 01. pp. 884-889, 2001.
- [5] Laszlo Huber, Milan M. Jovanovic, "Forward - Flyback Converter with Current Doubler Rectifier: Analysis, Design, and Evaluation Results," IEEE Trans. on Power Electronics, vol. 14, No. 1, pp. 184-192 January 1999.