

PDP용 전원 장치를 위한 고효율 DC-DC 컨버터

강 원 석, 안 태 영  
 청주대학교 정보통신공학부

High Efficiency DC-DC Converter for PDP Power Supply

Won-Suck Kang, Tae-Young Ahn

Dept. Information and Communication Engineering, Cheongju University

**Abstract** - Recently the PDP is the most remarkable media for a next generation display device. In this paper, we proposed the PDP dedicated DC-DC converter using a new soft switching method because the PDP has a lot of power dissipation so we need to develop. The proposed converter using one transformer has soft switching and a advantage to lower voltage stress in switch and also is predicted to have high power efficiency. we proposed the principles and theory using the zero voltage switching and verified the validity through a experiment.

1. 서 론

최근 과학기술 발전과 생활수준의 향상으로 보다 크고 선명한 디스플레이 매체를 필요로 하게 되었다. 하지만 기존의 CRT TV로 디지털 방송 및 멀티미디어 방송의 소비자 욕구 충족의 한계가 있기 때문에 CRT 방식 이후 새로운 매체들의 개발을 필요로 하게 되었다.<sup>[1-2]</sup> 그 중 대표적인 차세대 디스플레이 방식으로 TFT LCD, ECD, PDP등이 있지만, 대형 화면에서 가장 주목을 받고 있는 것은 PDP 방식이다. 고전압 방전을 이용한 평면 표시 장치로 넓은 시야각을 가지고 있으며 박형 제작과 대형화 고품질의 화면을 구사하는 PDP는 어떤 디스플레이 장치보다 유리한 이점을 가지고 있다.<sup>[3-4]</sup> 하지만, 높은 가격과 수백 와트 이상의 많은 전력을 소비하고 있기 때문에 저 소비전력으로 동작하는 제품의 개발을 필요로 하고 있다.<sup>[5-7]</sup>

본 논문에서는 가장 많은 소비전력을 소모하는 전원 회로에 새로운 소프트 스위칭 방식을 제안하고, 제안된 회로를 실제 제작한 DC-DC 컨버터의 결과를 보고한 것이다. 제안한 회로의 특징은 변압기의 누설 인덕턴스를 이용한 소프트 스위칭의 장점을 가지고 있으며, 제안된 회로는 변압기 2개를 사용함으로써 회로의 높이를 낮출 수 있고, 스위칭 전압 스트레스가 입력전압으로 낮아 높은 전력 변환 효율의 장점을 가지고 있다. 따라서 제안된 회로의 동작 특성을 각 상태로 이론적으로 분석하고 실험을 통하여 결과를 확인하였다.

2. 새롭게 제안한 DC-DC 컨버터

새롭게 제안된 DC-DC 컨버터 회로는 그림 1에서 보여주고 있으며, 기본적으로 비대칭 하프 브릿지의 특성을 가지고 있다. 그림 1에서 1차측은 2개의 스위치 Q<sub>1</sub>, Q<sub>2</sub>, 커패시터 C<sub>1</sub>, C<sub>2</sub>와 인덕터 L<sub>LK</sub>는 변압기 내의 누설 인덕턴스를 나타냈고 2차측은 정류 다이오드와 출력 필터인 인덕터, 커패시터로 구성하였다. 1차측 스위치 Q<sub>1</sub>, Q<sub>2</sub>는 비대칭의 시비율로 동작하며 주스위치 Q<sub>1</sub>은 시비율 D<sub>1</sub>=0.5로 제한을 받고 보조스위치 Q<sub>2</sub>는 시비율 D<sub>2</sub>=(1-D<sub>1</sub>)로 결정된다.

그림 2는 그림 1의 기본회로가 일정한 스위칭 주파수 f<sub>s</sub>와 한 주기에서 일정한 데드타임을 갖는 스위칭 신호에 의해 주스위치와 보조스위치가 제어되고 MOSFET을 이용한 스위치는 이상적이라고 가정했을 때의 등가회로를 나타낸 것이다. 스위치 Q<sub>1</sub>, Q<sub>2</sub>에 기생 커패시터를 C<sub>eQ1</sub>, C<sub>eQ2</sub>라고 고려하고, 변압기는 자기 인덕턴스 L<sub>M1</sub>, L<sub>M2</sub>와 내부 누설인덕턴스 L<sub>LK</sub>를 고려하였다. 커패시터 C<sub>1</sub>, C<sub>2</sub>를 충분히 크다고 가정하면 정전압원으로 볼 수 있고 2차측 L<sub>F</sub>를 정전류원으로 등가화 시킨다면 그림 2와 같이 표현할 수 있다.

그림 3에서는 정상상태에서 동작하는 경우, 각 스위치 Q<sub>1</sub>, Q<sub>2</sub>, Q<sub>3</sub>, Q<sub>4</sub>의 동작 상태에 따른 등가회로를 나타내었다. 그림 3(a)의 등가회로에서 주스위치 Q<sub>1</sub>이 제어 신호에 의해 온 되면 변압기 1차측의 스위치 전압은 입력전압으로 제한되고 2차측 변압기에는 V<sub>C1</sub>/N의 전압이 유기되면서 Q<sub>4</sub>는 온이 된다. 따라서 전류는 Q<sub>4</sub>를 통하여 흐르게 되므로 Q<sub>3</sub>는 역 바이어스 상태로 오프 된다. 그림 3(b)에서 제어 신호에 의해 보조 스위치 Q<sub>2</sub>가 턴 온이 되면 V<sub>P1</sub>, V<sub>P2</sub>는 -V<sub>C2</sub>의 전압과 같아지게 되고 권선비에 의해 2차측에 전압은 -V<sub>C2</sub>/N으로 유도되어 Q<sub>3</sub>가 턴 온이 되고 이때 Q<sub>4</sub>는 역 바이어스가 되면서 차단된다. 그림 4는 그림 3에서의 각 상태별 이상적인 이론 파형을 보여 주고 있다.

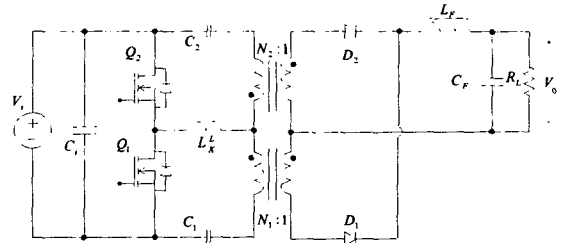


그림 1. 새로운 소프트 스위칭 방식의 DC-DC 컨버터

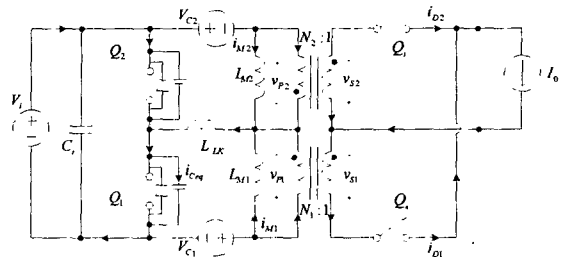
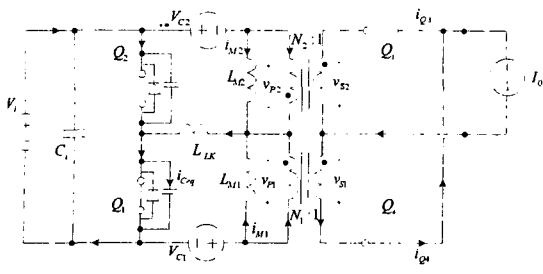
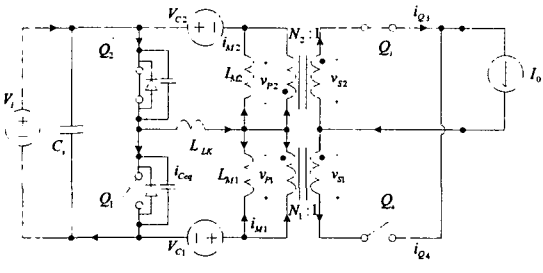


그림 2. 등가 회로



(a) Q1 온 상태



(b) Q2 온 상태

그림 3. 상태별 이론 등가 회로

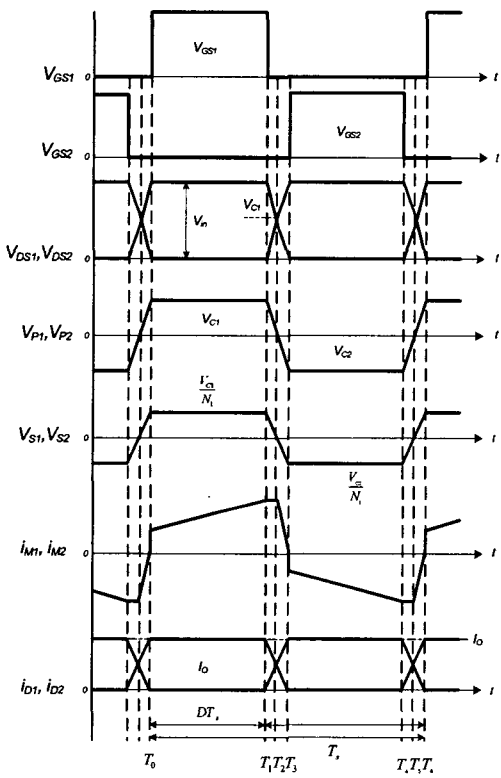


그림 4. 상태별 이론 동작 파형

$$V_o = \frac{V_i \cdot 2D(1-D)}{N} \quad (1)$$

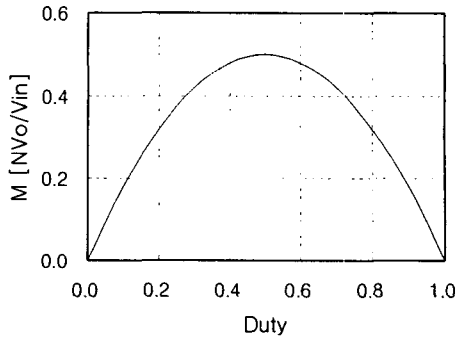


그림 5. 시비율에 대한 입력력 전압 비

표 1. 실험 회로의 설계 사양

| Parameter            | Value | Unit |
|----------------------|-------|------|
| Input Voltage        | 400   | V    |
| Output Voltage       | 180   | V    |
| Maximum Load Current | 2.5   | A    |
| Maximum Power        | 450   | W    |
| Switching Frequency  | 100   | kHz  |

이상의 동작 상태로부터 데드타임이 스위칭 주기 내에서 아주 작아 무시한다고 가정하였을 때, 식(1)과 같은 출력 전압의 특성 식을 구할 수 있다. 여기에서 권선비는  $N=(N_p/N_s)$  이다. 식(1)에서 알 수 있듯이 권선비가 일정하다면 입력전압에 대한 출력전압의 최대 비는  $D=0.5$ 일 때로 주스위치의 최대 시비율은 0.5로 제한을 받고 보조스위치의 시비율은  $(1-D)$ 으로 되는 것을 그림 4에서 보여 주고 있다.

### 3. 실험 결과

앞 절에서 언급한 소프트 스위칭 방식의 새로운 DC-DC 컨버터의 특성을 검토하기 위해서 표 1과 같이 전기적 사양을 정하였다. 입력전압은 교류입력에서 발생하는 고조파 성분을 저감시키기 위하여 사용한 전단의 PFC(Power Factor Correction)의 출력전압 400V를 입력으로 하기 때문에 입력전압을 400V로 정하였고, 출력전압은 180V로 설계하였다. 출력전력은 최대 450W급으로 설계하였으며 스위칭 주파수는 100kHz로 구현 하였다. 표 1의 사양으로부터 그림 6과 같은 실험회로를 구현하였다. 실험회로에서는 2차측의 서지전압 영향으로 다이오드 2개를 직렬로 구현하였고, 동작전압 범위를 제한하여 회로를 보호하는 입력전압 보호 회로를 추가하였다. 또한 실험에 적용된 PWM IC는 시비율이 50%로 제한받기 때문에 최대 시비율이 49%인 Fairchild사의 KA7553으로 하였으며, 2개의 스위치를 드라이버 해주기 위하여 IR사의 IR21084S 드라이버 IC와 반전 입력을 위한 MICREL사의 MIC4417 IC를 사용하였다.

그림 7에서는 제안한 회로의 실험파형을 보여주고 있다. 실험 파형을 통하여 데드 타임이 거의 없이 시비율 D로 제어가 되고 스위칭 전압스트레스가 입력전압으로 제한 되는 특성을 확인할 수 있다. 또한 스위치 전압이 0으로 떨어진 후 전류가 흐름으로써 소프트 스위칭 동작을 하고 있다는 것을 알 수 있다. 그림 8에서는 전체 시스템의 효율을 나타내고 있다. 최대 부하에서 95%이상의 고 효율을 나타내고 있고, 그림 9에서와 같이 소프트 스위칭을 통한 손실의 감소를 확인할 수 있었다.

#### 4. 결론

본 논문에서는 고효율 특성이 필요한 PDP용 전원 장치 중에서 서스테인용 전원에 적합한 소프트 스위칭 방식의 하프브릿지 형태의 DC-DC 컨버터를 제안하였다.

입력 고조파 성분을 제거하기 위해서 AC PDP 입력에 PFC단을 구성 하였고 PDP의 서스테인 전압을 제공하기 위한 직류전원장치를 연결하여 2단의 시스템으로 실험한 결과, 전력변환 효율이 최대 부하에서 95%이상의 고효율을 달성할 수 있었다. 실험과 정상상태 해석을 통해서 제안한 컨버터는 출력전압이 최대값을 갖는 시비율에 의해서 제어되며, 변압기의 누설 인덕턴스를 이용하여 소프트 스위칭이 가능하고, 스위치의 전압 스트레스가 입력 전압으로 제한되기 때문에 저저항의 낮은 전압정격의 반도체 스위치를 사용할 수 있으므로 전력 변환 효율을 높일 수 있다는 것을 밝혔다.

따라서, 제안된 컨버터를 이용한 PDP 전원장치는 이상의 결과로부터 박형, 고효율, 낮은 전력손실의 대응량 PDP 전원장치의 요구에 적합한 회로방식으로서 실용 가능성이 높은 것으로 판단된다.

본 연구는 과학기술부·한국과학재단 지정 청주대학교 정보통신 연구센터의 지원에 의한 것입니다.

#### [참 고 문 헌]

- [1] 주정규, 안태영 "소프트 스위칭 방식의 PDP용 DC-DC 컨버터", 전력전자 하계학술대회 June, 2003.
- [2] Haruo Watanabe Hirofumi Matsuo, "Design orient Analysis of a Novel Soft-Switching DC-DC Converter with 2V/20A DC Output", Power Electronics Specialists Conference, 2001. PESC. 2001 IEEE 32nd Annual, Volume: 2, 17-21 June 2001.
- [3] Yi-Hsin Leu, Chern-Lin, "Analysis and Design of Two-Transformer Asymmetrical Half-Bridge Converter", IEEE, 2002.
- [4] Tobias Tolle, Thomas Duerbaum "Modelling of ZVS Transitions in Asymmetrical Half-Bridge PWM Converters", IEEE, 2001.
- [5] Weiyun Chen, Peng Xu and Fred C. Lee "The Optimization of Asymmetric Half-Bridge Converters", IEEE, 2001.
- [6] Sergey Korotkov, Valery Meleshin, Rais Miftahutdinov, Simon Fraidlin, "Soft-switched Asymmetrical Half-bridge DC/DC Converter: Steady-state Analysis of Switching Processes", Telecommunications Energy Special Conference, 97, 1997.
- [7] Marcelo Lobo Heldwein, Alexander Ferrari de Souza and Ivo Barbi, "A Primary Side Clamping Circuit Applied to the ZVS-PWM Asymmetrical Half-Bridge Converter", INTELEC, 2000.

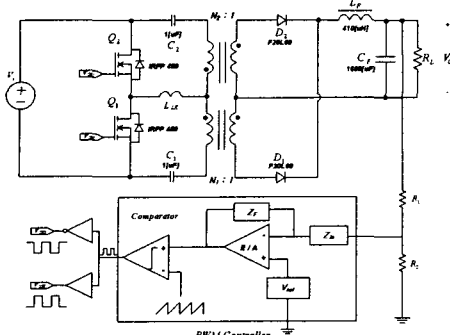


그림 6. 실험 회로

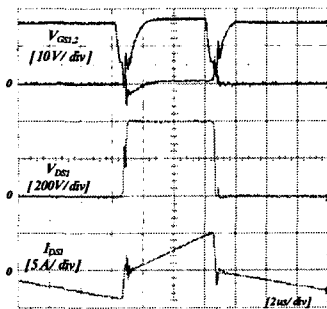


그림 7. 실험 파형 (Po = 450W)

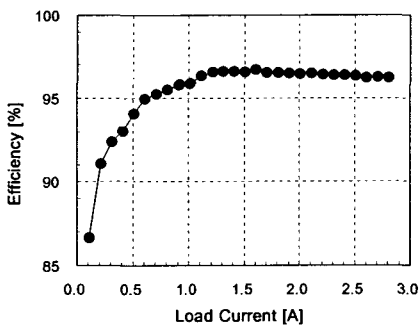


그림 8. 부하 특성에 따른 전력변환 효율

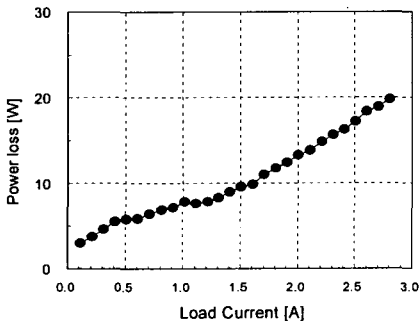


그림 9. 부하 특성에 따른 전력 손실