

철도신호용 통신 프로토콜의 적합성 시험도구 개발에 관한 연구

이재호*, 황종규*, 서미선**, 김성운*
 *한국철도기술연구원, **부경대학교

A Study on Conformance Test Tool of Communication Protocol for Railway Signaling Systems

*Korea Railroad Research Institute(KRRI), **Pukyong National University
 Lee Jae-Ho*, Hwang Jong-Gyu*, Seo Mi-Seon**, Kim Sung-Un*

Abstract - 비정형적인 방법에 의해 설계되어진 프로토콜은 불확실성과 오류를 내포하고 있을 수 있으며, 이러한 특성은 프로토콜의 안전성에 매우 심각한 영향을 미치게 된다. 또한 구형되어진 프로토콜 명세에 만족하게 구현되어졌는지를 확인하는 것 또한 프로토콜 엔지니어링에서 매우 중요한 부분이다. 즉, 프로토콜 명세의 정형검정과 적합성 시험은 프로토콜 개발 과정에서 매우 중요한 부분이다. 본 논문에서는 유한상태 레이블 천이 시스템(LTS Labeled Transition System)으로 명세화된 철도 신호제어용 프로토콜 Type 1 모델에 대한 적합성 시험을 위하여 프로토콜 제어흐름을 I/O FSM으로 모델링 하였으며, 이 명세로부터 UIO 방법에 의한 적합성 시험 계획 생성방법을 제시하였다. 또한, 프로토콜 검정 및 적합성 시험 방법을 실제 프로토콜의 정확성을 분석하는데 사용할 수 있도록 프로토콜 검정기와 시험기를 Windows 환경하에서 GUI기능에 의해 Window상에 구현되도록 하여 프로토콜 명세의 정확성을 평가할 수 있게 하였다.

하고 지겨운 과정이다. 따라서 개발에 소요되는 비용 및 시간을 줄이기 위해서 본 연구에서는 적합성시험계획을 자동으로 생성시켜주는 도구를 개발하였다. 개발된 도구를 이용해 철도신호용 프로토콜 Type 1을 적용하여 실험적 증면을 통하여 검정 및 시험에 매우 강력한 성능을 나타냄을 보였다. 본 논문에서는 철도신호용 프로토콜 Typ1을 간략하게 설명하고 본 연구에서 적용한 적합성 시험 방법, 개발한 툴 및 적용결과에 대해 설명한다.

2. 철도프로토콜 Type1

2.1 FSM 명세 및 LTS 모델링

철도신호용 프로토콜 Type 1은 철도청에서 운용하는 열차집중제어장치(CTC Centralized Traffic Control)와 전자연동장치(EIS Electronic Interlocking System)간의 인터페이스를 위한 프로토콜을 정의한 것이다. 프로토콜 Type 1의 전송메시지 프레임 구조는 그림 1과 같다[1].

1. 서론

최근 들어 전자, 컴퓨터, 통신기술의 발달에 따라 철도신호제어장치들이 전자화되어감으로 각 장치간 인터페이스를 위한 링크들이 디지털 통신채널로 대체되는 등 다양화되어 통신링크의 중요성이 점점 증가되고 있다.

이러한 철도신호시스템들 사이의 정보전송을 위한 통신 프로토콜은 다른 일반 제어장치들과는 달리 바이탈한 정보들이 전송되어지므로 보다 높은 안전성 특성 및 신뢰성이 요구되어진다. 따라서 철도신호용 프로토콜은 잠재적 설계에러가 없어야 하며, 사용자 요구사항과 일치하고 다른 프로세서와의 통신이 원활하게 이루어져야 한다. 따라서, 철도신호용의 새로운 프로토콜을 설계하기 위해서는 사용자 요구사항 분석, 프로토콜의 구조적 설계 및 명세화, 검정, 구현, 적합성 시험 등의 단계를 거쳐야 하며, 이러한 프로토콜 개발 단계 중 검정 및 적합성 시험은 가장 핵심이 되는 부분이다[2,6].

이러한 프로토콜의 검정 및 시험을 위한 일반적으로 적용되고 있는 비정형적(Informal) 방법은 명세의 모호함과 불완전성 등의 많은 오류와 비효율성을 내포하고 있을 수 있다. 따라서 철도신호용 프로토콜을 개발함에 있어 이러한 문제점의 해결을 위해 본 연구에서는 현재 산업용 바이탈 제어시스템의 설계에 일부 적용되고 있는 정형기법(Formal Method)을 프로토콜의 설계에 적용하였다. 이를 위해 우선 형식언어(Formal Specification Language)의 하나인 LTS(Labeled Transition System)로 프로토콜을 명세화하고, 모형검사기법에 의해 정형검정하기 위해 대수적 명세기법인 Modal mu calculus 방법을 적용하여 정형검정하였다[1]. 또한 프로토콜 구현의 정확성을 검정하기 위한 적합성 시험을 위한 UIO(Uni u e Input Output) 방법을 적용하여 시험계획을 생성한다. 하지만 이러한 적합성 시험계획 생성 과정은 매우 복잡

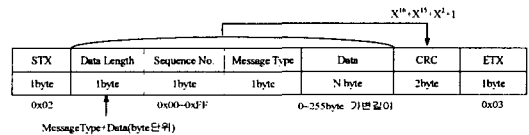


그림 1 Type 1 메시지 프레임

일반적으로 I/O FSM은 각 천이는 하나의 입력과 하나의 출력에 의해 일어나는 것으로 프로토콜의 제어 부분을 명세화 하는데 많이 사용되어져 왔다. 즉, LDTS는 EIS로 폴링 메시지와 진로설정이나 선로전환기 혹은 주 신호기 등을 제어하는 제어 메시지를 전송하고, EIS는 LDTS로 현장 신호설비들의 상태정보 메시지와 제어 메시지에 대한 응답(ACK)을 전송한다. 그림 2는 Type 1의 흐름 제어를 I/O FSM으로 모델링한 것이다.

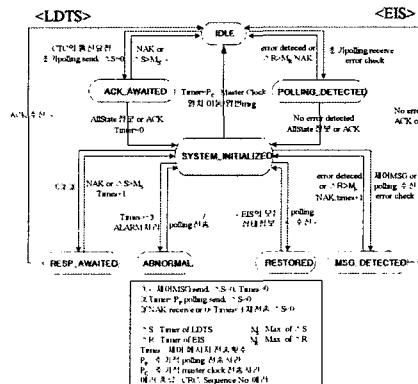


그림 2 Type 1의 I/O FSM 모델링

LTS는 프로토콜을 검정하는 정형명세기법 중 프로토

콜 정형명세를 위한 의미모델로서 많이 사용되며, LTS로 모델링은 그림 3과 같다.

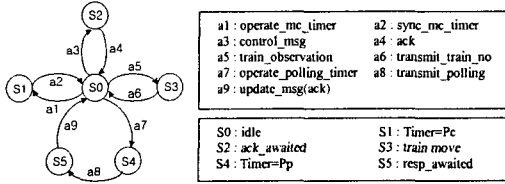


그림 3 프로토콜 Type 1의 LTS 모델링

이러한 LTS 모델로부터 정형명세를 위해서 Model mu calculus 로직을 적용하였고 또한 "Solve 알고리즘을 적용하여 모델체킹을 수행하였다. 이 결과로부터 제시된 Type 1 프로토콜의 안전성 및 필연성이 검증되게 되었다[1].

3. 적합성 시험

본 장에서는 적합성 시험의 정의를 기술하고 I O FSM 프로토콜 명세로부터 구현물에 대한 적합성 시험 계열을 생성하는 방법을 제시한다.

3.1 적합성 시험의 정의

적합성 시험의 목적은 어떤 프로토콜의 구현 I(Implementation)가 원래 명세 S(Specification)에 합당하게 구현되었는지를 시험하는 것으로 통신 프로토콜 제품 구현 과정에서 중요한 역할을 한다[3-6]. 일반적으로 적합성 시험의 정의는 주어진 명세 S를 기초로 하여 생성된 시험계열로서 구현 I가 명세 S에 대해 프로토콜 행위와 능력이 일치하는지를 시험하는 것이다.

시험 계열 생성을 위한 일반적인 많은 방법들은 명세 S가 I O FSM 형태로 표현된 프로토콜로부터 출발하는데, 프로토콜의 명세를 나타내는 I O FSM 모델이 그림 5와 같이 주어질 때 적합성 시험은 아래와 같이 이루어진다.

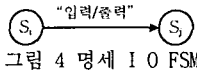


그림 4 명세 I O FSM

명세 I O FSM의 상태 Si에 해당하는 상태로 구현 I O FSM을 위치시킨다. 명세 I O FSM에서 얻어진 시험 계열 "입력"을 구현 I O FSM에 적용시킨 후 생성되는 출력"을 판단한다. 구현 I O FSM에서 생성된 출력과 명세 I O FSM에서 기술된 출력과 같은지를 확인하고 도착한 상태가 명세 I O FSM의 것과 같은지를 검증한다.

3.2 UIO 방법에 의한 적합성 시험 계열 생성

UIO 시퀀스는 시험하는 천이 후에 도착한 상태의 유일한 입력/출력 시퀀스를 시험 계열에 포함시켜 적용한 후, 구현 I O FSM의 결과 상태를 확인하는 방법이다. I O FSM으로 표현된 프로토콜 명세로부터 적합성 시험 계열 생성은 명세에 나타나 있는 각 천이에 도착 상태의 UIO 시퀀스를 concatenation하여 생성하는데 다음과 같은 식으로 나타낼 수 있다.

$$Ri \cdot \text{short path}(S0 Si) \cdot Tij @ UIO(Sj) \quad (1)$$

식 (1)에서 Ri는 시험대상을 초기화 상태로 보내는 심볼이며, short path(S0 Si)는 초기상태 S0에서 해당 시험천이에 대한 시작 상태까지 최단 경로, Tij는 시험되어야 할, 즉 명세 I O FSM의 상태 Si에서 Sj로 보내는 천이를 나타내고, UIO(Sj)는 도착 상태의 UIO 시퀀스를 나타낸다. 또 @는 concatenation 심볼이다. 여기서 UIO 시퀀스는 시험되는 천이에 의해 도착된 상태가 명세에서

원하는 올바른 Sj인가를 시험하는데 사용된다. 위에서 제시된 UIO 시퀀스 생성 알고리즘은 다음과 같다.

- 입력 : 프로토콜 명세 I O FSM
 출력 : 모든 상태의 UIO시퀀스
 (1) 길이 1의 모든 천이가 어느 상태 Si에만 홀로 존재하는지 검사 (초기에는 I 1).
 (2) 만약 스텝 1에서 길이 1의 UIO와 Si를 위해 존재하지 않으며 모든 천이에 대해 검사한 후 길이 1로써 반복한다.
 (3) 주어진 I O FSM의 다른 모든 상태에 대해서 (1)과 (2)를 반복한다.

그림 5 UIO 시퀀스 생성 알고리즘

간결성을 위해 프로토콜 Type 1의 I O FSM 모델의 각 천이를 약어로 대체하고, 위 알고리즘을 적용하여 각 상태별 UIO 시퀀스를 구한 것이 표 1과 같다.

표 1 Type 1 상태별 UIO 시퀀스

상태	UIO 시퀀스
IDLE(S0)	CTC통신요청/초기polling.send, ΔS=0 (A)
ACK_AWAITED(S1)	AllState정보 or ACK/Timer=0 (E)
POLLING_DETECTED(S2)	Error detected or ΔR>MR/NAK (C)
SYSTEM_INITIALIZED(S3)	-/제어MSG.send, ΔS=0, Times=0 (I)
RESP_AWAITED(S4)	ACK 수신/ - (S)
MSG_DETECTED(S5)	Error detected or ΔR>MR/NAK, Times+1 (Q)
ABNORMAL(S6)	-/Polling전송 (N)
RESTORED(S7)	-/EIS의 모든 상태정보 (O)

UIO 시퀀스를 사용하여 I O FSM 모델로부터의 시험 계열 자동 생성을 위한 여러 가지 방법들이 제안되었다[6]. 본 논문에서는 구현 I O FSM 내에 명세 I O FSM에 명세된 각 천이가 존재하는지를 시험하기 위해 명세 I O FSM으로부터 단일 시험 계열을 생성하는 방법인 최적화 기술을 사용한다. 표 2을 사용하여 식 (1)을 적용하면 표 2와 같은 프로토콜 Type 1에 대한 적합성 시험 계열이 생성된다. ()내에 표현된 상태는 하나 이상의 천이에 대한 구별로서 출발상태와 도착상태를 나타낸다.

표 2 Type 1에 대한 적합성 시험 계열 생성

천이	천이에 대한 시험열	천이	천이에 대한 시험열
A	Ri:A-E	J	Ri:A-E:J-S
B	Ri:A-B-A	K	Ri:A-E:K-S
C	Ri:D-C-A	L	Ri:A-E:L-I
D	Ri:D-C	M	Ri:A-E:M-N
D	Ri:A-E-I	N	Ri:A-E:M-N-I
F	(S2→S3) Ri:D-F-I	O	Ri:D-F:P-O-I
	(S5→S0) Ri:D-F-R-F-A	P	Ri:D-F:P-O
G	Ri:A-E-G-A	Q	Ri:D-F-R-Q-I
H	Ri:A-E-H-A	R	Ri:D-F-R-Q
I	Ri:A-E:I-S	S	Ri:A-E:I-S-A

결과적으로 위에 나타난 적합성 시험 계열의 입력 부분을 type 1에 대한 구현이 받아들이고 출력 부분을 생성하여 명세의 출력과 같은지를 판단하면 type 1의 구현이 type 1의 명세에 대해 정확하게 구현되었다는 적합성 시험결과를 확인할 수 있다.

3.3 적합성 시험 계열 생성기 알고리즘

위에서 설명된 UIO 시퀀스를 이용한 적합성 시험 계열 생성 방법을 기반으로 구현된 적합성 시험 계열 생성기의 전체 구성도는 그림 7과 같다.

적합성 시험 계열 생성기는 I O FSM 모델의 각 시퀀스를 현재 상태(Si), 행위(Action), 다음 상태(Sj)로 구성된 FSM 파일을 입력으로 하며, 먼저 각 상태에 대해 유일하게 존재하는 UIO 시퀀스를 생성한 후, 각 행위에 대

해 시험대상을 초기화 상태로 보내는 R_i , 초기상태에서 해당 시험천이까지의 shortest path, 시험천이 T_{ij} , 그리고 도착 상태의 UIO 시퀀스를 연결함으로써 시험 계열을 생성한다.

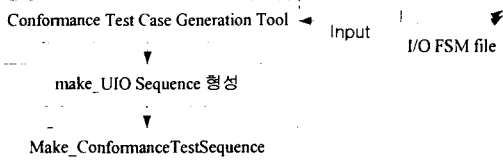


그림 6 적합성 시험 계열 생성기 구성도

4. 적합성 시험도구의 구현

본 연구에서는 제안된 정형검정 및 시험계열 자동생성을 위한 검정기 및 적합성 시험계열 생성기를 개발하였다. 그림 7은 개발한 툴의 초기화면으로 사용자가 쉽게 다룰 수 있도록 윈도우 NT 환경 하의 GUI 기능에 의해 Visual C 을 이용하여 구현되었다. 개발한 툴은 검정기와 시험기가 동시에 구현되어져 있으나 본 논문에서는 적합성 시험계열 생성기 부분만 설명한다.

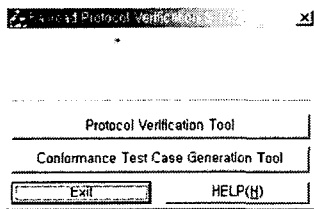


그림 7 프로토콜 검정기 및 적합성 시험 계열 생성기

앞 절에서 설명한 적합성 시험 계열 생성 알고리즘을 사용하여 구현된 적합성 시험 계열 생성기의 실행화면은 그림 8과 같다.

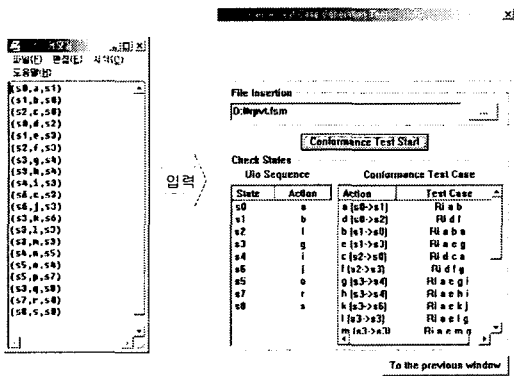


그림 8 적합성 시험 계열 생성기 실행화면

확장자가 ".fsm" 인 파일을 검색하여 입력으로 하고 'Conformance Test Start' 버튼을 누르면, 각 상태에 대한 UIO 시퀀스와 각 천이에 대한 적합성 시험 계열이 출력된다.

6. 결론 및 향후 계획

프로토콜 명세의 검정과 적합성 시험은 프로토콜 개발 과정에서 가장 중요한 부분이다. 본 논문에서는 정형기법으로 명세화된 철도 신호용 프로토콜 Type 1 모델에 대한 적합성 시험을 위하여 프로토콜 제어흐름을 I/O FSM으로 모델링하였으며, 이 명세로부터 UIO방법에 의한 적합성 시험 계열 생성방법을 제시 및 개발하였다.

또한, 프로토콜 검정 및 적합성 시험 방법을 실제 프로토콜의 정확성을 분석하는데 사용할 수 있도록 프로토콜 검정기와 시험기를 Windows 환경하에서 GUI기능에 의해 Window상에 구현하였다. 개발에 사용된 알고리즘은 검정 및 시험하고자 하는 사항별로 각각 모형검사 방법 및 UIO 시퀀스를 이용하는 방법을 사용함으로써, 시스템 모델을 매우 정확하고 명료하게 검사하도록 하여 비형식적 방법에서 야기될 수 있는 오류와 모호함을 제거할 수 있게 하였다. 또한, 개발된 적합성 시험계열 생성기가 검정 및 시험에 매우 강력함을 실험적으로 검증 검증하였다. 따라서 본 논문에서 개발된 도구를 철도 신호용 프로토콜 개발에 사용함으로써 개발시간 및 비용을 절감할 뿐만 아니라 철도 신호시스템의 안전성 및 신뢰성을 보장해 줄 것으로 예상된다.

[참고 문헌]

- [1] 이재호, 황종규, "철도신호시스템을 위한 새로운 통신 프로토콜의 성능해석 및 검증", 대한전기학회 논문지, 53B권 6호, pp. 380 387, 2004년 6월.
- [2] R.Cleaveland, B.Steffen, "A Linear Time Model Checking Algorithm for the Alternation Free Modal Mu Calculus", Formal Methods in System Design 2(2) pp.121 147, 1993.
- [3] R.J.Linn, Conformance Testing for OSI Protocols, Computer Network and ISDN Systems 18, 1989.
- [4] 김상기, 김성운, 정재운, "형식기술기법에 의한 AIN 프로토콜 적합성 시험 계열 생성", 한국정보처리학회논문지, 제4권 제2호, pp.552 562, 2월, 1997.
- [5] Sung Un Kim, INAP protocol conformance Testing", IEEE AIN97, corolado Springs, USA, May, 1997.
- [6] Z.Kohavi, "Switching and Finite Automata Theory", New York, McGraw Hill, 1978.