

디지털컨트롤러를이용한 다중대역주파수합성기설계

Design of a Multiband Frequency Synthesizer
Using Digital Controller

임철수, 송기재, 이종철

광운대학교 전자공학과

Key Words: PLL, Loop filter 위상 잡음

목 차

I. 소 개

IV. 하드웨어 구성

II. 위상고정 주파수 합성기

V. 설계 및 결과

III. 인터페이스

VI. 결 론

참고 문헌

I. 소 개

이동 통신의 발전은 1세대 아날로그 방식(FDMA)을 거쳐 2세대 디지털 방식으로 발전하였고, 2세대 PCS (Personal Communication Service)라는 개념의 이동통신 시스템이 전 세계적으로 상용화 되면서 이동 통신 시장은 급격한 발전을 이루었으며, 최근 개인 및 단말 이동성, 글로벌 로밍 (Global Roaming), 영상 등의 고속 데이터 전송 요구에 따라 차세대 이동 통신인 3세대 이동 통신 IMT- 2000 (International Mobile Telecommunication) 이 등장하게 되었다 [1].

이러한 추세에 이동 통신과 Microwave System의 발전과 더불어 많은 관련 업체들은 RFIC 칩과 Module을 함께 연구 개발하고 있으며, 무선 부품 시장을 석권하기 위해 투자를 아끼지 않고 있는 것이

사실이다. 이런 상황에서 개발된 무선 부품에 대한 품질 테스트는 매우 중요한 공정으로 인식 되어지고 있다. 특히 무선 부품에 있어서의 품질 테스트는 전체 무선 통신 시스템의 품질을 좌우하기 때문에 더욱 더 중요하게 고려되어야 한다. Work Station을 이용한 자동화 Test 공정에서는 각각의 계측기들은 GPIB 및 여러 인터페이스를 이용하여 제어된다. 이러한 공정에 Test Time 을 줄이고 공정 단가를 낮추기 위해서 Test system을 Low cost와 효율적으로 구성해야 한다. 이러한 과정에서 사용되어지는 국부발진기 (Local Oscillator)를 기존에는 고가의 계측기들로 구성하였으나 주파수 합성기 모듈로 대체함으로써 효율적으로 구성할 수 있을 것이다.

또한 계측기 제조 업체들은 기존의 계측기들은 PC 나 Workstation에 통합 하나의 계측 시스템을 구축하는 방향으로 나아가고 있다.

이러한 경향에 따라 PC와 다양한 인터페이스 이용

하여 사용할 수 있는 계측 장비 모듈 등이 나오고 있다. 본 논문에서는 이러한 추세와 RF Test 공정에서 사용 가능한 RS-232C 인터페이스를 가지는 1730~1800MHz대역의 위상 고정 발진기를 설계 제작 하고자 한다..

II. 위상고정주파수합성기

위상고정 루프는 입력신호와 전압제어 발진기가 발생시키는 발진 출력의 위상차를 검출하여 높은 안정도를 갖는 발진회로를 만들 수 있으며 일반적으로 위상검출기 (PD: Phase Detector), 저역 통과 필터 (Low Pass Filter), 전압제어 발진기 (Voltage Controlled Oscillator) 등으로 구성되어 있다. 그림 1은 위상 고정 루프 시스템의 구성도를 보여주고 있다 [2].

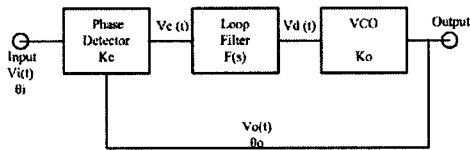


그림 1 위상고정 루프 시스템

전압제어 발진기의 출력 주파수 (ω_o)는 위상 검출기로 제한되어 입력신호인 기준 주파수 (ω_i)와 비교된다. 위상 검출기에서는 출력신호와 기준신호의 차 ($\omega_o - \omega_i$)에 해당하는 오차 전압(Error voltage)을 발생시키는데 위상차이($\Delta\omega$)에 비례하는 평균 전압인 DC 전압이다. 오차 전압은 필터링되어 고조파 성분의 잡음이 제거되며 이 전압은 제한 루프가 구성되도록 전압제어 발진기에 가해진다. 즉, 이 오차 전압은 입력과 전압제어 발진기 사이의 주파수 차이가 감소하도록 발진기의 주파수를 변화 시킨다. 일단 전압제어 발진기의 주파수가 변화되기 시작하면 루프는 포착상태 (Capture Range)에 있게 되는데 이러한 과정은 입력 주파수가 정확히 같아질 때까지 계속된다. 루프 시스템의 이러한 반복적인 동작은 고정되어 있는 동안에 입력 주파수의 변화를 추적하여 따라 간다[3].

이러한 위상고정 주파수 합성기 중에 주파수 분주

기형은 고주파 대역의 출력을 주파수 분주기를 이용하여 기준 주파수로 낮추어 위상을 비교하는 방법이다. 이는 가장 많이 사용하는 방법이며 이러한 위상 고정 루프 발진기는 안정도 및 위상잡음이 일반 발진기보다 월등히 개선되는 장점이 있다.

III. 인터페이스

보통의 측정 장비들은 GPIB (General Purpose Interface Bus)로 이루어져 있다. 그러나 일반적으로 PC나 Workstation은 GPIB Interface를 사용하려면 추가로 보드를 장착해야 하는 번거로움이 있다. PC는 기본적으로 RS-232C 나 USB(Universal Serial Bus ; 범용 직렬 버스)등 Interface가 있다. 본 논문에서는 그림 2에서 보이듯이 RS-232C를 이용하여 위상 고정주파수 합성기를 제어하는 방식을 취하였다. PC와 위상고정주파수 합성기의 사이에는 8 비트 디지털 콘트롤러를 두어 둘 사이에 인터페이스를 손쉽게 할 수 있게 하였다. 또한 PC에서의 프로그램은 제어 계측용 프로그램인 Agilent 사의 VEE 7.0에서 작성하였다.

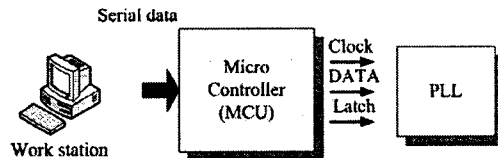


그림 2 인터페이스

IV. 하드웨어구성

위상고정발진기 구성은 위상 검출기 (Phase Detector; PD) 와 Charge Pump로 구성되어 있는 National semiconductor 사의 LMX 2364와 수동 루프 필터 1730~1800[MHz]의 출력을 갖는 전압제어발진기 (Voltage Controlled Oscillator; VCO)로 구성되어 있다. 루프 필터는 위상 검출기의 출력 전압을 필터링하여 전압제어 발진기의 주파수 조정 전압으로 입력시키는 기능을 한다. 위상 검출기의 출력 전압은 DC 이외에 기준 주파수 성분을 포함한 불요 주파수 성분을

포함하게 되며 이러한 성분은 전압제어 발진기의 잡음 성분으로 작아지게 된다. 따라서 루프 필터는 이들 불요 주파수를 제거하여 DC 전압만을 전압제어 발진기의 주파수 조정 전압으로 제공하는 기능을 하고 이외에도 루프의 동기 유지 범위, 대역폭, 과도 응답 특성 등을 결정하는 요인이 된다. 또한 위상 고정 발진기의 다른 구성 요소에 비하여 설계자의 의도에 따라 특성 및 구성을 변화시킬 수 있는 부분으로 위상 고정 발진기 설계 시 주 고려 대상이 된다.

Charge Pump 형태의 PD 출력의 루프 필터 형태는 다음 그림 3과 그림 4 2차 또는 3차 필터들이다. 3차 루프 필터는 2차 루프 필터에 불요주파수 성분을 제거하기 위해 저역통과 필터를 추가 시킨 형태이다 [4-6].

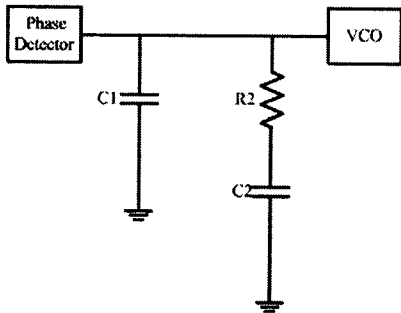


그림 3 2차 루프 필터

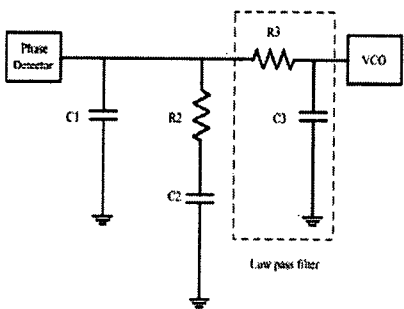


그림 4 3차 루프 필터

루프 필터 설계 시 가장 중점인 되는 부분은 주파수가 바뀌어질 때 걸리는 시간 Lock in time과 위상 잡음이다.

그림 5는 주파수 합성기의 노이즈 플로어를 나타내고 있다. Lock in time을 단축 하려면 Loop 대역폭을 증가 시켜야 한다. 하지만 이러한 시도는 위상 잡음 특성의 저하를 가져 오게된다. [7]. 일반적으로는

Lock in time을 손해 보더라도 위상 잡음 성능을 향상 시키는 방향으로 루프 필터를 구성하게 된다. 본 논문에서는 Lock in time을 향상 시켜 고속의 동작이 요구하는 시스템에 사용하려는 목적이 있기 때문에 Lock in time과 Phase 두 성능을 고려해야 한다. Lock in time과 위상 잡음의 Trade off 관계를 개선하고자 Loop 대역폭을 넓게 잡고 위상 잡음은 3차 루프 필터로 구성함으로써 개선하고자 한다.

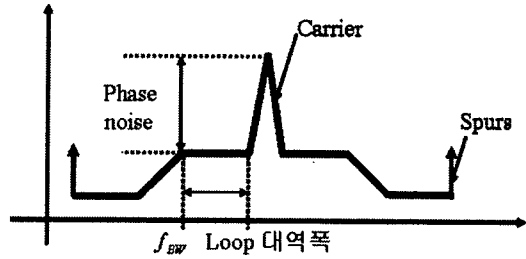


그림 5 주파수 합성기 노이즈 플로어

V. 설계 및 결과

다음은 주파수 합성기와 3단 수동 루프 필터, VCO로 구성된 하드웨어를 설계 및 제작 측정된 결과이다.

그림 6은 본 논문에서 사용하는 N 분주기형 위상 고정 발진기의 시스템 블록 다이어그램이다. 이 시스템의 설계자의 의도가 드러나는 부분은 루프 필터이다. 앞서도 설명했듯이 루프 필터에 의해서 위상 잡음과 Lock in time이 결정되기 때문에 설계 목적에 의해서 루프 필터를 설계해야 한다. 본 논문에서는 빠른 Lock in time을 위주로 루프 필터를 설계하였고 그로 인해 생기는 불요주파수 성분은 2차 루프 필터에 저역통과 필터를 추가 시킨 형태의 3차 루프 필터를 설계하였다.

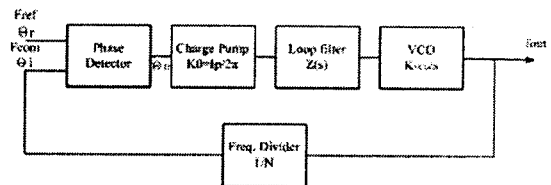


그림 6 위상 고정 발진기 전달함수

다음 수식 (1), (2)는 각각 위상 고정 발진기의 전

달함과 3차 루프필터의 전달함수이다. 이를 Matlab을 이용하여 모의 실험한 결과 이 시스템의 응답을 그림 7과 같이 예측할 수 있다.

Close Loop Gain

$$= \frac{G(s)}{1 + H(s)G(s)}$$

$$= \frac{K_\theta \cdot K_{VCO} \cdot Z(s)/s}{1 + [(K_\theta \cdot K_{VCO} \cdot Z(s)/s) \cdot 1/N]} \quad (1)$$

$$Z(s) = \frac{1 + s \cdot T_2}{s \cdot C_i(1 + sT_1)(1 + sT_3)} \quad (2)$$

$$T_2 = R_2 \cdot C_2$$

$$C_i = C_1 + C_2 + C_3$$

$$T_1 = \frac{R_2 \cdot C_2 \cdot C_1}{C_i}$$

$$T_3 = R_3 \cdot C_3$$

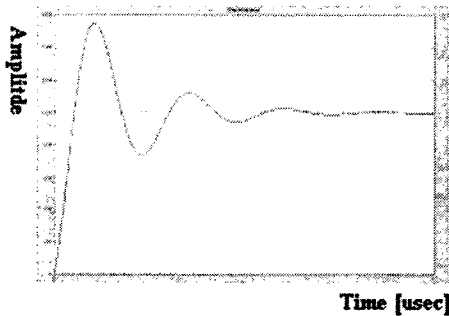


그림 7 시스템 전달 특성 모의실험 결과

모의 실험결과에서는 약 Lock in time이 약 0.12ms이다.

그림 8에는 Lock time에 대한 측정 결과를 표시하였다.

Lock in time은 1730→1800[MHz]에서 약 0.1ms로 상당히 빠른 것을 볼 수 있다. 다음 그림 9과 10은 위상 잡음을 측정된 사진이다.

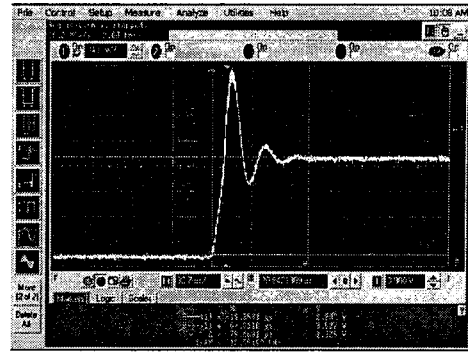


그림 8 Lock in time 1730→1800[MHz]

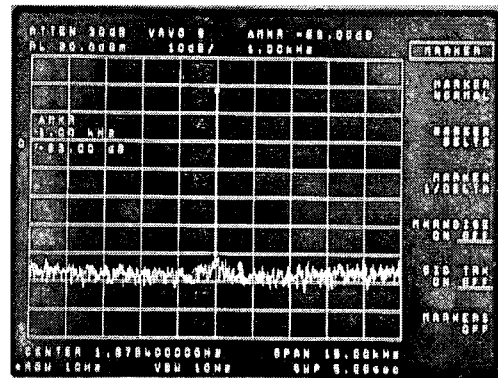


그림 9 위상 잡음
(offset @ 1kHz 약 70[dBc/Hz])

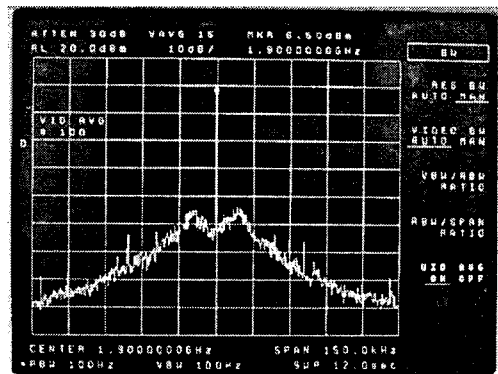


그림 10 스퓨리어스
(spurious 55[dBc])

VI. 결 론

본 논문에서는 기존 위상고정발진기들 보다 빠른 Lock in time을 위해 루프 밴드폭을 넓게 설계하고 그로 인해 생기는 위상 잡음은 Loop 필터를 3단으로 구성함으로써 성능을 개선 하였다. Lock in time 은

약 0.1ms정도이며 위상 잡음은 1kHz 옵셋에서 약 70dBc/Hz, 10kHz 옵셋에서 약 65dBc/Hz, 100kHz 옵셋에서 약 100dBc/Hz를 나타내고 있다. 그리고 Spurious 는 약 55dBc이다.

모의 실험 결과에서는 Lock time은 약 0.12ms였으나 실제 측정결과는 0.1ms로 매우 양호함을 보였으나 위상 잡음은 현재 나와 있는 상용 제품보다는 약간 안 좋은 특성을 보였다. 앞으로 위상 잡음 성능과 Lock in time성능을 보완하면 상용화 할 수 있을 것으로 보인다.

참고문헌

- [1] 이상근, 방효창, IMT-2000 CDMA 기술, vol.3 세화, pp.325-330, June 2002.
- [2] U. G. tich, J. M. Dieudonn, K. Riepe, A. Martem, and H. Leier "Ka-Band Monolithic VCOs for Low Noise Application Using GalnP/GaAs HBTs," *IEEE MTT-S Int. Microwave Symp. Dig*, pp131-134, 1993.
- [3] Almada. and M.S. Piedade. "High Performance Analog and Digital PLL Design," *IEEE MTT-S Int. Microwave Symp. Dig*, vol.4 pp 394 - 397 June 1999.
- [4] F. M. Gardner, "Charge Pump Phase Locked Loop" *IEEE Trans. Communication*, vol.COM-28 pp 1849-1858, 1, Nov. 1980.
- [5]. Kozak, M. and E.G. Freedom, "Design and Simulation of Fractional-N PLL Frequency Synthesizers," *IEEE Proc. International Symp.* pp IV - 780-3 May 2004.
- [6] J. Hakkinen and J. Kostamovaara, "Speeding Up an Integer-N PLL by Controlling the Loop Filter Charge ," *IEEE Tran. on* , vol, 50 pp. 343 - 354, July 2003
- [7] Dean Banerjee. PLL Performance, Simulation, and design second edition, *National semiconductor*, 2001.