

## 【TP-06】

# AEM을 이용한 (Ni, Ta)-Silicide 박막의 열적안정성에 관한 연구

이재욱, 강한별, 양철웅  
성균관대학교 신소재공학과

최근에 high-performance logic device에서는 device dimension이 작아짐에 따라 source/drain의 면저항이 증가하기 때문에 silicide(self-aligned silicide) 기술의 중요성이 증대되고 있다. Silicide 재료로는  $TiSi_2$ 가 많이 쓰였지만,  $CoSi_2$ 가 silicide 공정에서 더 우수한 특성을 갖고 있기 때문에  $TiSi_2$ 에서  $CoSi_2$ 로 대체되었으며, 특히 Sub-100nm technology에서는 NiSi가  $TiSi_2$ 와  $CoSi_2$ 에 비해 silicidation 온도가 낮고, silicon consumption량과 mechanical stress가 적다는 등의 우수한 특성을 갖고 있기 때문에  $CoSi_2$ 에서 NiSi로 대체될 것으로 예상된다.<sup>(1)</sup>

본 연구에서는 (Ni, Ta)-Silicide 박막의 Ta조성에 따른 열적안정성을 평가하였다. P-type Si 기판위에 Ni과 Ta을 동시에 증착한 후 500~800°C의 온도에서 열처리를 시행하여 silicide를 형성시켰으며,  $H_2SO_4+H_2O_2$ 용액으로 Si과 반응하지 않은 metal 층을 제거하였다. 시편을 제작 후 분석전 자현미경- JEM 3011(300keV, Jeol. Co. Ltd)을 이용하여 조성 및 온도에 따른 미세구조 및 Ta의 분포를 분석하였다. Ta이 첨가됨에 따라 고온에서도 Rs가 크게 증가되지 않음을 확인하였고, 형성된 silicide 박막의 미세구조 역시 큰 변화가 없다는 것을 확인하였다. 또한, 박막의 상부에 어두운 contrast를 띄는 층을 관찰하였고, EDS(1.5nm) 분석결과 이 부분은 Ta과 Si으로 분석되었다. 그리고 박막의 상부뿐만 아니라 silicide 박막의 내부에서도 Ta이 존재함을 확인하였다.

### [참고문헌]

1. Hiroko Iwai, Tatsuya Ohguro, Shun-ichiro Ohmi, "NiSi silicide technology for scaled CMOS" Microelectronic Engineering 60, 157 (2002)